

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-38212

(P2004-38212A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int.Cl.⁷

G02F 1/1368

H01L 21/336

H01L 29/786

F I

G02F 1/1368

H01L 29/78 612D

テーマコード (参考)

2H092

5F110

審査請求 有 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2003-351828 (P2003-351828)
 (22) 出願日 平成15年10月10日 (2003.10.10)
 (62) 分割の表示 特願2001-315963 (P2001-315963)
 の分割
 原出願日 平成4年7月6日 (1992.7.6)

(71) 出願人 302036002
 富士通ディスプレイテクノロジーズ株式会
 社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100108187
 弁理士 横山 淳一
 (72) 発明者 廣田 四郎
 神奈川県川崎市中原区上小田中1015番
 地 富士通株式会社内
 (72) 発明者 間島 庭司
 神奈川県川崎市中原区上小田中1015番
 地 富士通株式会社内

最終頁に続く

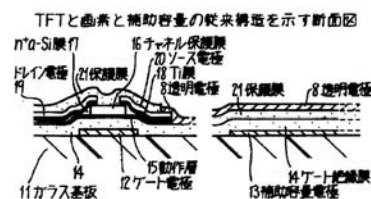
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 アクティブマトリックス型の液晶表示装置において、補助容量の製造工程の簡略化を図る。

【解決手段】 薄膜トランジスタと補助容量とをマトリックス状に配置してなる液晶表示装置において、画素領域の薄膜トランジスタが、基板上のゲート電極、ゲート電極を覆うゲート絶縁膜、ゲート絶縁膜上の動作層、動作層上部にのみ形成されるソース電極およびドレイン電極、ソース電極およびドレイン電極とを覆う保護膜とを備え、ゲート電極と同じ材料からなりゲート電極と同層に設けられる補助容量電極、ソース電極上で接続され、ソース電極外周部の側壁とその下部の動作層の外周部の側壁と接する画素電極、及び、ゲート絶縁膜に連なる絶縁層および保護膜に連なる絶縁層を含む誘電体で構成される補助容量を有するように構成する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基板上に薄膜トランジスタと補助容量とをマトリックス状に配置してなる液晶表示装置であって、

画素領域の前記薄膜トランジスタが、前記基板上的ゲート電極、前記ゲート電極を覆うゲート絶縁膜、前記ゲート絶縁膜上の動作層、前記動作層上部にのみ形成されるソース電極およびドレイン電極、前記ソース電極およびドレイン電極とを覆う保護膜とを備え、

前記ゲート電極と同じ材料からなり前記ゲート電極と同層に設けられる補助容量電極、前記ソース電極上で接続され、前記ソース電極外周部の側壁とその下部の前記動作層の外周部の側壁と接する画素電極、及び、前記ゲート絶縁膜に連なる絶縁層および前記保護膜に連なる絶縁層を含む誘電体で構成される補助容量を有することを特徴とする液晶表示装置。 10

【請求項 2】

基板上に薄膜トランジスタと補助容量とをマトリックス状に配置してなる液晶表示装置であって、

画素領域の前記薄膜トランジスタが、前記基板上的ゲート電極、前記ゲート電極を覆うゲート絶縁膜、前記ゲート絶縁膜上の動作層、前記動作層上部にのみ形成されるソース電極およびドレイン電極、ドレインバスライン、前記ソース電極、ドレイン電極および前記ドレインバスラインとを覆う保護膜とを備え、

前記ゲート電極と同じ材料からなり前記ゲート電極と同層に設けられる補助容量電極、前記ソース電極上で接続され、前記ソース電極外周部の側壁とその下部の前記動作層の外周部の側壁と接する画素電極、及び、前記ゲート絶縁膜に連なる絶縁層および前記保護膜に連なる絶縁層を含む誘電体で構成される補助容量を有することを特徴とする液晶表示装置。 20

【請求項 3】

基板上に薄膜トランジスタと補助容量とをマトリックス状に配置してなる液晶表示装置であって、

画素領域の前記薄膜トランジスタが、前記基板上的ゲート電極、前記ゲート電極を覆うゲート絶縁膜、前記ゲート絶縁膜上の動作層、前記動作層上部にのみ形成されるソース電極およびドレイン電極、前記ソース電極および前記ドレイン電極と同時に形成されるドレインバスライン、前記ソース電極、ドレイン電極および前記ドレインバスラインとを覆う保護膜とを備え、 30

前記ゲート電極と同じ材料からなり前記ゲート電極と同層に設けられる補助容量電極、前記ソース電極上で接続された画素電極、及び、前記ゲート絶縁膜に連なる絶縁層および前記保護膜に連なる絶縁層を含む誘電体で構成される補助容量を有することを特徴とする液晶表示装置。

【請求項 4】

基板上に薄膜トランジスタと補助容量とをマトリックス状に配置してなる液晶表示装置であって、

画素領域の前記薄膜トランジスタが、前記基板上的ゲート電極、前記ゲート電極を覆うゲート絶縁膜、前記ゲート絶縁膜上の動作層、前記動作層上部にのみ形成されるソース電極およびドレイン電極、前記ソース電極およびドレイン電極と同時に形成される前記動作層上部にのみ形成されるドレインバスライン、前記ソース電極、ドレイン電極および前記ドレインバスラインとを覆う保護膜とを備え、 40

前記ゲート電極と同じ材料からなり前記ゲート電極と同層に設けられる補助容量電極、前記ソース電極上で接続された画素電極、及び、前記ゲート絶縁膜に連なる絶縁層及び前記保護膜に連なる絶縁層を含む誘電体で構成される補助容量を有することを特徴とする液晶表示装置。

【請求項 5】

前記画素電極は、前記ソース電極外周部の側壁とその下部の前記動作層の外周部の側壁 50

と接することを特徴とする請求項 3 または 4 記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、補助容量の製造工数を削減した構造を有するアクティブマトリックス形の液晶表示装置において、補助容量を大きくするとともに、容量電極の面積を小さくして開口率の向上を図った液晶表示装置に関する。

【0002】

液晶表示装置には単純マトリックス形とアクティブマトリックス形とがあり、用途によりそれぞれ使い分けされているが、アクティブマトリックス形は薄膜トランジスタを各画素に備えており、特定の画素を選択する時にそのトランジスタを ON させ、それ以外は OFF にしておくことから、走査線の数が多くてもクロストークを抑制することができ、高いコントラスト比を得ることができる。

【0003】

そのため、アクティブマトリックス形の液晶表示装置は大面積表示用に適しており、実用化が進められている。

【背景技術】

【0004】

図 4 はアクティブマトリックス形液晶表示装置の等価回路を示しており、また、図 5 は薄膜トランジスタ (TFT) と画素および補助容量の配置を示す正面図である。

【0005】

すなわち、複数のゲートバス 1 と複数のドレインバス 2 とがそれぞれ直交し、その交差部に薄膜トランジスタ (TFT) 3 があり、この TFT 3 のソース電極 4 に容量 5 と補助容量 6 とを並列に配列する構造をとる。

【0006】

すなわち、TFT のソース電極 4 は画素 7 を構成する一方の透明電極 8 と回路接続しているが、画素 7 は透明電極 8 を電極とし、他のガラス基板上に形成した透明電極との間に液晶を介在させて構成されるので、静電容量を有しており、電氣的に容量 5 として示すことができる。

【0007】

然し、この容量 5 だけでは静電容量が不足し、TFT 3 のスイッチング動作に当たって画面のちらつき (フリッカ) や残像 (焼きつき) を生ずるという問題がある。

【0008】

そこで、補助容量 5 の付加が必要であり、ガラス基板上に補助容量電極 9 を形成し、ガラス基板上に形成してある絶縁膜を誘電体と、透明電極 8 と対向させて補助容量 6 を構成している。

【0009】

図 3 は逆スタagger型 TFT と画素と補助容量の従来構造を示す断面図であり、次の工程により作られている。

【0010】

すなわち、硼珪酸ガラスなどよりなり、厚さが約 1 mm のガラス基板 11 の上に、アルミニウム (Al) やタンタル (Ta) のような金属を約 100 nm の厚さに形成した後、写真蝕刻技術 (フォトリソグラフィ) を用いて選択エッチングを行い、ゲート電極 12 と補助容量電極 13 を形成する。

【0011】

次に、プラズマ CVD 法により窒化シリコン (Si_3N_x) のような絶縁物を約 400 nm の厚さに被覆してゲート絶縁膜 14 を形成する。

【0012】

次に、この上に先と同様にプラズマ CVD 法などにより動作層 15 として働く非晶質シ

10

20

30

40

50

リコン膜（以下 a-Si 膜）と Si_3N_x 膜を形成し、 Si_3N_x 膜は写真蝕刻技術を用いてパターンニングし、チャンネル保護膜 16 を形成する。

【0013】

次に、プラズマ CVD 法により n 型不純物を添加した非晶質シリコン膜（ $\text{n}^+\text{a-Si}$ 膜）17 と密着を助けるための Ti 膜 18 と Al 膜とを形成し、先と同様に写真蝕刻技術を用いてパターンニングを行なうことにより図示を省略したドレインバスラインに続くドレイン電極 19 とソース電極 20 を形成する。

【0014】

次に、この上にプラズマ CVD 法により保護膜 21 を形成した後、画素形成部の保護膜 21 をエッチングして窓開けし、酸化錫（ SnO_2 ）と酸化インジウム（ In_2O_3 ）の固 10
溶体（略称 ITO）よりなる透明導電膜をスパッタ法などで形成した後、写真蝕刻技術を用いてパターンニングを行い、透明電極 8 をパターン形成することにより画素と補助容量が完成している。

【0015】

このようにして TFT は作られているが、補助容量はガラス基板 11 の上にゲート電極 12 と同時に形成した補助容量電極 13 を一方の電極とし、ゲート絶縁膜 14 と保護膜 21 を誘電体とし、透明電極 8 を対極として構成されている。

【0016】

ここで、先に記したように、画面のちらつきや残像を無くするためには補助容量は大きい方が望ましいが、補助容量電極は画素の下に形成してあるために、この電極はむしろ縮 20
小することが好ましい。

【発明の開示】

【発明が解決しようとする課題】

【0017】

TFT を使用するアクティブマトリックス形の液晶表示装置においては、TFT のスイッチング動作の際に生じる画面のちらつきや残像を無くするために補助容量を画素の下に設けているが、電気的には静電容量は従来よりも大きいことが望ましい。

【0018】

一方、画像表示の面からは補助容量電極の大きさを小さくして有効表示面積（開口率）を向上することが必要である。 30

【課題を解決するための手段】

【0019】

上記の課題は、基板上に薄膜トランジスタと補助容量とをマトリックス状に配置してなる液晶表示装置であって、画素領域の前記薄膜トランジスタが、前記基板上のゲート電極、前記ゲート電極を覆うゲート絶縁膜、前記ゲート絶縁膜上の動作層、前記動作層上部にのみ形成されるソース電極およびドレイン電極、前記ソース電極およびドレイン電極とを覆う保護膜とを備え、前記ゲート電極と同じ材料からなり前記ゲート電極と同層に設けられる補助容量電極、前記ソース電極上で接続され、前記ソース電極外周部の側壁とその下部の前記動作層の外周部の側壁と接する画素電極、及び、前記ゲート絶縁膜に連なる絶縁層および前記保護膜に連なる絶縁層を含む誘電体で構成される補助容量を有するように構成された液晶表示装置によって解決することができる。 40

【発明の効果】

【0020】

本発明の実施によって補助容量を小形化して開口率の向上を図り、しかも、補助容量の製造工数を削減した構造を有するアクティブマトリックス形の液晶表示装置を実現することができる。

【発明を実施するための最良の形態】

【0021】

先に記したようにアクティブマトリックス形の液晶表示装置においては、高画質化のために補助容量の付加が必要であり、必要とする静電容量は TFT のゲート容量と画素容量 50

から決められる。

【0022】

例えば、ゲート長が $10\text{ }\mu\text{m}$ 、ゲート幅 $20\text{ }\mu\text{m}$ のTFETを用い、画素電極の大きさを $255\times 90\text{ }\mu\text{m}$ とする場合、画素の下にパターン形成されている補助容量電極として $50\times 90\text{ }\mu\text{m}$ 程度のものが用いられている。

【0023】

こゝで、従来の補助容量の誘電体は図3に示すようにゲート絶縁膜14と保護膜21との二層構造をとり、厚さが約 700 nm の Si_3N_x を用いて形成されている。

【0024】

そこで、発明者らは誘電体の膜厚を減らすことにより補助容量の小形大容量化を行なうために、次の何れかの方法をとる。

(1) 補助容量の誘電体をゲート絶縁膜のみで形成する。

(2) 補助容量電極をAlで形成し、誘電体としてはAlを電解酸化して得た酸化アルミニウム皮膜を使用する。

【0025】

本発明は、TFETの駆動が低電圧で行なわれるために補助容量が必ずしも高い絶縁破壊電圧を必要としない点に着目してなされたもので、これにより補助容量電極の大きさを減少することができる。

【0026】

〔実施例1〕（請求項1関連、図1に対応）

図1は本発明の一実施法を示すもので、本発明に係る補助容量とTFETの断面図である。

【0027】

すなわち、ガラス基板11の上にスパッタ法を用いてAlを 100 nm の厚さに形成した後、写真蝕刻技術を用い、ゲート電極12は、ゲート長 $10\text{ }\mu\text{m}$ 、ゲート幅 $20\text{ }\mu\text{m}$ の寸法で、また、補助容量電極13は、幅 $25\text{ }\mu\text{m}$ 、長さ $90\text{ }\mu\text{m}$ の寸法にパターン形成した。

【0028】

次に、これらのパターンを含む基板上にゲート絶縁膜14として、基板温度を 350°C に保つ高温プラズマCVD法によって Si_3N_x を 350 nm の厚さに形成した。次に、従来と同様にa-Si膜からなる動作層15、チャネル保護膜16、 $\text{n}^+\text{a-Si}$ 膜17、Ti膜18、Al膜を順次に膜形成し、写真蝕刻技術を用いてゲート絶縁膜14の上までドライエッチングを行い、ドレイン電極19、ソース電極20および、図示していないバスラインをパターン形成する。

【0029】

次に、基板上に Si_3N_x を基板温度を 200°C に保つ低温プラズマCVD法により 350 nm の厚さに形成して保護膜21を形成する。ここまでの工程は、従来の工程と変わらない。

【0030】

すなわち、画素形成部はガラス基板11の上に補助容量電極13があり、その上に Si_3N_x からなるゲート絶縁膜14と保護膜21が積層されている。

【0031】

次に、基板上の全域にレジストを被覆した後、画素電極の形成領域のみを窓開けし、次の条件でプラズマエッチングを行い、低温で形成してエッチングされ易い保護膜21のみを除いた。

【0032】

エッチャント： CF_4 と O_2 （構成比1：0.1）

総流量：500 sccm

ガス圧：20 Pa

μ 波電力：800 W

次に、スパッタ法によりITOを100nmの厚さに形成し、写真蝕刻技術を用いて透明電極8を形成した。

【0033】

すなわち、従来の補助容量の膜厚が700nmであるため、補助容量電極13として $50 \times 90 \mu\text{m}$ の面積が必要であったが、膜厚を1/2にすることにより面積を $25 \times 90 \mu\text{m}$ に小形化することができた。その結果、開口率を向上することができる。

【0034】

なお、ゲート絶縁膜をこの例のように単一膜で構成する代わりに複合膜、例えば $\text{Si}_3\text{N}_x/\text{SiO}_2$ で形成されている場合もある。その場合は、保護膜21を除く際に、同時にゲート絶縁膜の上層を除くと効果的である。

10

【0035】

〔実施例2〕（請求項2関連、図2に対応）

図2は本発明の他の実施法を示すもので、本発明に係る別の補助容量とTFETの断面図である。

【0036】

すなわち、ガラス基板11の上にスパッタ法を用いてAlを500nmの厚さに形成した後、写真蝕刻技術を用い、ゲート電極12はゲート長 $10 \mu\text{m}$ 、ゲート幅 $20 \mu\text{m}$ の寸法で、また、補助容量電極13は幅 $5 \mu\text{m}$ 、長さ $90 \mu\text{m}$ の寸法にパターン形成した。

【0037】

次に、これらのパターンを含む基板上にゲート絶縁膜14として、基板温度を 350°C に保つ高温プラズマCVD法により Si_3N_x を350nmの厚さに形成し、次に従来と同様にa-Si膜よりなる動作層15、チャンネル保護膜16、 $\text{n}^+\text{a-Si}$ 膜17、Ti膜18、Al膜と順次に膜形成し、写真蝕刻技術を用いてゲート絶縁膜14の上までドライエッチングを行い、ドレイン電極19、ソース電極20および、図示していないバスラインをパターン形成する。

20

【0038】

次に、基板上に Si_3N_x を基板温度を 200°C に保つ低温プラズマCVD法により350nmの厚さに形成して保護膜21を形成する。ここまでの工程は従来の工程と変わらない。

【0039】

すなわち、画素形成部はガラス基板11の上に補助容量電極13があり、この上に Si_3N_x よりなるゲート絶縁膜14と保護膜21が積層されている。

30

【0040】

次に、基板上の全域にレジストを被覆した後、画素電極形成領域のみを窓開けし、次の条件で反応性イオンエッチング（略称RIE）を行い、保護膜21とゲート絶縁膜14を除き、Alよりなる補助容量電極13を露出させた。

【0041】

エッチャント： SF_6

流量：200sccm

ガス圧：2.6Pa

電力：800W

40

次に、硼酸アンモン $(\text{NH}_4)_3\text{BO}_3$ の3%水溶液を電解液とし、露出しているAlを陽極とし、白金(Pt)板を陰極とし、定電流化成を行なって150Vまで電圧を上昇せしめ、10分間そのまゝの電圧に保持してAlからなる補助容量電極13の表面を酸化アルミニウム $(\gamma\text{-Al}_2\text{O}_3)$ 23に変換させた。

【0042】

こゝで、酸化アルミニウム23の成長速度は約 $14 \text{ \AA}/\text{V}$ であるので、200nmの厚さのAl酸化膜が成長している。この比誘電率は約9であるために静電容量は従来の厚さが700nmの Si_3N_x を用い、補助容量電極の大きさが $50 \times 90 \mu\text{m}$ のものと等価となる。

50

【0043】

すなわち、補助容量電極の大きさを1/10に小形化することができ、開口率を向上することができた。

【0044】

なお、最近開口率を向上する方法としてゲートバスラインの一部を補助容量電極として使用する提案もなされているが、この場合にも同様にこの方法を適用することができる。

【図面の簡単な説明】

【0045】

【図1】本発明に係る補助容量とTFTの断面図である。

【図2】本発明に係る別の補助容量とTFTの断面図である。

10

【図3】TFTと画素と補助容量の従来構造を示す断面図である。

【図4】アクティブマトリックス形液晶表示装置の等価回路である。

【図5】TFTと画素および補助容量の配置を示す正面図である。

【符号の説明】

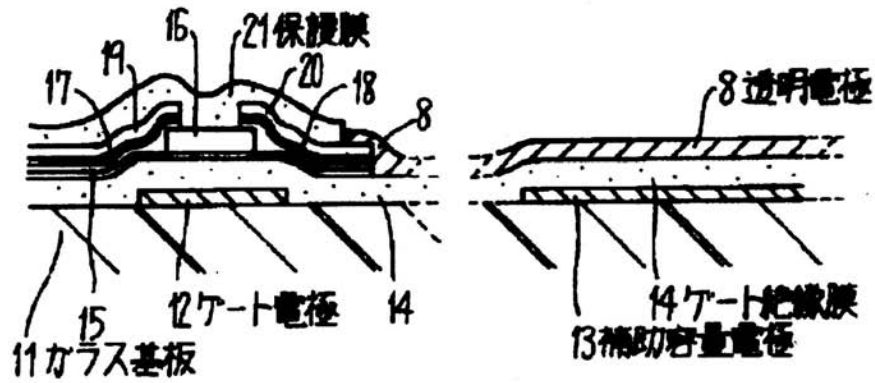
【0046】

- | | |
|------|----------|
| 3 | TFT |
| 4 | ソース電極 |
| 6 | 補助容量 |
| 7 | 画素 |
| 8 | 透明電極 |
| 9、13 | 補助容量電極 |
| 11 | ガラス基板 |
| 12 | ゲート電極 |
| 14 | ゲート絶縁膜 |
| 21 | 保護膜 |
| 23 | 酸化アルミニウム |

20

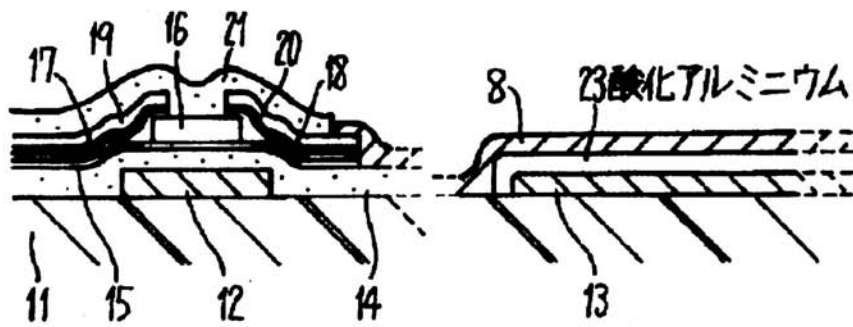
【図 1】

本発明に係る補助容量とTFTの断面図



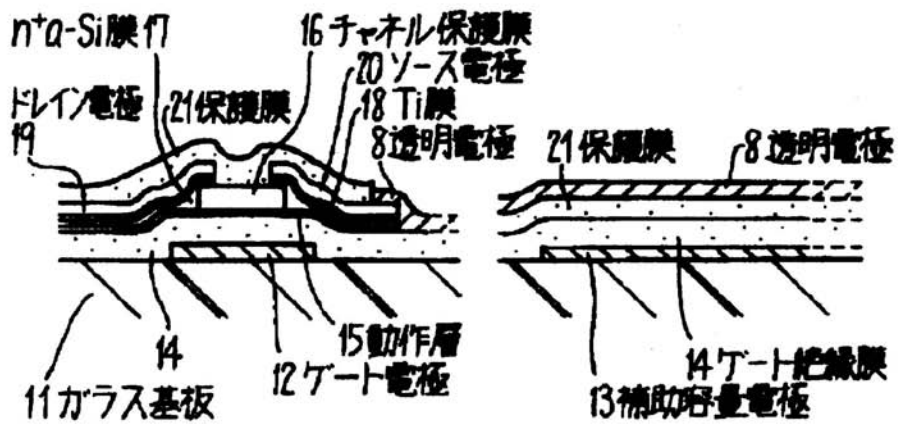
【図 2】

本発明に係る別の補助容量とTFTの断面図



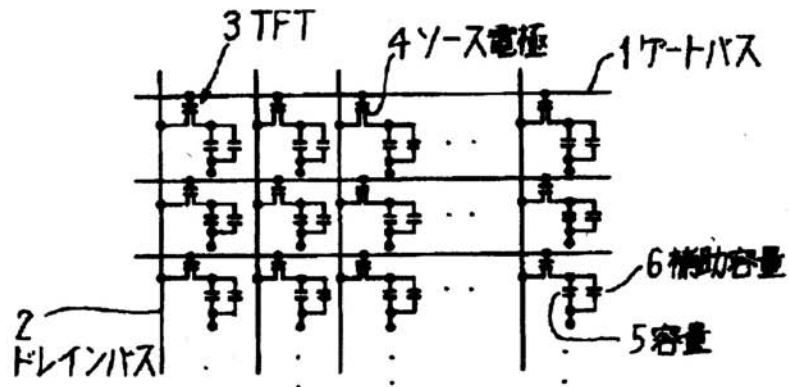
【図 3】

TFTと画素と補助容量の従来構造を示す断面図



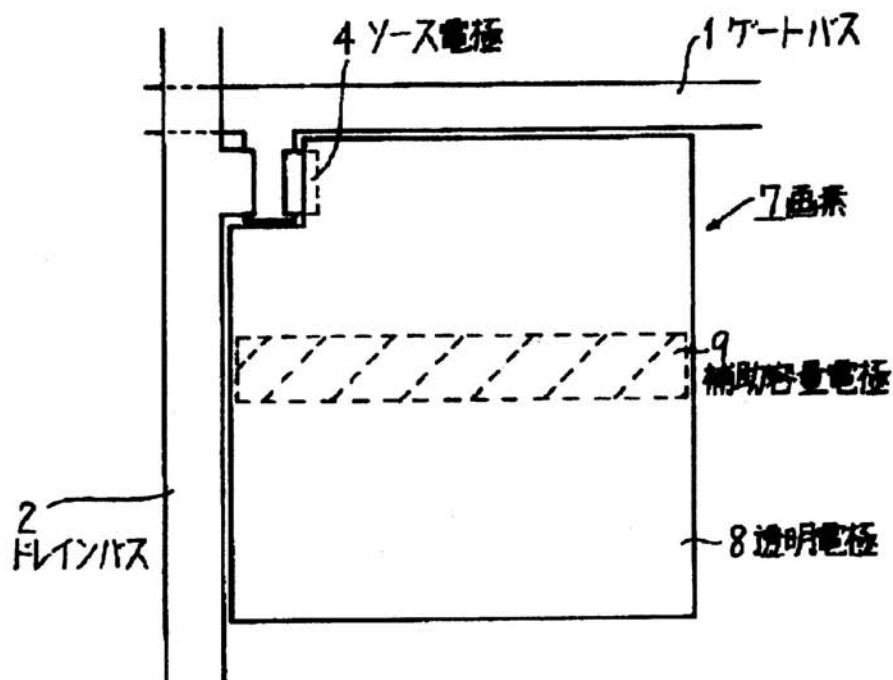
【図 4】

アクティブマトリックス形液晶表示装置の等価回路



【図 5】

TFTと画素および補助容量の配置を示す正面図



フロントページの続き

Fターム(参考)	2H092	GA11	JA24	JA34	JA37	JA41	JB31	JB56	MA05	MA08	MA17
		NA25	PA01								
	5F110	AA30	BB01	CC07	DD02	EE03	EE37	EE44	FF02	FF03	FF09
		FF30	GG02	GG15	GG28	GG29	HK03	HK04	HK09	HK16	HK22
		NN04	NN12	NN24	NN35	NN72	NN73				

专利名称(译)	液晶表示装置		
公开(公告)号	JP2004038212A	公开(公告)日	2004-02-05
申请号	JP2003351828	申请日	2003-10-10
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
[标]发明人	廣田 四郎 間島 庭司		
发明人	廣田 四郎 間島 庭司		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786		
FI分类号	G02F1/1368 H01L29/78.612.D		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB31 2H092/JB56 2H092/MA05 2H092/MA08 2H092/MA17 2H092/NA25 2H092/PA01 5F110/AA30 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE37 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG28 5F110/GG29 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK22 5F110/NN04 5F110/NN12 5F110/NN24 5F110/NN35 5F110/NN72 5F110/NN73 2H192/AA24 2H192/CB05 2H192/CC72 2H192/DA12 2H192/DA63 2H192/EA74 2H192/HA63 2H192/HA86		
代理人(译)	横山 纯一		
外部链接	Espacenet		

摘要(译)

要解决的问题：简化有源矩阵型液晶显示装置的辅助电容的制造工艺。

ŽSOLUTION：液晶显示装置包括以矩阵形式排列的薄膜晶体管和辅助电容，像素区域中的薄膜晶体管在基板上设置有栅电极，栅极绝缘膜覆盖栅电极，栅极绝缘膜上的操作层，操作层上的源电极和漏电极，以及覆盖源电极和漏电极的保护膜，并且具有由相同材料制成的辅助电容电极组成的辅助电容栅电极与栅电极设置在同一层中，像素电极连接在源电极上并与源电极的外圆周部分的侧壁和外圆周部分的侧壁接触。在其下方的操作层，以及包括与栅极绝缘膜和绝缘层连接的绝缘层的电介质与保护膜一起使用。Ž

