

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5235363号
(P5235363)

(45) 発行日 平成25年7月10日 (2013. 7. 10)

(24) 登録日 平成25年4月5日 (2013. 4. 5)

(51) Int. Cl.

F I

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 F 1/1333 (2006. 01)

G O 2 F 1/1333 5 O 5

請求項の数 15 (全 45 頁)

(21) 出願番号 特願2007-228412 (P2007-228412)
 (22) 出願日 平成19年9月4日 (2007. 9. 4)
 (65) 公開番号 特開2009-58913 (P2009-58913A)
 (43) 公開日 平成21年3月19日 (2009. 3. 19)
 審査請求日 平成22年9月1日 (2010. 9. 1)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイイースト
 千葉県茂原市早野 3 3 0 0 番地
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 100103746
 弁理士 近野 恵一
 (73) 特許権者 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町 1 - 6
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 100103746
 弁理士 近野 恵一

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 基板と、第 2 基板と、前記第 1 基板と前記第 2 基板との間に挟持される液晶とを有する液晶表示パネルを備え、

前記液晶表示パネルは、マトリクス状に配置された複数の画素を有する液晶表示装置において、

前記各画素は、薄膜トランジスタを有し、

前記各画素の少なくとも一部に設けた透過表示領域に、前記第 1 基板に近い側から順に、透明な保持容量電極、第 1 絶縁膜、透明な画素電極、第 2 絶縁膜、透明な対向電極の積層構造を有し、

前記第 1 絶縁膜は、前記第 1 基板に近い側から順にゲート絶縁膜と層間絶縁膜の積層体で構成され、

前記対向電極は、共通電極配線に接続され、

前記画素電極は、前記層間絶縁膜に形成された開口部を介して前記薄膜トランジスタの第 1 電極に接続され、

前記保持容量電極は、保持容量配線に接続され、

前記共通電極配線の電圧と、前記保持容量配線の電圧とは、同一であり、

前記保持容量電極は、前記透過表示領域において、前記画素電極と平面的に見て重畳する領域を有し、且つ前記画素の前記薄膜トランジスタが形成されている領域とは反対側の領域に前記画素電極と平面的に見て重畳しない領域を有し、

前記保持容量電極と前記画素電極とは電氣的に絶縁されており、前記第 1 絶縁膜を介して第 1 保持容量を形成し、

前記画素電極と前記対向電極とは電氣的に絶縁されており、前記第 2 絶縁膜を介して第 2 保持容量を形成することを特徴とする液晶表示装置。

【請求項 2】

前記第 2 絶縁膜は、複数の絶縁膜の積層体から構成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記各画素の少なくとも一部に設けた透過表示領域に、前記保持容量電極の前記第 1 基板側に配置される第 3 絶縁膜を有することを特徴とする請求項 1 に記載の液晶表示装置。

10

【請求項 4】

前記第 3 絶縁膜の誘電率は、前記第 1 絶縁膜、あるいは、前記第 2 絶縁膜の誘電率以下であることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記第 3 絶縁膜は、複数の絶縁膜の積層体から構成されることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 6】

前記保持容量電極、前記画素電極、および、前記対向電極の材質は、同一であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 7】

20

前記保持容量電極、前記画素電極、および、前記対向電極の材質は、互いに異なっていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 8】

前記保持容量電極、前記画素電極、および、前記対向電極の屈折率は、同一であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 9】

前記保持容量電極、前記画素電極、および、前記対向電極の屈折率は、互いに異なっていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 10】

前記保持容量電極、前記画素電極、および、前記対向電極の膜厚は、同一であることを特徴とする請求項 1 に記載の液晶表示装置。

30

【請求項 11】

前記保持容量電極、前記画素電極、および、前記対向電極の膜厚は、互いに異なっていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 12】

前記対向電極は、複数の櫛歯電極を有し、

前記対向電極と前記画素電極との間に、前記第 1 基板の表面に平行な成分を有する電界を発生させて、前記対向電極表面側に設けた液晶を駆動することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 13】

40

前記対向電極は、スリットを有する平板状形状を有し、

前記対向電極と前記画素電極との間に、前記第 1 基板の表面に平行な成分を有する電界を発生させて、前記対向電極表面側に設けた液晶を駆動することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 14】

前記保持容量電極と、前記薄膜トランジスタの前記第 1 電極の少なくとも一部は、前記保持容量電極と前記第 1 電極の少なくとも一部との間に挿入された絶縁膜を介して、第 3 保持容量を形成することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 15】

前記保持容量配線の一部と、前記薄膜トランジスタの前記第 1 電極の少なくとも一部は

50

、前記保持容量配線の一部と前記第 1 電極の少なくとも一部との間に挿入された絶縁膜を介して、第 3 保持容量を形成することを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、画素寸法が微細化された液晶表示パネルを備える液晶表示装置に適用して有効な技術に関する。

【背景技術】

【0002】

液晶表示装置は、一对の基板（例えば、ガラス基板）と、その間隙に封入された液晶組成物から構成される。具体的には、例えば、IPS（In Plane Switching）方式の液晶表示装置であれば、一方の基板（以下、TFT基板という）上にアモルファスシリコン等を半導体層とした薄膜トランジスタ、画素電極、信号配線、走査配線、ゲート電極、対向電極等が形成され、また、他方の基板（以下、CF基板という）上には、遮光膜、カラーフィルタ等が形成される。そして、TFT基板とCF基板とを、スペーサにより一定の間隙を保持して対向配置するとともに、シール剤で封止し、その間に液晶組成物を封入して構成される。

10

一般に、液晶表示装置では、各画素は保持容量を有する。この保持容量は、主に薄膜トランジスタがオフ状態の保持期間において、画素電極の電圧が、走査配線や信号配線の電圧変化によるフィードスルー（飛び込み）電圧の影響を受けるのを防止するために使用される。

20

この保持容量は、例えば、下記（１）ないし（４）の構成で実現される。

（１）上層透明画素電極／絶縁膜／下層透明保持容量電極

（２）上層透明画素電極／絶縁膜／下層金属保持容量電極

（３）上層金属ソース（またはドレイン）電極／絶縁膜／下層金属保持容量電極

（４）上層金属ソース（またはドレイン）電極／絶縁膜／中間金属保持容量電極／絶縁膜／下層多結晶シリコンソース（またはドレイン）電極

なお、前述の（１）の構成は、例えば、下記特許文献 1 に、また、前述の（４）の構成は、例えば、下記特許文献 2 に記載されている。

【0003】

30

なお、本願発明に関連する先行技術文献としては以下のものがある。

【特許文献 1】特開平 8 - 179363 号公報

【特許文献 2】特開 2000 - 180900 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

前述の（２）～（４）のように、保持容量を形成する電極としていずれか一方に金属を用いると、その部分が不透明になり、液晶表示装置が透過型の場合は、特に、開口率を高めることが困難になってくる。このため、前述（１）のように、保持容量の両方の電極に透明導電性部材を用いて構成することが望ましい。

40

しかし、VGAの解像度を有する携帯端末用の液晶表示パネルのように、液晶表示パネルを超高精細にするために画素寸法を微細にしていくにつれて、1画素内で保持容量を構成する電極を形成可能な面積も小さくなる。

保持容量を構成する絶縁膜の膜厚は製造上の歩留まりの観点からある程度の厚みを維持する必要があるため、電極面積に応じて薄くできず、1画素の透過表示領域全体を（１）の構成の保持容量電極に使用しても保持容量は小さくなる。

特に、一方の電極が面状の透明電極で、他方の電極が、絶縁膜を介して前述の一方の電極上に形成される櫛歯形状の透明電極から成るIPS方式の液晶表示パネルの場合、櫛歯状透明電極／絶縁膜／平板状透明電極という構造であるため、この部分が保持容量としても作用する。しかし、1画素の寸法が小さくなるにつれて上層の透明電極の櫛歯長および

50

櫛歯本数が減るため、保持容量がさらに減少する。

【 0 0 0 5 】

これに対して、画素電極と走査配線や信号配線との間の寄生容量は、1画素の寸法が小さくなるにつれて結合長が短くなるため減少するが、1画素の面積に依存するような保持容量の減少の仕方に比べて緩やかである。むしろ、十分な開口率を得るために画素電極と走査配線や信号配線との平面的な間隔を狭める（または重畳面積を増大させる）必要も生じてくるため、寄生容量の結合間隔が小さくなって寄生容量は低減しにくく、従来の（1）の構成でも寄生容量に見合った十分な大きさの保持容量を形成することが困難になってくる。

そして、寄生容量に比べて十分な大きさの保持容量を確保できないと、薄膜トランジスタがオフ状態の保持期間において、画素電極の電圧が走査配線や信号配線の電圧変化によるフィードスルー（飛び込み）電圧の影響を受けやすくなるため、スメアやクロストークと呼ばれる現象が発生して画質が劣化するという問題点があった。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、画素寸法が微細化された液晶表示パネルを有する表示装置において、十分な大きさの保持容量を構成することが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【 0 0 0 6 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

（1）第1基板と、第2基板と、前記第1基板と前記第2基板との間に挟持される液晶とを有する液晶表示パネルを備え、前記液晶表示パネルは、マトリクス状に配置された複数の画素を有する液晶表示装置において、前記各画素の少なくとも一部に設けた透過表示領域に、前記第1基板に近い側から順に、第1透明電極、第1絶縁膜、第2透明電極、第2絶縁膜、第3透明電極の積層構造を有し、前記第1透明電極と前記第2透明電極とは電氣的に絶縁されており、前記第1絶縁膜を介して第1保持容量を形成し、前記第2透明電極と前記第3透明電極とは電氣的に絶縁されており、前記第2絶縁膜を介して第2保持容量を形成する。

（2）（1）において、前記第1絶縁膜、あるいは、前記第2絶縁膜は、複数の絶縁膜の積層体から構成される。

（3）（1）において、前記第1絶縁膜および前記第2絶縁膜の材質は、同一、あるいは、互いに異なっている。

（4）（1）において、前記第1絶縁膜および前記第2絶縁膜の屈折率は、同一、あるいは、互いに異なっている。

【 0 0 0 7 】

（5）（1）において、前記各画素の少なくとも一部に設けた透過表示領域に、前記第1透明電極の前記第1基板側に配置される第3絶縁膜を有する。

（6）（5）において、前記第3絶縁膜の誘電率は、前記第1絶縁膜、あるいは、前記第2絶縁膜の誘電率以下である。

（7）（5）において、前記第3絶縁膜は、複数の絶縁膜の積層体から構成される

（8）（5）において、前記第1絶縁膜、前記第2絶縁膜、および、前記第3絶縁膜の材質は、同一、あるいは、互いに異なっている。

（9）（1）において、前記第1透明電極、前記第2透明電極、および、前記第3透明電極の材質は、同一、あるいは、互いに異なっている。

（10）（1）において、前記第1透明電極、前記第2透明電極、および、前記第3透明電極の屈折率は、同一、あるいは、互いに異なっている。

（11）（1）において、前記第1透明電極、前記第2透明電極、および、前記第3透明電極の膜厚は、同一、あるいは、互いに異なっている。

10

20

30

40

50

(12)(1)において、前記第1透明電極、前記第2透明電極、前記第3透明電極、前記第1絶縁膜、および、前記第2絶縁膜のそれぞれの屈折率と厚さは、それらの組み合わせにより可視光領域における波長の光の少なくとも一部に対して無反射条件を実現する値である。

(13)(5)において、前記第1透明電極、前記第2透明電極、前記第3透明電極、前記第1絶縁膜、前記第2絶縁膜、および、前記第3絶縁膜のそれぞれの屈折率と厚さは、それらの組み合わせにより可視光領域における波長の光の少なくとも一部に対して無反射条件を実現する値である。

【0008】

(14)(1)において、前記第1透明電極、前記第2透明電極、および、前記第3透明電極の面積は、同一、あるいは、互いに異なっている。

10

(15)(1)において、前記第1透明電極と前記第2透明電極とが重なり合う面積と、前記第2透明画素電極と前記第3透明画素電極とが重なり合う面積とは、同一、あるいは、互いに異なっている。

(16)(1)において、前記第1基板は、前記各画素の少なくとも一部に設けた反射表示領域に反射電極を有し、前記反射電極は、前記第1透明電極、前記第2透明電極、および、前記第3透明電極の少なくとも1つと電氣的に接続されている。

(17)(1)において、前記第3透明電極は、複数の櫛歯電極を有し、前記第3透明電極と前記第2透明電極との間に、前記第1基板の表面に平行な成分を有する電界を発生させて、前記第3電極表面側に設けた液晶を駆動する。

20

(18)(1)において、前記第3透明電極は、スリットを有する平板状形状を有し、前記第3透明電極と前記第2透明電極との間に、前記第1基板の表面に平行な成分を有する電界を発生させて、前記第3電極表面側に設けた液晶を駆動する。

(19)(1)において、前記各画素は、前記第2基板側に配置される第4透明電極を有し、前記第4透明電極と前記第3透明電極との間に電界を発生させて、前記第3電極表面側に設けた液晶を駆動する。

【0009】

(20)(1)ないし(18)の何れかにおいて、前記各画素は、薄膜トランジスタを有し、前記第3透明電極は、対向電極であり、前記第2透明電極は、画素電極であり、前記第1透明電極は、保持容量電極である。

30

(21)(20)において、前記第1絶縁層は、前記第1基板に近い側から順にゲート絶縁層と層間絶縁層の積層体で構成され、前記第3透明電極は、共通電極配線に接続され、前記第2透明電極は、前記層間絶縁層に形成された開口部を介して前記薄膜トランジスタの第1電極に接続され、前記第1透明電極は、保持容量配線に接続される。

(22)(20)において、前記第1絶縁層は、前記第1基板に近い側から順にゲート絶縁層と層間絶縁層の積層体で構成され、前記第1透明電極は、共通電極配線に接続され、前記第2透明電極は、前記層間絶縁層に形成された開口部を介して前記薄膜トランジスタの第1電極に接続され、前記第3透明電極は、前記ゲート絶縁層、前記層間絶縁層、および前記第2絶縁層に形成された開口部を介して前記第1透明電極、あるいは前記共通電極配線に接続される。

40

(23)(20)において、前記第1透明電極は、保持容量配線に接続され、前記第2透明電極は、前記薄膜トランジスタの第1電極に接続され、前記第3透明電極は、共通電極配線に接続される。

【0010】

(24)(20)において、前記第1透明電極は、共通電極配線に接続され、前記第2透明電極は、前記薄膜トランジスタの第1電極に接続され、前記第3透明電極は、前記第1絶縁層、および前記第2絶縁層に形成された開口部を介して前記第1透明電極、あるいは前記共通電極配線に接続される。

(25)(20)において、前記薄膜トランジスタの第1電極上に形成される層間絶縁層を有し、前記第1透明電極は、前記層間絶縁層上に形成され、前記第1透明電極は、共通

50

電極配線に接続され、前記第 2 透明電極は、前記層間絶縁層および前記第 1 絶縁層に形成された開口部を介して前記薄膜トランジスタの第 1 電極に接続され、前記第 3 透明電極は、前記第 1 絶縁層、および前記第 2 絶縁層に形成された開口部を介して前記第 1 透明電極、あるいは前記共通電極配線に接続される。

(26)(20)において、前記薄膜トランジスタの第 1 電極上に形成される層間絶縁層を有し、前記第 1 透明電極は、前記層間絶縁層上に形成され、前記第 3 透明電極は、共通電極配線に接続され、前記第 2 透明電極は、前記層間絶縁層および前記第 1 絶縁層に形成された開口部を介して前記薄膜トランジスタの第 1 電極に接続され、前記第 1 透明電極は、前記第 1 絶縁層に形成された開口部に形成された島状の透明電極パターンに接続され、前記島状の透明電極パターンは、前記第 2 絶縁層に形成された開口部を介して前記共通電極配線に接続される。

10

【0011】

(27)(21)または(23)において、前記共通電極配線の電圧と、前記保持容量配線の電圧とは、同一、あるいは、互いに異なっている。

(28)(20)において、前記第 1 透明電極は、各画素毎に分離されている。

(29)(20)において、前記第 1 透明電極は、各画素行毎、または、各画素列毎、あるいは、全画素について共通化されている。

(30)(20)において、前記第 3 透明電極は、各画素毎に分離されている。

(31)(20)において、前記第 3 透明電極は、各画素行毎、または、各画素列毎、あるいは、全画素について共通化されている。

20

(32)(20)において、前記共通電極配線は、各画素行毎に配置され、各画素行毎の前記共通電極配線は、共通化されている。

(33)(20)において、前記共通電極配線は、各画素行毎に配置され、各画素行毎の前記共通電極配線は、それぞれ独立している。

(34)(21)または(23)において、前記保持容量配線は、各画素行毎に配置され、各画素行毎の前記保持容量配線は、共通化されている。

(35)(21)または(23)において、前記保持容量配線は、各画素行毎に配置され、各画素行毎の前記保持容量配線は、それぞれ独立している。

(36)(20)において、前記第 1 透明電極と、前記薄膜トランジスタの第 1 電極の少なくとも一部は、前記第 1 透明電極と前記薄膜トランジスタの第 1 電極の少なくとも一部との間に挿入された絶縁層を介して、第 3 保持容量を形成する。

30

(37)(21)または(23)において、前記保持容量配線の一部と、前記薄膜トランジスタの第 1 電極の少なくとも一部は、前記保持容量配線の一部と前記薄膜トランジスタの第 1 電極の少なくとも一部との間に挿入された絶縁膜を介して、第 3 保持容量を形成する。

【0012】

(38)(1)ないし(19)の何れかにおいて、前記各画素は、薄膜トランジスタを有し、前記第 1 透明電極および前記第 3 透明電極は、画素電極であり、前記第 2 透明電極は、対向電極である。

(39)(38)において、前記第 1 透明電極は、前記薄膜トランジスタの第 1 電極に接続され、前記第 2 透明電極は、共通電極配線に接続され、前記第 3 透明電極は、前記第 1 絶縁層、および前記第 2 絶縁層に形成された開口部を介して前記薄膜トランジスタの第 1 電極に接続される。

40

(40)(38)において、前記第 1 絶縁層は、前記第 1 基板に近い側から順にゲート絶縁層と層間絶縁層の積層体で構成され、前記第 1 透明電極は、前記ゲート絶縁層に形成された開口部を介して前記薄膜トランジスタの第 1 電極に接続され、前記第 2 透明電極は、共通電極配線に接続され、前記第 3 透明電極は、前記層間絶縁層、および前記第 2 絶縁層に形成された開口部を介して前記薄膜トランジスタの第 1 電極に接続される。

(41)(38)において、前記薄膜トランジスタの第 1 電極上に形成される層間絶縁層を有し、前記第 1 透明電極は、前記層間絶縁層上に形成され、前記第 1 透明電極は、前記

50

層間絶縁層に形成された開口部を介して前記薄膜トランジスタの第1電極に接続され、前記第2透明電極は、共通電極配線に接続され、前記第3透明電極は、前記第1絶縁層、および前記第2絶縁層に形成された開口部を介して前記第1透明電極に接続される。

【0013】

(42)(38)において、前記第1絶縁層は、前記第1基板に近い側から順にゲート絶縁層と層間絶縁層の積層体で構成され、前記第1透明電極は、前記ゲート絶縁層、前記層間絶縁層、および前記第2絶縁層に形成された開口部を介して前記第3透明電極に接続され、前記第2透明電極は、共通電極配線に接続され、前記第3透明電極は、前記層間絶縁層、および前記第2絶縁層に形成された開口部を介して前記薄膜トランジスタの第1電極に接続される。

10

(43)(38)において、前記第2透明電極は、各画素毎に分離されている。

(44)(38)において、前記第2透明電極は、各画素行毎、または、各画素列毎、あるいは、全画素について共通化されている。

(45)(38)において、前記共通電極配線は、各画素行毎に配置され、各画素行毎の前記共通電極配線は、共通化されている。

(46)(38)において、前記共通電極配線は、各画素行毎に配置され、各画素行毎の前記共通電極配線は、それぞれ独立している。

(47)(38)において、前記薄膜トランジスタの前記第1電極の前記第1基板側に形成される保持容量配線を有し、前記保持容量配線の一部と、前記薄膜トランジスタの第1電極の少なくとも一部は、前記保持容量配線の一部と前記薄膜トランジスタの第1電極の少なくとも一部との間に挿入された絶縁膜を介して、第3保持容量を形成する。

20

【発明の効果】

【0014】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によれば、画素寸法が微細化された液晶表示パネルを有する液晶表示装置において、十分な大きさの保持容量を構成することが可能となる。

【発明を実施するための最良の形態】

【0015】

以下、図面を参照して本発明の実施例を詳細に説明する。

30

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

[基本構造]

図1に、本発明の液晶表示装置の画素主要部の基本断面構造を示す。図1(a)はIPS方式の液晶表示装置に適用する場合、図1(b)は縦電界駆動の液晶表示装置に適用する場合である。いずれの場合においても、各画素の少なくとも一部に設けた透過表示領域が、第1基板SUB1に近い側から順に、第1透明電極EL1、第1絶縁膜INS1、第2透明電極EL2、第2絶縁膜INS2、第3透明電極EL3、第1配向膜AL1、液晶層LC、第2配向膜AL2、第2基板SUB2の積層構造を有する。

なお、カラー表示の場合は、前述の画素は、サブピクセルに対応するが、以下の説明では、カラー表示の1サブピクセルも1画素として説明する。

40

第1透明電極EL1と第2透明電極EL2は電氣的に絶縁されており、第1絶縁膜INS1を介して第1保持容量Cst1を形成する。第2透明電極EL2と第3透明電極EL3は電氣的に絶縁されており、第2絶縁膜INS2を介して第2保持容量Cst2を形成する。

なお、後述する実施例に示すように、第1保持容量Cst1と第2保持容量Cst2の静電容量は同一でも互いに異なっても構わない。また、図1では図示していないが、第1透明電極EL1の下層に更に第3絶縁膜INS3を有していても構わない。

また、第1、第2、第3絶縁膜(INS1~INS3)は、複数の絶縁膜の積層体から構成されていても構わない。第1、第2、第3絶縁膜(INS1~INS3)の材質、誘

50

電率、屈折率、厚さは、同一でも互いに異なっていても構わない。第3絶縁膜INS3の誘電率は、第1絶縁膜INS1または第2絶縁膜INS2の誘電率以下であることが望ましい。

第1～第3透明電極(EL1～EL3)の材質、屈折率、膜厚、面積は、同一でも互いに異なっていても構わない。第1～第3透明電極(EL1～EL3)、第1、第2、第3絶縁膜(INS1～INS3)のそれぞれの屈折率と厚さは、それらの組み合わせにより可視光領域における波長の光の少なくとも一部に対して無反射条件を実現する値であることが望ましい。

【0016】

図1(a)に示すIPS方式の液晶表示装置に適用する場合、第3透明電極EL3の平面形状を櫛歯状とし、第3透明電極EL3と第2透明電極EL2との間に発生させた電界Eにより液晶層LCを駆動する。なお、第3透明電極EL3の平面形状は、短冊状やスリットを有する平板状や開口部を有する平板状であっても構わない。IPS表示モードを用いた反射型、半透過型の場合、各画素の少なくとも一部に設けた反射表示領域に反射電極を設け、反射電極を第1透明電極EL1と第2透明電極EL2の少なくとも一方に電氣的に接続する。また、第1～第3透明電極(EL1～EL3)には次の2種類の使い方があ

10

(1)第2透明電極EL2を各画素毎に分離して画素電極とし、第1透明電極EL1を保持容量電極、第3透明電極EL3を対向電極とする。第1透明電極EL1と第3透明電極EL3を電氣的に接続しても絶縁しても構わない。第1透明電極EL1と第3透明電極EL3を電氣的に絶縁した場合、第1透明電極EL1と第3透明電極EL3の電圧は同一でも互いに異なっていても構わない。IPS表示モードを用いた反射型、半透過型において、特に、反射電極を第1透明電極EL1に接続した場合、反射電極は保持容量配線を兼ねても構わない。

20

(2)第1透明電極EL1と第3透明電極EL3を各画素毎に分離するとともに互いに電氣的に接続して画素電極とし、第2透明電極EL2を対向電極とする。この時、第2透明電極EL2は保持容量電極を兼ねる。IPS表示モードを用いた反射型、半透過型において、特に、反射電極を第2透明電極EL2に接続した場合、反射電極は保持容量配線を兼ねても構わない。

【0017】

30

図1(b)に示す縦電界駆動の液晶表示装置に適用する場合、第2配向膜AL2と第2基板SUB2との間に対向電極として平面形状が平板状の第4透明電極EL4を有する。また、第1透明電極EL1と第3透明電極EL3を各画素毎に分離するとともに互いに電氣的に接続し、第3透明電極EL3を平面形状が平板状の画素電極とする。第3透明電極EL3と第4透明電極EL4との間の電界により液晶層LCを駆動する。なお、第3透明電極EL3と第4透明電極EL4の平面形状は、スリットを有する平板状や開口部を有する平板状であっても構わない。

第2透明電極EL2を保持容量電極とするが、第2透明電極EL2と第4透明電極EL4の電圧は同一でも互いに異なっていても構わない。縦電界駆動の液晶表示モードを用いた反射型、半透過型の場合、各画素の少なくとも一部に設けた反射表示領域に反射電極を設け、反射電極を第1～第3透明電極の少なくともいずれかと電氣的に接続する。特に、反射電極を第2透明電極EL2と接続した場合、反射電極は保持容量配線を兼ねても構わない。なお、縦電界駆動の液晶表示モードとしては、VAモード、TNモード、ECBモード、OCBモード、高分子分散型など、公知の技術を用いることができる。

40

以下、薄膜トランジスタを用いたアクティブマトリクス型液晶表示装置に前述の基本構造を適用した実施例について説明する。

【0018】

[実施例1]

本発明の実施例1、ないし後述する本発明の実施例2～実施例6は、IPS方式の液晶表示装置において、第2透明電極EL2を画素電極とし、第1透明電極EL1を保持容量

50

電極、第3透明電極E L 3を対向電極とする実施例である。

図2は、本発明の実施例1の液晶表示装置の画素構造を示す模式図であり、図2(a)は画素の断面構造、図2(b)はTFT基板側の画素の平面構造である。なお、図2(a)は、図2(b)のA-A'切断線に相当する断面構造を示している。

第1基板SUB 1上に、走査配線SCNそれぞれに対応して保持容量配線STGを設け、これらに交差するようにゲート絶縁膜INS 11を介して信号配線SIGを設け、走査配線SCNと信号配線SIGとにより区画される各画素毎に、薄膜トランジスタTFT、第1透明電極として機能する透明保持容量電極E L 1(ST)、第2透明電極として機能する透明画素電極E L 2(P)を設けた。透明保持容量電極E L 1(ST)と透明画素電極E L 2(P)の面積は図2(b)に示すように異なっている。

10

【0019】

保持容量配線STGと透明保持容量電極E L 1(ST)とを部分的に重ねることにより電氣的に接続し、薄膜トランジスタTFTのゲート電極Gを、走査配線SCNに接続し、薄膜トランジスタTFTのドレイン電極Dを信号配線SIGに接続し、パッシベーション膜INS 12に形成された開口部CH1を介して、薄膜トランジスタTFTのソース電極Sを透明画素電極E L 2(P)に接続する。

パッシベーション膜INS 12とゲート絶縁膜INS 11の積層体を第1絶縁膜INS 1として用い、透明保持容量電極E L 1(ST)と透明画素電極E L 2(P)との間に、第1絶縁膜INS 1を介して第1保持容量C s t 1を形成する。

そのさらに上層に、層間絶縁膜となる第2絶縁膜INS 2を形成し、保持容量配線STGと信号配線SIGに対応した形状の共通電極配線COM、第3透明電極として機能する透明対向電極E L 3(C)を形成し、透明画素電極E L 2(P)と透明対向電極E L 3(C)との間に、第2絶縁膜INS 2を介して第2保持容量C s t 2を形成し、TFT基板とした。

20

透明対向電極E L 3(C)と共通電極配線COMとは直接重なり合うことで電氣的に接続し、対向電極全体としての抵抗を低減する。最表面には液晶層LCを所定の方向に配向させるための第1配向膜AL 1を形成した。

【0020】

第2基板SUB 2上に、遮光膜BM、画素毎に異なる複数色のカラーフィルタFIL、保護膜OC、第2配向膜AL 2を形成し、対向基板とした。

30

第1配向膜AL 1と第2配向膜AL 2はそれぞれ所定の方向に配向処理してある。第1基板SUB 1と第2基板SUB 2を互いの配向膜形成面が一定間隔で対向するように配置し、その間隙に正の誘電率異方性を有するネマチック液晶組成物を充填して液晶層LCとなした。

透明画素電極E L 2(P)上の透明対向電極E L 3(C)には、互いに平行な複数のスリット状開口部SLTを設け、透明画素電極E L 2(P)と透明対向電極E L 3(C)との間に液晶層LCを介して、第1基板SUB 1の表面に平行な成分を有する電界を発生して、液晶層LCを駆動する。

第1基板SUB 1および第2基板SUB 2の外側には、図示していない位相差板と偏光板を配置して、ノーマリブラック(NB)表示モードの液晶表示装置を構成した。また、走査配線SCN、保持容量配線STG、信号配線SIG、共通電極配線COMには、図示していない駆動回路を接続してある。

40

【0021】

本実施例1による液晶表示装置の1画素分の等価回路を図3に示す。透明画素電極E L 2(P)、もしくはソース電極Sに対して、第1保持容量C s t 1、第2保持容量C s t 2、画素容量C p xの他に、薄膜トランジスタTFTのG-S間寄生容量C g s、信号配線SIGとの間の寄生容量C d s 1、C d s 2が存在する。

画素寸法を微細にした時に、C g s、C d s 1、C d s 2等の寄生容量に比べて十分な大きさの等価的な保持容量を、第1保持容量C s t 1と第2保持容量C s t 2の並列容量により形成できる。このため、薄膜トランジスタTFTがオフ状態の保持期間において、

50

透明画素電極 E L 2 (P) の電圧が、走査配線 S C N や信号配線 S I G の電圧変化によるフィードスルー電圧の影響を受けにくくすることができ、スメアやクロストークと呼ばれる現象を抑制することができる。

また、保持期間において、透明画素電極 E L 2 (P)、およびソース電極 S に蓄積された電荷の漏れを低減することができるため、液晶層 L C への印加電界の低下を抑制することができる。このため、画質の劣化を防止することができる。

【 0 0 2 2 】

しかも、第 1 保持容量 C s t 1、および第 2 保持容量 C s t 2 の保持容量を構成する透明保持容量電極 E L 1 (S T)、第 1 絶縁膜 I N S 1、透明画素電極 E L 2 (P)、第 2 絶縁膜 I N S 2、透明対向電極 E L 3 (C) が透明であるため、寄生容量に比べて十分な
10
大ききの保持容量を形成しても、透過表示部の開口率を低下させなくて済む。したがって、十分な大ききの保持容量の形成と十分な大ききの開口率の確保を両立することができる。このような効果は、後述する実施例 2 ~ 6、1 1 に共通である。

本実施例および後述する実施例 3 において、各画素行毎の保持容量配線 S T G はそれぞれ独立に電圧を印加しても共通に電圧を印加しても構わない。共通電極配線 C O M および透明対向電極 E L 3 (C) についても、対向電極抵抗低減の点では隣接画素どうして接続して全画素共通に電圧を印加することが望ましいが、各画素行毎に分離してそれぞれ独立に電圧を印加しても、あるいは、各画素列毎に分離してそれぞれ独立に電圧を印加しても構わない。また、保持容量配線 S T G と共通電極配線 C O M の電圧は一致していても構わ
20
ないが、必ずしも一致させる必要はない。

【 0 0 2 3 】

図 4 - 1、図 4 - 2 に、本実施例 1 による液晶表示装置の T F T 基板の作製工程を示す。

図 4 - 1 (a) において、ガラス基板のような透明絶縁性部材からなる第 1 基板 S U B 1 上に、I T O のような透明導電性材料を成膜してホトリソグラフィープロセスにより透明保持容量電極 E L 1 (S T) に加工する。

図 4 - 1 (b) において、金属材料を成膜してホトリソグラフィープロセスによりゲート電極 G、走査配線 S C N (図示省略)、保持容量配線 S T G を同時に形成する。なお、この層をゲート層と呼ぶことにする。透明保持容量電極 E L 1 (S T) の一部に保持容量配線 S T G の一部を重ねることにより、透明保持容量電極 E L 1 (S T) と保持容量配線
30
S T G を電氣的に接続する。

図 4 - 1 (c) において、S i N や S i O、T a O 等の透明絶縁性材料からなるゲート絶縁膜 I N S 1 1 と、非晶質シリコンからなる半導体層 a - S i を連続成膜して、半導体層 a - S i のみをホトリソグラフィープロセスにより加工する。半導体層 a - S i の上面には高濃度 n 型層の薄膜 (図示省略) が存在する。

図 4 - 1 (d) において、金属材料を成膜してホトリソグラフィープロセスによりソース電極 S、ドレイン電極 D、信号配線 S I G (図示省略) を同時に形成する。なお、この層をドレイン層と呼ぶことにする。ドレイン層で覆われていない部分の高濃度 n 型層もドレイン層の加工と同時に除去する。

【 0 0 2 4 】

図 4 - 1 (e) において、S i N からなるパッシベーション膜 I N S 1 2 を成膜し、ホトリソグラフィープロセスにより、ゲート絶縁膜 I N S 1 1 とパッシベーション膜 I N S 1 2 を一括加工する。ソース電極 S 上のパッシベーション膜 I N S 1 2 には開口部 C H 1 を形成しておく。

図 4 - 2 (f) において、I T O のような透明導電性材料を成膜してホトリソグラフィープロセスにより透明画素電極 E L 2 (P) に加工する。パッシベーション膜 I N S 1 2 の開口部 C H 1 を通して、透明画素電極 E L 2 (P) とソース電極 S を電氣的に接続する。ゲート絶縁膜 I N S 1 1 とパッシベーション膜 I N S 1 2 の積層体を介して、透明保持容量電極 E L 1 (S T) と透明画素電極 E L 2 (P) が重なる領域が、第 1 保持容量 C s t 1 となる。
50

図4-2(g)において、SiNからなる第2絶縁膜INS2を成膜し、ホトリソグラフィプロセスにより第2絶縁膜INS2を加工する。なお、このとき画素部はパターンニングしないが、端子部や異層間接続部に開口を設ける。

図4-2(h)において、金属材料を成膜してホトリソグラフィプロセスにより共通電極配線COMに加工する。

最後に、共通電極配線COMを覆ってITOのような透明導電性材料を成膜し、ホトリソグラフィプロセスにより図2(a)に示すような透明対向電極EL3(C)に加工する。したがって、合計9回のホトリソグラフィプロセスを用いて TFT基板を作製する。

図4(a)~(f)の工程は、例えば、面状の対向電極(C)上に層間絶縁膜を介して櫛歯形状あるいはスリットを有する画素電極を形成したIPS方式の液晶表示装置のプロセスを利用することができ、その工程の後に3つの工程を追加することになる。

【0025】

なお、透明保持容量電極EL1(ST)と保持容量配線STGが電氣的に接続できれば、図4-1(a)と図4-1(b)の工程順は逆でも構わない。

また、本実施例1および後述する実施例3において、透明保持容量電極EL1(ST)もしくはゲート層で形成した保持容量配線STGをソース電極Sの下に潜り込ませることにより、ゲート絶縁膜INS11を介してソース電極Sと重なる領域に第3保持容量Cst3を形成しても構わない。この場合、第3保持容量Cst3は図35(a)に示すように第1保持容量Cst1と並列に接続した等価回路を構成する。

本実施例1の作製工程により形成される端子部及び異層間接続部の断面構造を図5に示す。図5(a)はゲート層からなる走査配線SCN及び保持容量配線STGの端子部、図5(b)はドレイン層からなる信号配線SIGの端子部であり、図5(c)は共通電極配線COMとゲート層との接続部、図5(d)は共通電極配線COMとドレイン層との接続部である。なお、図5、および後述する図11、図14、図17、図20、図23、図26、図29において、TAは端子部を示す。

第2絶縁膜INS2の加工時に、ゲート絶縁膜INS11やパッシベーション膜INS12に影響が及ぶのを防止すると共に、共通電極配線COMの加工時にゲート層やドレイン層に影響が及ぶのを防止するために、図示のように透明電極EL2を形成した。

【0026】

本実施例1、および後述する実施例2~実施例11の構造は、IPS表示方式の反射型、半透過型の液晶表示装置にも応用できる。その場合、透明保持容量電極EL1(ST)あるいは透明画素電極EL2(P)の一部に反射電極を形成して反射表示部に利用すればよく、反射表示部に液晶層厚調整層を設けてもよい。特に、保持容量配線STGや共通電極配線COMの一部を反射電極に用いれば、作製工程数を増やさずに済むため望ましい。

また、1画素内にNB表示モードのIPS表示モードによる透過表示部とノーマリホワイト(NW)表示モードのIPS表示モードによる反射表示部とを併せ持つ方式の液晶表示装置にも適用可能である。

なお、本実施例を含め、後述の全ての実施例において、透明導電性材料にはITOだけでなくSnO、InZnO、ZnO等を用いても構わない。透明保持容量電極EL1(ST)、透明画素電極EL2(P)、透明対向電極EL3(C)のそれぞれの膜厚は、製造上の歩留まりの点で適切で、光学設計的に適切な値を選ぶことが望ましい。

また、ゲート層やドレイン層、共通電極配線COMには、AlやCr、Cu、Mo、Nd、Ta、Ti、W、Zr等の金属材料やこれらの合金を用いても構わない。

【0027】

また、ゲート絶縁膜INS11、パッシベーション膜INS12、第2絶縁膜INS2には、SiNだけでなく、SiOやTaO、あるいはこれらの積層体を用いても構わないし、一部には感光性アクリル系樹脂などのような有機絶縁性材料を用いても構わない。

ゲート絶縁膜INS11、パッシベーション膜INS12、第2絶縁膜INS2の膜厚は、製造上の歩留まりの点や薄膜トランジスタTFTや液晶表示装置としての特性や信頼

10

20

30

40

50

性の点で適切で、光学設計的に適切な値を選ぶことが望ましい。

また、半導体層には、非晶質シリコンだけでなく、多結晶シリコンや有機半導体や結晶シリコンなどを用いても構わない。

また、液晶層 LC に最も近い透明対向電極 EL3 (C) の平面形状は、互いに平行な複数のスリット状開口部 SLT を有する形状だけでなく、短冊状や櫛歯状でも構わない。さらに、液晶層 LC への電界印加時に配向方位が異なる複数のドメインに変化するように複数の異なる電界方向を形成できる電極形状でも構わない。

また、各層の加工方法はホトリソグラフィプロセスだけに限る必要はなく、印刷法やインクジェット法などを利用して構わない。また、使用する液晶組成物の誘電率異方性は負でも構わず、表示モードによっては必ずしもネマチック液晶に限る必要はない。

10

【0028】

[実施例 2]

図 6 は、本発明の実施例 2 の液晶表示装置の画素構造を示す模式図であり、図 6 (a) は画素の断面構造、図 6 (b) は TFT 基板側の画素の平面構造である。なお、図 6 (a) は、図 6 (b) の A - A ' 切断線に相当する断面構造を示している。

実施例 1 との違いは、透明対向電極 EL3 (C) と第 2 絶縁膜 INS2 との間の共通電極配線 COM を使用せず、ゲート層で形成した保持容量配線 STG を共通電極配線 COM と兼用する点である。

この時、ゲート層で形成した共通電極配線上のゲート絶縁膜 INS11、パッシベーション膜 INS12、および第 2 絶縁膜 INS2 の一部に開口部 (CH2 ~ CH4) を設け、この開口部 (CH2 ~ CH4) を介して、透明対向電極 EL3 (C) を共通電極配線 COM に接続することにより、実施例 1 と同様に透明対向電極 EL3 (C) の抵抗低減を実現している。

20

なお、保持容量配線 STG を共通電極配線 COM と兼用するため、1 画素分の等価回路は図 7 に示すようになる。

本実施例 2 でも、実施例 1 と同様に、Cgs、Cds1、Cds2 等の寄生容量に比べて十分な大きさの等価的な保持容量を、第 1 保持容量 Cst1 と第 2 保持容量 Cst2 の並列容量により形成でき、同様の効果を達成できる。

なお、本実施例および後述する実施例 4 において、各画素行毎の共通電極配線 COM は、共通に電圧を印加しても、あるいは、共通電極配線 COM とともに、透明対向電極 EL3 (C) も各画素行毎に分離してそれぞれ独立に電圧を印加しても構わない。

30

【0029】

図 6 (b) と、図 2 (b) と比較すると、ゲート絶縁膜 INS11、パッシベーション膜 INS12、および第 2 絶縁膜 INS2 に開口部 (CH2 ~ CH4) を設けて、透明対向電極 EL3 (C) と共通電極配線 COM との接続部を形成したことにより、透明対向電極 EL3 (C) にスリット状開口部 SLT を設けて液晶層 LC に電界を印加できる領域が減少するため開口率が低下するが、以下に述べるように、TFT 基板の作製工程数を実施例 1 よりも 1 工程短縮できる利点がある。

図 8 に実施例 2 による液晶表示装置の TFT 基板の作製工程を示す。図 8 (a) ~ 図 8 (d) は、実施例 1 における図 4 - 1 (a) ~ 図 4 - 1 (d) と同一である。

40

図 8 (e) も図 4 - 1 (e) の場合と同様であるが、ゲート絶縁膜 INS11、パッシベーション膜 INS12 の一括加工によりソース電極 S 上のパッシベーション膜 INS12 に開口部 CH1 を形成するだけでなく、共通電極配線 COM 上のゲート絶縁膜 INS11、パッシベーション膜 INS12 にも開口部 (CH2, CH3) を形成する。

図 8 (f) の工程は図 4 - 2 (f) の工程と同一である。

【0030】

図 8 (g) も図 4 - 2 (g) の場合と同様であるが、第 2 絶縁膜 INS2 を加工する時に、ゲート絶縁膜 INS11、パッシベーション膜 INS12 の開口部 (CH2, CH3) 内の第 2 絶縁膜 INS2 の開口部 CH4 を形成し、ゲート層からなる共通電極配線 COM の表面を露出させる。その後、図 4 - 2 (h) に相当する工程を経ずに、ITO のよう

50

な透明導電性材料を成膜し、ホトリソグラフィープロセスにより図6(a)に示すような透明対向電極EL3(C)に加工する。

ゲート絶縁膜INS11、パッシベーション膜INS12、第2絶縁膜INS2の開口部(CH2~CH4)を介して透明対向電極EL3(C)と共通電極配線COMとを電氣的に接続する。

したがって、合計8回のホトリソグラフィープロセスを用いてTFT基板を作製することができる。

実施例1の場合と同様に、図8(a)~図8(f)の工程は、面状の対向電極(C)上に層間絶縁膜を介して櫛歯形状あるいはスリットを有する画素電極(P)を形成したIPS方式の液晶表示装置のプロセスを利用することができ、その工程の後に2つの工程を追加することになる。

なお、実施例1の場合と同様に、透明保持容量電極EL1(ST)と共通電極配線COMが電氣的に接続できれば、図8(a)と図8(b)の工程順は逆でも構わない。

【0031】

また、本実施例および後述する実施例4において、透明保持容量電極EL1(ST)もしくはゲート層で形成した共通電極配線COMを、ソース電極Sの下に潜り込ませることにより、ゲート絶縁膜INS11を介してソース電極Sと重なる領域に第3保持容量Cst3を形成しても構わない。この場合、第3保持容量Cst3は、図35(c)に示すように、第1保持容量Cst1、第2保持容量Cst2、画素容量Cpxと並列に接続した等価回路を構成する。

本実施例2の作製工程により形成される端子部の断面構造は、図5(a)および図5(b)と同一であり、異層間接続部の断面構造は、以下の点を除いて、図5(c)および図5(d)と同じである。

透明対向電極EL3(C)と第2絶縁膜INS2との間に共通電極配線COMを使用しないため、図5(c)および図5(d)における、透明対向電極EL3(C)と第2絶縁膜INS2との間に共通電極配線COMが存在しない構造になる。

【0032】

[実施例3]

図9は、本発明の実施例3の液晶表示装置の画素構造を示す模式図であり、図9(a)は画素の断面構造、図9(b)はTFT基板側の画素の平面構造である。なお、図9(a)は、図9(b)のA-A'切断線に相当する断面構造を示している。

実施例1との違いは、透明画素電極EL2(P)を、ゲート絶縁膜INS11とパッシベーション膜INS12との間に移し、ゲート絶縁膜INS11のみにより第1絶縁膜INS1を構成し、パッシベーション膜INS12を第2絶縁膜INS2として用いる点である。

このため、本実施例では、絶縁膜を1層分削減できるだけでなく、第1保持容量Cst1を構成する第1絶縁膜INS1の単位面積あたりの静電容量が増加することにより、より小さい画素寸法の画素においても十分な大きさの保持容量を形成しやすくなる。

また、実施例1では、パッシベーション膜INS12に開口部を形成して薄膜トランジスタTFTのソース電極Sと透明画素電極EL2(P)を接続していたのに対して、本実施例3ではソース電極Sと透明画素電極EL2(P)との重なり部により両者を電氣的に接続する。

このため、画素領域内にパッシベーション膜INS12の開口部を設けずに済む分だけ表示に利用できる面積が増加し、開口率を向上できる。なお、1画素分の等価回路は実施例1における図3と同一である。

【0033】

図9(b)と図2(b)と比較すると、ドレイン層と共通電極配線COMおよび透明対向電極EL3(C)との間の絶縁膜が1層だけになることにより、信号配線SIG-共通電極配線COM間の寄生容量が増大しやすいが、以下に述べるように、TFT基板の作製工程数を実施例1よりも1工程短縮できる利点がある。

図10に実施例3による液晶表示装置のTFT基板の作製工程を示す。図10(a)～図10(d)は実施例1における図4-1(a)～図4-1(d)と同一である。

図10(e)において、ITOのような透明導電性材料を成膜してホトリソグラフィープロセスにより透明画素電極EL2(P)に加工し、透明画素電極EL2(P)とソース電極Sとの重なり部(矢印Aで示す丸で囲まれた部分)により両者を電氣的に接続する。ゲート絶縁膜INS11を介して透明保持容量電極EL1(ST)と透明画素電極EL2(P)が重なる領域が第1保持容量Cst1となる。

図10(f)において、SiNからなるパッシベーション膜INS12を成膜し、ホトリソグラフィープロセスにより、ゲート絶縁膜INS11とパッシベーション膜INS12を一括加工する。なお、このとき画素部はパターニングしないが、端子部や異層間接続部に開口を設ける。

図10(g)において、金属材料を成膜してホトリソグラフィープロセスにより共通電極配線COMに加工する。

最後に、共通電極配線COMを覆ってITOのような透明導電性材料を成膜し、ホトリソグラフィープロセスにより、図9(a)に示すような透明対向電極EL3(C)に加工する。したがって、合計8回のホトリソグラフィープロセスを用いてTFT基板を作製することができる。

【0034】

なお、実施例1の場合と同様に、透明保持容量電極EL1(ST)と共通電極配線COMが電氣的に接続できれば、図10(a)と図10(b)の工程順は逆でも構わない。

また、透明保持容量電極EL1(ST)をソース電極Sの下に潜り込ませることにより、ゲート絶縁膜INS11を介して透明保持容量電極EL1(ST)とソース電極Sが重なる領域に第3保持容量Cst3を形成しても構わない。この場合、第3保持容量Cst3は、図35(a)に示すような等価回路を構成する。

また、透明画素電極EL2(P)とソース電極Sとの接続部は、両者が電氣的に接続できればよい。図9(a)に示す構造とは逆に、透明画素電極EL2(P)の上にソース電極Sを重ねる構造でも構わない。(図9(a)の矢印Fに示す構造参照)この構造は、図10(d)と図10(e)の工程順を逆にすれば形成できる。

実施例3の作製工程により形成される端子部及び異層間接続部の断面構造を図11に示す。図11(a)はゲート層からなる走査配線SCN及び保持容量配線STGの端子部、図11(b)はド레인層からなる信号配線SIGの端子部であり、図11(c)は共通電極配線COMとゲート層との接続部、図11(d)は共通電極配線COMとド레인層との接続部である。

共通電極配線COMの加工時にゲート層やド레인層に影響が及ぶのを防止するために、図示のように共通電極配線COMを形成した。

【0035】

[実施例4]

図12は、本発明の実施例4の液晶表示装置の画素構造を示す模式図であり、図12(a)は画素の断面構造、図12(b)はTFT基板側の画素の平面構造である。なお、図12(a)は、図12(b)のA-A'切断線に相当する断面構造を示している。

実施例3との違いは、透明対向電極EL3(C)とパッシベーション膜INS12との間の共通電極配線COM層を使用せず、実施例2の場合と同様にゲート層で形成した保持容量配線STGを共通電極配線COMと兼用する点である。

ゲート層で形成した共通電極配線COM上のゲート絶縁膜INS11およびパッシベーション膜INS12の一部に開口部(CH1, CH2)を設け、この開口部(CH1, CH2)を介して透明対向電極EL3(C)を共通電極配線COMに接続することにより、実施例3と同様に、透明対向電極EL3(C)の抵抗低減を実現している。

なお、保持容量配線STGを共通電極配線COMと兼用するため、1画素分の等価回路は実施例2における図7と同一である。

【0036】

図12(b)と、図9(b)と比較すると、ゲート絶縁膜INS11およびパッシベーション膜INS12に開口部(CH1, CH2)を設けて、透明対向電極EL3(C)と共通電極配線COMとの接続部を形成したことにより、透明対向電極EL3(C)にスリット状開口部SLTを設けて液晶層LCに電界を印加できる領域が減少するため開口率が低下するが、以下に述べるように、TFT基板の作製工程数を実施例3よりもさらに1工程短縮できる利点がある。

図13に、本実施例4による液晶表示装置のTFT基板の作製工程を示す。図13(a)~(e)は、実施例3における図10(a)~(e)と同一である。

図13(f)も図10(f)の場合と同様であるが、ゲート絶縁膜INS11およびパッシベーション膜INS12の一括加工により、端子部や異層間接続部に開口部を形成するだけでなく、共通電極配線COM上のゲート絶縁膜INS11およびパッシベーション膜INS12に開口部(CH1, CH2)を形成し、ゲート層からなる共通電極配線COMの表面を露出させる。

その後、図10(g)に相当する工程を経ずに、ITOのような透明導電性材料を成膜し、ホトリソグラフィプロセスにより、図12(a)に示すように透明対向電極EL3(C)に加工する。ゲート絶縁膜INS11とパッシベーション膜INS12の開口部(CH1, CH2)を介して透明対向電極EL3(C)を共通電極配線COMと電氣的に接続する。したがって、合計7回のホトリソグラフィプロセスを用いてTFT基板を作製することができる。

【0037】

なお、実施例3の場合と同様に、透明保持容量電極EL1(ST)と共通電極配線COMが電氣的に接続できれば、図13(a)と図13(b)の工程順は逆でも構わない。

また、透明保持容量電極EL1(ST)をソース電極Sの下に潜り込ませることにより、ゲート絶縁膜INS11を介して透明保持容量電極EL1(ST)とソース電極Sが重なる領域に第3保持容量Cst3を形成しても構わない。この場合、第3保持容量Cst3は図35(c)に示すような等価回路を構成する。

また、実施例3における透明画素電極EL2(P)とソース電極Sとの接続部の場合と同様に、両者が電氣的に接続できればよいので、図12(a)に示す構造とは逆に、透明画素電極EL2(P)の上にソース電極Sを重ねる構造でも構わない。この構造は、図13(d)と図13(e)の工程順を逆にすれば形成できる。

本実施例4の作製工程により形成される端子部及び異層間接続部の断面構造を図14に示す。透明対向電極EL3(C)とパッシベーション膜INS12との間に共通電極配線COMを使用しないため、図11における透明対向電極EL3(C)とパッシベーション膜INS12との間に共通電極配線COMが存在しない構造になる。

【0038】

[実施例5]

実施例1~4では、薄膜トランジスタTFTの特性や信頼性などの点でゲート絶縁膜やパッシベーション膜の材料や膜厚に制約があるため、保持容量に利用する絶縁膜にもその制約が現れるが、本実施例5および後述する実施例6では、パッシベーション膜上に第1および第2保持容量を移し、それぞれ専用の絶縁膜を用いることにより、保持容量用の第1および第2絶縁膜の材料や膜厚等の自由度を広げる構成とした。

図15は、本発明の実施例5の液晶表示装置の画素構造を示す模式図であり、図15(a)は画素の断面構造、図15(b)はTFT基板側の画素の平面構造である。なお、図15(a)は、図15(b)のA-A'切断線に相当する断面構造を示している。

第1基板SUB1上の走査配線SCNに交差するように、ゲート絶縁膜INS11を介して信号配線SIGを設け、走査配線SCNと信号配線SIGにより区画される各画素毎に薄膜トランジスタTFTと、第2透明電極として機能する透明画素電極EL2(P)を設けた。

図15(a)に示すように、薄膜トランジスタTFTのパッシベーション膜INS12と第1絶縁膜INS1との間に、第1透明電極として機能する透明保持容量電極EL1(C)

S T) が形成される。透明保持容量電極 E L 1 (S T) は、透明画素電極 E L 2 (P) と薄膜トランジスタ T F T のソース電極 S とを電氣的に接続するための、パッシベーション膜 I N S 1 2 の開口部 C H 1 に対して、少なくとも最小絶縁距離以上離れた開口部 S P K を有する。

【 0 0 3 9 】

透明保持容量電極 E L 1 (S T) は画素毎に分離していても構わないが、抵抗低減のためには隣接画素どうして接続していることが望ましい。透明保持容量電極 E L 1 (S T) 下層のゲート絶縁膜 I N S 1 1 とパッシベーション膜 I N S 1 2 の積層体は、第 3 絶縁膜 I N S 3 を構成する。

透明保持容量電極 E L 1 (S T) 上には、走査配線 S C N と信号配線 S I G に対応した形状の保持容量配線 S T G を兼ねた共通電極配線 C O M を形成する。また、第 1 絶縁膜 I N S 1 を介して透明保持容量電極 E L 1 (S T) と透明画素電極 E L 2 (P) の間に第 1 保持容量 C s t 1 を形成する。

さらに、透明画素電極 E L 2 (P) の上層には、第 2 絶縁膜 I N S 2 と、第 3 透明電極として機能する透明対向電極 E L 3 (C) を形成する。ここで、共通電極配線 C O M 上の第 1 絶縁膜 I N S 1 および第 2 絶縁膜 I N S 2 の一部に開口部 (C H 3 , C H 4) を設け、この開口部 (C H 3 , C H 4) を介して、透明対向電極 E L 3 (C) と共通電極配線 C O M とを接続する。これにより、対向電極全体としての抵抗を低減する。

透明対向電極 E L 3 (C) に設けた互いに平行な複数のスリット状開口部 S L T は透明対向電極 E L 3 (C) と共通電極配線 C O M の接続部を避ける形状とした。

【 0 0 4 0 】

透明画素電極 E L 2 (P) と透明対向電極 E L 3 (C) の間に、第 2 絶縁膜 I N S 2 を介して第 2 保持容量 C s t 2 を形成し、T F T 基板とした。最表面には液晶層 L C を所定の方向に配向させるための第 1 配向膜 A L 1 を形成した。

第 2 基板 S U B 2 上に、遮光膜 B M、画素毎に異なる複数色のカラーフィルタ F I L、保護膜 O C、第 2 配向膜 A L 2 を形成し、対向基板とした。

第 1 配向膜 A L 1 と第 2 配向膜 A L 2 はそれぞれ所定の方向に配向処理してある。第 1 基板 S U B 1 と第 2 基板 S U B 2 を互いの配向膜形成面が一定間隔で対向するように配置し、その間隙に正の誘電率異方性を有するネマチック液晶組成物を充填して液晶層 L C とした。

透明画素電極 E L 2 (P) と透明対向電極 E L 3 (C) の間に液晶層 L C を介して、第 1 基板 S U B 1 の表面に平行な成分を有する電界を発生して画素容量 C p x を形成する電極配置とした。

第 1 基板 S U B 1 と第 2 基板 S U B 2 の外側には、図示していない位相差板と偏光板を配置して、N B 表示モードの液晶表示装置を構成した。また、走査配線 S C N、信号配線 S I G、共通電極配線 C O M には、図示していない駆動回路を接続してある。

【 0 0 4 1 】

本実施例 5 および後述する実施例 6 による液晶表示装置の 1 画素分の等価回路は、実施例 2 における図 7 と同一である。

また、本実施例 5 および後述する実施例 6 において、透明保持容量電極 E L 1 (S T)、共通電極配線 C O M および透明対向電極 E L 3 (C) は、対向電極抵抗低減の点では隣接画素どうして接続して全画素共通に電圧を印加することが望ましいが、各画素毎に分離してそれぞれ独立に電圧を印加しても、あるいは、各画素列毎に分離してそれぞれ独立に電圧を印加しても構わない。

さらに、本実施例 5 および後述する実施例 6 においては、ソース電極 S の下側にゲート層で保持容量配線 S T G を形成することにより、ゲート絶縁膜 I N S 1 1 を介してソース電極 S と保持容量配線 S T G との間に第 3 保持容量 C s t 3 を形成しても構わない。この場合、第 3 保持容量 C s t 3 は図 3 5 (b) に示すような等価回路を構成する。

【 0 0 4 2 】

図 1 6 - 1、図 1 6 - 2 に、本実施例 5 による液晶表示装置の T F T 基板の作製工程を

10

20

30

40

50

示す。

図16-1(a)において、ガラス基板のような透明絶縁性部材からなる第1基板SUB1上に金属材料を成膜してホトリソグラフィープロセスによりゲート電極G、走査配線SCN(図示省略)に加工する。この層をゲート層と呼ぶことにする。

図16-1(b)において、SiNやSiO、TaO等の透明絶縁性材料からなるゲート絶縁膜INS11と非晶質シリコンからなる半導体層a-Siを連続成膜して半導体層a-Siのみをホトリソグラフィープロセスにより加工する。半導体層a-Siの上面上には高濃度n型層の薄膜(図示省略)が存在する。

図16-1(c)において、金属材料を成膜してホトリソグラフィープロセスによりソース電極S、ドレイン電極D、信号配線SIG(図示省略)を同時に形成する。なお、この層をドレイン層と呼ぶことにする。ドレイン層で覆われていない部分の高濃度n型層もドレイン層の加工と同時に除去する。

【0043】

図16-1(d)において、SiNからなるパッシベーション膜INS12を成膜し、パッシベーション膜INS12は加工しないまま、パッシベーション膜INS12上にITOのような透明導電性材料を成膜してホトリソグラフィープロセスにより透明保持容量電極EL1(ST)に加工する。

図16-1(e)において、金属材料を成膜してホトリソグラフィープロセスにより共通電極配線COMに加工する。

図16-1(f)において、SiNからなる第1絶縁膜INS1を成膜し、ホトリソグラフィープロセスにより、ゲート絶縁膜INS11と、パッシベーション膜INS12と、第1絶縁膜INS1の3層を一括加工する。

ソース電極S上のパッシベーション膜INS12と第1絶縁膜INS1に開口部(CH1, CH2)を形成すると共に、共通電極配線COMの第1絶縁膜INS1の一部に開口部CH3を形成して共通電極配線COMの表面を露出させる。

【0044】

図16-2(g)において、ITOのような透明導電性材料を成膜してホトリソグラフィープロセスにより透明画素電極EL2(P)に加工する。

パッシベーション膜INS12と第1絶縁膜INS1の開口部(CH1, CH2)を介して透明画素電極EL2(P)とソース電極Sとを電氣的に接続するが、共通電極配線COM上の第1絶縁膜INS1の開口部CH3、およびその周囲から少なくとも最小絶縁距離以上離れた周辺部の透明画素電極EL2(P)は除去する。

図16-2(h)において、SiNからなる第2絶縁膜INS2を成膜し、ホトリソグラフィープロセスにより、第2絶縁膜INS2を加工する。この時、共通電極配線COM上の第1絶縁膜INS1の開口部CH3に対応する部分の第2絶縁膜INS2に開口部CH4を形成して再び共通電極配線COMの表面を露出させる。

最後に、ITOのような透明導電性材料を成膜し、ホトリソグラフィープロセスにより図15(a)に示すような透明対向電極EL3(C)に加工する。

第1絶縁膜INS1と第2絶縁膜INS2の開口部(CH3, CH4)を通して透明対向電極EL3(C)を共通電極配線COMと電氣的に接続する。したがって、合計9回のホトリソグラフィープロセスを用いてTFT基板を作製する。

実施例1と比較すると、成膜する絶縁膜は1層増えるが、使用するホトリソグラフィープロセスの回数は同じである。よって、実施例1の場合よりあまり作製プロセスを増やさずに、保持容量用の第1および第2絶縁膜の材料や膜厚等の自由度を広げることができる。

【0045】

実施例5の作製工程により形成される端子部及び異層間接続部の断面構造を図17に示す。

図17(a)はゲート層からなる走査配線SCNの端子部、図17(c)はドレイン層からなる信号配線SIGの端子部であり、図17(e)は共通電極配線COMとゲート層

10

20

30

40

50

との接続部、図17(f)は共通電極配線COMとドレイン層との接続部である。

第2絶縁膜INS2の加工時に、ゲート絶縁膜INS11、パッシベーション膜INS12、および第1絶縁膜INS1に影響が及ぶのを防止するために、第2絶縁膜INS2の開口部は、第1絶縁膜INS11、パッシベーション膜INS12、第1絶縁膜INS1の3層一括加工による開口部の周囲を覆う形状とした。

また、図17(e)および図17(f)に示すように、共通電極配線COMもしくは透明電極EL1の層を直接ゲート層やドレイン層に接続できないため、共通電極配線COM上に設けた第1絶縁膜INS1および第2絶縁膜INS2の開口部を通して透明電極EL3の層を共通電極配線COMに接続し、この透明電極EL3の層を用いてゲート層やドレイン層に接続する構造とした。

10

図17(b)は、図17(a)の変形例、図17(d)は図17(c)の変形例である。図示のように透明電極EL2の層を形成することにより、第2絶縁膜INS2の加工時にゲート絶縁膜INS11、パッシベーション膜INS12、および第1絶縁膜INS1に影響が及ぶのを防止するとともに、第2絶縁膜INS2の開口部を拡大できるため、端子配列ピッチが小さい場合に特に有効な構造である。

【0046】

[実施例6]

図18は、本発明の実施例6の液晶表示装置の画素構造を示す模式図であり、図18(a)は画素の断面構造、図18(b)はTFT基板側の画素の平面構造である。なお、図18(a)は、図18(b)のA-A'切断線に相当する断面構造を示している。

20

本実施例6は、実施例5の変形例であり、実施例5における図15と比較して次の点が異なる。

共通電極配線COMを透明保持容量電極EL1(ST)上ではなく透明対向電極EL3(C)下に配置した。また、これに伴い、透明保持容量電極EL1(ST)と透明対向電極EL3(C)を電氣的に接続するための開口部の構造も変更した。

すなわち、透明保持容量電極EL1(ST)上の第1絶縁膜INS1の一部に設けた開口部CH3に透明画素電極EL2(P)の層からなり、透明画素電極EL2(P)とは分離した島状の透明電極パターンEL2'を形成して、この島状の透明電極パターンEL2'を透明保持容量電極EL1(ST)と接続し、島状の透明電極パターンEL2'上の第2絶縁膜INS2に設けた開口部CH4を介して、共通電極配線COMを島状の透明電極パターンEL2'と接続した。

30

なお、島状の透明電極パターンEL2'上の第2絶縁膜INS2の開口部CH4には必ずしも共通電極配線COMは必要ではないため、島状の透明電極パターンEL2'上の第2絶縁膜INS2の開口部CH4に直接透明対向電極EL3(C)を形成しても構わない。

【0047】

本実施例6では、図18(b)に示すように、共通電極配線COMと同じ電圧になる島状の透明電極パターンEL2'と、透明画素電極EL2(P)とは同一層でありながら電氣的に絶縁する必要があるため、両者の間に間隔が必要である。したがって、その分だけ実施例5の場合と比べて、透明画素電極EL2(P)の面積が減り、透明対向電極EL3(C)にスリット状開口部SLTを設けて液晶層LCに電界を印加できる領域が減少するため開口率が低下するが、次のような利点がある。

40

実施例5の場合、不透明な金属材料からなる共通電極配線COMを走査配線SCNや信号配線SIGに重畳した形状にすると、ドレイン層と共通電極配線COMおよび透明保持容量電極EL1(ST)との間の絶縁膜がパッシベーション膜INS12だけになることにより、信号配線SIG-共通電極配線COM間の寄生容量が増大しやすい。

それに対して、実施例6の場合、ドレイン層と共通電極配線COMおよび透明保持容量電極EL1(ST)との間の絶縁膜はパッシベーション膜INS12と第1絶縁膜INS1と第2絶縁膜INS2の積層体になるため、単位面積あたりの静電容量が小さくなり、信号配線SIG-共通電極配線COM間の寄生容量を低減できる。

50

【 0 0 4 8 】

図 1 9 - 1、図 1 9 - 2 に実施例 6 による液晶表示装置の T F T 基板の作製工程を示す。図 1 9 - 1 (a) ~ 図 1 9 - 1 (d) は、透明保持容量電極 E L 1 (S T) の形状を除いて実施例 5 における図 1 6 (a) - 1 ~ 図 1 6 - 1 (d) と同一である。

図 1 9 - 1 (e) において、S i N からなる第 1 絶縁膜 I N S 1 を成膜し、ホトリソグラフィプロセスによりゲート絶縁膜 I N S 1 1 とパッシベーション膜 I N S 1 2 と第 1 絶縁膜 I N S 1 の 3 層を一括加工する。ソース電極 S 上にパッシベーション膜 I N S 1 2 と第 1 絶縁膜 I N S 1 の開口部 (C H 1 , C H 2) を形成すると共に、透明保持容量電極 E L 1 (S T) 上の第 1 絶縁膜 I N S 1 の一部に開口部 C H 3 を形成して透明保持容量電極 E L 1 (S T) の表面を露出させる。

10

図 1 9 - 1 (f) において、I T O のような透明導電性材料を成膜してホトリソグラフィプロセスにより透明画素電極 E L 2 (P) および島状の透明電極パターン E L 2 ' に加工する。パッシベーション膜 I N S 1 2 と第 1 絶縁膜 I N S 1 の開口部 (C H 1 , C H 2) を介して透明画素電極 E L 2 (P) とソース電極 S とを電氣的に接続し、第 1 絶縁膜 I N S 1 の開口部 C H 3 を通して島状の透明電極パターン E L 2 ' と透明保持容量電極 E L 1 (S T) を電氣的に接続する。

【 0 0 4 9 】

図 1 9 - 2 (g) において、S i N からなる第 2 絶縁膜 I N S 2 を成膜し、ホトリソグラフィプロセスにより第 2 絶縁膜 I N S 2 を加工する。このとき、島状の透明電極パターン E L 2 ' 上の第 2 絶縁膜 I N S 2 に開口部 C H 4 を形成して、島状の透明電極パターン E L 2 ' の表面を露出させる。

20

図 1 9 - 2 (h) において、金属材料を成膜してホトリソグラフィプロセスにより共通電極配線 C O M に加工し、第 2 絶縁膜 I N S 2 の開口部 C H 4 を介して共通電極配線 C O M と島状の透明電極パターン E L 2 ' とを電氣的に接続する。

最後に、共通電極配線 C O M を覆って、I T O のような透明導電性材料を成膜し、ホトリソグラフィプロセスにより、図 1 8 (a) に示すような透明対向電極 E L 3 (C) に加工する。したがって、合計 9 回のホトリソグラフィプロセスを用いて T F T 基板を作製する。実施例 5 の場合と同じ作製プロセス数で保持容量用の第 1 および第 2 絶縁膜の材料や膜厚等の自由度を広げることができる。

本実施例 6 の作製工程により形成される端子部及び異層間接続部の断面構造を図 2 0 に示す。図 2 0 (a) はゲート層からなる走査配線 S C N の端子部、図 2 0 (b) はドレイン層からなる信号配線 S I G の端子部であり、それぞれ実施例 5 における図 1 7 (b) および図 1 7 (d) と同一の構造である。

30

図 2 0 (c) は共通電極配線 C O M とゲート層との接続部、図 2 0 (d) は共通電極配線 C O M とドレイン層との接続部である。第 2 絶縁膜 I N S 2 の加工時にゲート絶縁膜 I N S 1 1、パッシベーション膜 I N S 1 2、および第 1 絶縁膜 I N S 1 に影響が及ぶのを防止すると共に、共通電極配線 C O M の加工時にゲート層やドレイン層に影響が及ぶのを防止するために、図示のように透明電極 E L 2 を形成した。

【 0 0 5 0 】

[実施例 7]

40

本実施例 7、および後述する実施例 8 ~ 実施例 1 0 は、I P S 方式の液晶表示装置において、第 1 透明電極 E L 1 と第 3 透明電極 E L 3 を画素電極 P とし、第 2 透明電極 E L 2 を、保持容量電極を兼ねる対向電極 C とする構成の例である。

図 2 1 は、本発明の実施例 7 の液晶表示装置の画素構造を示す模式図であり、図 2 1 (a) は画素の断面構造、図 2 1 (b) は T F T 基板側の画素の平面構造である。なお、図 2 1 (a) は、図 2 1 (b) の A - A ' 切断線に相当する断面構造を示している。

第 1 基板 S U B 1 上の走査配線 S C N に交差するように、ゲート絶縁膜 I N S 1 1 を介して信号配線 S I G を設け、走査配線 S C N と信号配線 S I G により区画される各画素毎に薄膜トランジスタ T F T と、第 1 透明電極として機能する平板状の第 1 透明画素電極 E L 1 (P) と、第 3 透明電極として機能する第 2 透明画素電極 E L 3 (P) とを設けた。

50

第2透明画素電極EL3(P)は互いに平行なスリット状開口部SLTを有する平面形状としたが、短冊状もしくは櫛歯状の平面形状でも構わない。

ゲート絶縁膜INS11とパッシベーション膜INS12との間の第1透明画素電極EL1(P)は、薄膜トランジスタTFTのソース電極Sとの重なり部によりソース電極Sと電氣的に接続する。

【0051】

第2絶縁膜INS2上の第2透明画素電極EL3(P)は、ソース電極S上のパッシベーション膜INS12と第2絶縁膜INS2に形成された開口部(CH1、CH2)を介してソース電極Sと電氣的に接続される。

また、第2絶縁膜INS2とパッシベーション膜INS12との間に、第2透明電極として機能し、保持容量電極を兼ねる透明対向電極EL2(C)を形成する。透明対向電極EL2(C)は、第2透明画素電極EL3(P)とソース電極Sとを電氣的に接続するためのパッシベーション膜INS12および第2絶縁膜INS2に形成された開口部(CH1、CH2)に対して、少なくとも最小絶縁距離以上離れた開口部SPKを有している。パッシベーション膜INS12を第1絶縁膜INS1として用い、これを介して第1透明画素電極EL1(P)と透明対向電極EL2(C)の間に第1保持容量Cst1を形成し、第2絶縁膜INS2を介して透明対向電極EL2(C)と第2透明画素電極EL3(P)の間に第2保持容量Cst2を形成する。ゲート絶縁膜INS11は第3絶縁膜INS3を構成する。

パッシベーション膜INS12と透明対向電極EL2(C)の間には、走査配線SCNと信号配線SIGに対応した形状の保持容量配線STGを兼ねた共通電極配線COMを形成する。透明対向電極EL2(C)と共通電極配線COMは直接重なり合うことで電氣的に接続し、対向電極全体としての抵抗を低減する。最表面には液晶層LCを所定の方に配向させるための第1配向膜AL1を形成した。

【0052】

第2基板SUB2上に、遮光膜BM、画素毎に異なる複数色のカラーフィルタFIL、保護膜OC、第2配向膜AL2を形成し、対向基板とした。

第1配向膜AL1と第2配向膜AL2はそれぞれ所定の方に配向処理してある。

第1基板SUB1と第2基板SUB2とを、互いの配向膜形成面が一定間隔で対向するように配置し、その間隙に正の誘電率異方性を有するネマチック液晶組成物を充填して液晶層LCとなした。

透明対向電極EL2(C)と第2透明画素電極EL3(P)の間に液晶層LCを介して第1基板SUB1の表面に平行な成分を有する電界を発生して画素容量Cpxを形成するIPS方式の電極配置とした。

第1基板SUB1と第2基板SUB2の外側には、図示していない位相差板と偏光板を配置して、NB表示モードの液晶表示装置を構成した。また、走査配線SCN、信号配線SIG、共通電極配線COMには、図示していない駆動回路を接続してある。

本実施例7による液晶表示装置の1画素分の等価回路は、実施例2における図7と同一である。

【0053】

第1透明画素電極EL1(P)、第2透明画素電極EL3(P)、もしくはソース電極Sに対して、第1保持容量Cst1、第2保持容量Cst2、画素容量Cpxの他に、薄膜トランジスタTFTのG-S間寄生容量Cgs、信号配線SIGとの間の寄生容量Cds1、Cds2が存在する。

画素寸法を微細にした時に、Cgs、Cds1、Cds2等の寄生容量に比べて十分な大きさの等価的な保持容量を、第1保持容量Cst1と第2保持容量Cst2の並列容量により形成できる。

このため、薄膜トランジスタTFTがオフ状態の保持期間において、第2透明画素電極EL3(P)の電圧が、走査配線SCNや信号配線SIGの電圧変化によるフィードスルー電圧の影響を受けにくくすることができ、スミアやクロストークと呼ばれる現象を抑制

10

20

30

40

50

することができる。

また、保持期間内において、第1透明画素電極E L 1 (P)、第2透明画素電極E L 3 (P) 及びソース電極Sに蓄積された電荷の漏れを低減することができるため、液晶層L Cへの印加電界の低下を抑制することができる。

このため、画質の劣化を防止することができる。しかも、第1保持容量C s t 1及び第2保持容量C s t 2を構成する第1透明画素電極E L 1 (P)、パッシベーション膜I N S 1 2、透明対向電極E L 2 (C)、第2絶縁膜I N S 2、第2透明画素電極E L 3 (P)が透明であるため、寄生容量に比べて十分な大きさの保持容量を形成しても、透過表示部の開口率を低下させなくて済む。したがって、十分な大きさの保持容量の形成と十分な大きさの開口率の確保を両立することができる。このような効果は、本実施例7、および後述する実施例8～実施例12に共通である。

10

【0054】

本実施例7、および後述する実施例8～実施例10において、共通電極配線C O Mおよび透明対向電極E L 2 (C)は、対向電極抵抗低減の点では隣接画素どうしで接続して全画素共通に電圧を印加することが望ましいが、各画素行毎に分離してそれぞれ独立に電圧を印加しても、あるいは、各画素列毎に分離してそれぞれ独立に電圧を印加しても構わない。

さらに、本実施例7、および後述する実施例8～実施例10においては、ソース電極Sの下側にゲート層で保持容量配線S T Gを形成することにより、ゲート絶縁膜I N S 1 1を介してソース電極Sと保持容量配線S T Gの間に第3保持容量C s t 3を形成しても構わない。

20

この場合、第3保持容量C s t 3は、図35 (b)に示すような等価回路を構成する。また、実施例7および後述の実施例9の場合、ソース電極Sの下側だけでなく第1透明画素電極E L 1 (P)の下側に保持容量配線S T Gを配置して、第3保持容量C s t 3を形成しても構わないが、開口率が低下するためあまり望ましくない。

この場合、保持容量配線S T Gは、全画素共通に電圧を印加しても、各画素行毎にそれぞれ独立に電圧を印加しても構わない。また、保持容量配線S T Gと共通電極配線C O Mの電圧は一致していても構わないが、必ずしも一致させる必要はない。

【0055】

図22に、本実施例7による液晶表示装置のT F T基板の作製工程を示す。

30

図22 (a)において、ガラス基板のような透明絶縁性部材からなる第1基板S U B 1上に金属材料を成膜してホトリソグラフィープロセスによりゲート電極G、走査配線S C N (図示省略) に加工する。この層をゲート層と呼ぶことにする。

図22 (b)において、S i NやS i O、T a O等の透明絶縁性材料からなるゲート絶縁膜I N S 1 1と非晶質シリコンからなる半導体層a - S iを連続成膜して半導体層a - S iのみをホトリソグラフィープロセスにより加工する。半導体層a - S iの上面には高濃度n型層の薄膜 (図示省略) が存在する。

図22 (c)において、金属材料を成膜して、ホトリソグラフィープロセスによりソース電極S、ドレイン電極D、信号配線S I G (図示省略) を同時に形成する。なお、この層をドレイン層と呼ぶことにする。ドレイン層に覆われていない部分の高濃度n型層もドレイン層の加工と同時に除去する。

40

図22 (d)において、I T Oのような透明導電性材料を成膜して、ホトリソグラフィープロセスにより第1透明画素電極E L 1 (P)に加工し、第1透明画素電極E L 1 (P)とソース電極Sとの重なり部 (矢印Aで示す丸で囲まれた部分) により両者を電氣的に接続する。

図22 (e)において、S i Nからなるパッシベーション膜I N S 1 2を成膜し、パッシベーション膜I N S 1 2は加工しないまま、パッシベーション膜I N S 1 2上に金属材料を成膜してホトリソグラフィープロセスにより共通電極配線C O Mに加工する。

【0056】

図22 (f)において、I T Oのような透明導電性材料を成膜してホトリソグラフィ-

50

プロセスにより透明対向電極 E L 2 (C) に加工する。

図 2 2 (g) において、S i N からなる第 2 絶縁膜 I N S 2 を成膜し、ホトリソグラフィプロセスにより、ゲート絶縁膜 I N S 1 1、パッシベーション膜 I N S 1 2、および第 2 絶縁膜 I N S 2 の 3 層を一括加工して、ソース電極 S 上のパッシベーション膜 I N S 1 2 と第 2 絶縁膜 I N S 2 に開口部 (C H 1、C H 2) を形成する。

最後に、I T O のような透明導電性材料を成膜し、ホトリソグラフィプロセスにより図 2 1 (a) に示すような第 2 透明画素電極 E L 3 (P) に加工する。

ソース電極 S 上のパッシベーション膜 I N S 1 2 と第 2 絶縁膜 I N S 2 の開口部 (C H 1、C H 2) を介して、第 2 透明画素電極 E L 3 (P) をソース電極 S と電氣的に接続する。したがって、合計 8 回のホトリソグラフィプロセスを用いて T F T 基板を作製する。

10

使用するホトリソグラフィプロセスの回数が同じ実施例 2 の場合と比較すると、次のような利点がある。

共通電極と対向電極を接続するために絶縁膜に開口部を形成する必要がないため、表示に利用できる面積が増加し、開口率を向上しやすい。

共通電極配線 C O M がゲート層ではなく、パッシベーション膜 I N S 1 2 の上層であるため、共通電極配線 C O M を自己遮光膜として利用することにより開口率を向上しやすい。

第 1 保持容量 C s t 1 を構成する第 1 絶縁膜 I N S 1 が、パッシベーション膜 I N S 1 2 だけになるため、単位面積あたりの静電容量が増加することにより、より小さい画素寸法の画素においても十分な大きさの保持容量を形成しやすくなる。

20

【 0 0 5 7 】

また、使用するホトリソグラフィプロセスの回数が同じ実施例 3 の場合と比較すると、次のような利点がある。

保持容量に利用する絶縁膜として、ゲート絶縁膜 I N S 1 1 を用いずに済むため、その分だけ薄膜トランジスタ T F T の特性や信頼性などの点で材料や膜厚に制約を受けにくくなり、保持容量用の第 2 絶縁膜 I N S 2 の材料や膜厚等の自由度を広げやすい。

なお、実施例 3 および実施例 4 における画素電極とソース電極 S との接続部の場合と同様に、両者が電氣的に接続できればよい。図 2 2 (a) に示す構造とは逆に、第 1 透明画素電極 E L 1 (P) の上にソース電極 S を重ねる構造でも構わない。(図 2 1 (a) の矢印 F で示す構造参照) この構造は、図 2 2 (c) と図 2 2 (d) の工程順を逆にすれば形成できる。

30

また、本実施例 7、および後述する実施例 8 ~ 1 0、実施例 1 1 の一部、実施例 1 2 において、透明対向電極 E L 2 (C) と共通電極配線 C O M は電氣的に接続できればよい。画素部断面構造としてそれぞれ図示した模式図とは逆に、透明対向電極 E L 2 (C) の上に共通電極配線 C O M を重ねる構造でも構わない。

この構造は、T F T 基板作製工程としてそれぞれ図示した工程において、透明対向電極 E L 2 (C) と共通電極配線 C O M の形成および加工の順序を入れ替えれば形成できる。

【 0 0 5 8 】

本実施例 7 および後述する実施例 1 0 の作製工程により形成される端子部及び異層間接続部の断面構造を図 2 3 に示す。図 2 3 (a) はゲート層からなる走査配線 S C N の端子部、図 2 3 (b) はドレイン層からなる信号配線 S I G の端子部であり、図 2 3 (c) は共通電極配線 C O M とゲート層との接続部、図 2 3 (d) は共通電極配線 C O M とドレイン層との接続部である。

40

ゲート絶縁膜 I N S 1 1、パッシベーション膜 I N S 1 2、第 2 絶縁膜 I N S 2 を一括加工した直後に第 2 透明画素電極 E L 3 (P) の層を形成するため、端子部には透明電極 E L 3 だけ設ければよい。

しかし、共通電極配線 C O M もしくは透明対向電極 E L 2 (C) を直接ゲート層やドレイン層に接続できないため、透明対向電極 E L 2 (C) 上に設けた第 2 絶縁膜 I N S 2 の開口部を介して透明電極 E L 3 の層を共通電極配線 C O M に接続し、この透明電極 E L 3

50

の層を用いてゲート層やドレイン層に接続する構造とした。

【 0 0 5 9 】

[実施例 8]

図 2 4 は、本発明の実施例 8 の液晶表示装置の画素構造を示す模式図であり、図 2 4 (a) は画素の断面構造、図 2 4 (b) は T F T 基板側の画素の平面構造である。なお、図 2 4 (a) は、図 2 4 (b) の A - A ' 切断線に相当する断面構造を示している。

本実施例 8 は、実施例 7 の変形例であり、実施例 7 における図 2 1 と比較して次の点が異なる。

第 1 透明画素電極 E L 1 (P) をゲート絶縁膜 I N S 1 1 とパッシベーション膜 I N S 1 2 の間ではなく、第 1 基板 S U B 1 とゲート絶縁膜 I N S 1 1 との間に配置し、ゲート絶縁膜 I N S 1 1 とパッシベーション膜 I N S 1 2 の積層体を第 1 絶縁膜 I N S 1 として用いた。

10

また、これに伴い、薄膜トランジスタ T F T のソース電極 S と第 1 透明画素電極 E L 1 (P) を電気的に接続するための開口部 C H 1 を、ソース電極 S 下のゲート絶縁膜 I N S 1 1 に形成する構造とした。

この構成により、第 1 保持容量 C s t 1 および第 2 保持容量 C s t 2 それぞれに利用する第 1 絶縁膜 I N S 1 および第 2 絶縁膜 I N S 2 を、実施例 1 および実施例 2 と同じ構成にすることができる。

実施例 1 および実施例 2 との違いは、第 1 透明電極 E L 1 (P) が画素電極 P となり、透明対向電極 E L 2 (C) が対向電極 C と保持容量電極を兼ね、第 2 透明画素電極 E L 3 (P) が画素電極 P となる点である。なお、1 画素分の等価回路は実施例 2 における図 7 と同一である。

20

【 0 0 6 0 】

図 2 5 - 1、図 2 5 - 2 に、本実施例 8 による液晶表示装置の T F T 基板の作製工程を示す。図 2 5 - 1 (a) ~ 図 2 5 - 1 (c) は、ゲート層からなる保持容量配線 S T G や共通電極配線 C O M を形成しないこと、および第 1 透明画素電極 E L 1 (P) の形状を除いて、実施例 1 における図 4 - 1 (a) ~ 図 4 - 1 (c) や実施例 2 における図 8 (a) ~ 図 8 (c) と同一である。

図 2 5 - 1 (d) において、非晶質シリコンからなる半導体層 a - S i に近い第 1 透明画素電極 E L 1 (P) 上のゲート絶縁膜 I N S 1 1 の一部にホトリソグラフィープロセスにより開口部 C H 1 を形成する。

30

図 2 5 - 1 (e) において、金属材料を成膜してホトリソグラフィープロセスによりソース電極 S、ドレイン電極 D、信号配線 S I G (図示省略) を同時に形成する。この層をドレイン層と呼ぶことにする。ドレイン層で覆われていない部分の半導体層 a - S i 上面の高濃度 n 型層の薄膜 (図示省略) もドレイン層の加工と同時に除去する。第 1 透明画素電極 E L 1 (P) 上のゲート絶縁膜 I N S 1 1 に形成された開口部 C H 1 を介して、ソース電極 S と第 1 透明画素電極 E L 1 (P) とを電気的に接続する。

図 2 5 - 1 (f) において、S i N からなるパッシベーション膜 I N S 1 2 を成膜し、パッシベーション膜 I N S 1 2 は加工しないままパッシベーション膜 I N S 1 2 上に金属材料を成膜してホトリソグラフィープロセスにより共通電極配線 C O M に加工する。

40

図 2 5 - 2 (g) において、I T O のような透明導電性材料を成膜してホトリソグラフィープロセスにより透明対向電極 E L 2 (C) に加工する。

【 0 0 6 1 】

図 2 5 - 2 (h) において、S i N からなる第 2 絶縁膜 I N S 2 を成膜し、ホトリソグラフィープロセスにより、ゲート絶縁膜 I N S 1 1、パッシベーション膜 I N S 1 2、および第 2 絶縁膜 I N S 2 の 3 層を一括加工し、ソース電極 S 上のパッシベーション膜 I N S 1 2 および第 2 絶縁膜 I N S 2 に開口部 (C H 2 , C H 3) を形成する。

最後に、I T O のような透明導電性材料を成膜し、ホトリソグラフィープロセスにより図 2 4 (a) に示すような第 2 透明画素電極 E L 3 (P) に加工する。

ソース電極 S 上のパッシベーション膜 I N S 1 2 と第 2 絶縁膜 I N S 2 に形成された開

50

口部（CH2，CH3）を介して、第2透明画素電極EL3（P）とソース電極Sと電氣的に接続する。

したがって、合計9回のホトリソグラフィープロセスを用いてTFT基板を作製する。使用するホトリソグラフィープロセスの回数は実施例7よりも1回増えるが、実施例1とは同じ回数である。したがって、本実施例8においても実施例1と同等の効果を得られる。なお、図25-1（a）と図25-1（b）の工程順は逆でも構わない。

【0062】

実施例8の作製工程により形成される端子部および異層間接続部の断面構造を図26に示す。図26（a）はゲート層からなる走査配線SCNの端子部、図26（b）はドレイン層からなる信号配線SIGの端子部であり、図26（c）は共通電極配線COMとゲート層との接続部、図26（d）は共通電極配線COMとドレイン層との接続部である。

ドレイン層の加工時にゲート層に影響が及ぶのを防止するために、ゲート層上のゲート絶縁膜INS11の開口部をドレイン層で覆う形状とした。

また、図26（c）および図26（d）に示すように、共通電極配線COMもしくは透明対向電極EL2（C）を直接ゲート層やドレイン層に接続できないため、透明対向電極EL2（C）上に設けた第2絶縁膜INS2の開口部を介して透明電極EL3の層を共通電極配線COMに接続し、この透明電極EL3の層を用いてパッシベーション膜INS12と第2絶縁膜INS2の開口部で露出させたドレイン層に接続する構造とした。なお、図26（b）および図26（d）は、実施例7における図23（b）および図23（d）と同一の構造である。

【0063】

[実施例9]

実施例7および実施例8では、実施例1～4と同様に、薄膜トランジスタTFTの特性や信頼性などの点でゲート絶縁膜やパッシベーション膜の材料や膜厚に制約があるため、保持容量に利用する絶縁膜にもその制約が現れるが、本実施例9では、実施例5および6と同様に、パッシベーション膜上に第1および第2保持容量を移し、それぞれ専用の絶縁膜を用いることにより、保持容量用の第1および第2絶縁膜の材料や膜厚等の自由度を広げる構成とした。

図27は、本発明の実施例9の液晶表示装置の画素構造を示す模式図であり、図27（a）は画素の断面構造、図27（b）はTFT基板側の画素の平面構造である。なお、図27（a）は、図27（b）のA-A'切断線に相当する断面構造を示している。

第1基板SUB1上の走査配線SCNに交差するようにゲート絶縁膜INS11を介して信号配線SIGを設け、走査配線SCNと信号配線SIGにより区画される各画素毎に薄膜トランジスタTFTと、第1透明電極として機能する平板状の第1透明画素電極EL1（P）と、第3透明電極として機能する第2透明画素電極EL3（P）とを設ける。

第2透明画素電極EL3（P）は互いに平行なスリット状開口部SLTを有する平面形状としたが、短冊状もしくは櫛歯状の平面形状でも構わない。

【0064】

パッシベーション膜INS12と第1絶縁膜INS1との間の第1透明画素電極EL1（P）は、薄膜トランジスタTFTのソース電極S上のパッシベーション膜INS12に形成された開口部CH1を介して、ソース電極Sと電氣的に接続される。

第2絶縁膜INS2上の第2透明画素電極EL3（P）は、第1透明画素電極EL1（P）上の第1絶縁膜INS1と第2絶縁膜INS2に形成された開口部（CH2，CH3）を介して、第1透明画素電極EL1（P）と電氣的に接続される。

また、第1絶縁膜INS1と第2絶縁膜INS2の間に、第2透明電極として機能し、保持容量電極を兼ねる透明対向電極EL2（C）が形成される。透明対向電極EL2（C）は、第2透明画素電極EL3（P）とソース電極Sとを電氣的に接続するための第1絶縁膜INS1と第2絶縁膜INS2に形成された開口部（CH2，CH3）に対して少なくとも最小絶縁距離以上離れた開口部SPKを有しており、第1絶縁膜INS1を介して、第1透明画素電極EL1（P）と透明対向電極EL2（C）の間に第1保持容量Cst

1を形成し、第2絶縁膜INS2を介して透明対向電極EL2(C)と第2透明画素電極EL3(P)の間に第2保持容量Cst2を形成する。第1透明画素電極EL1(P)下層のゲート絶縁膜INS11とパッシベーション膜INS12の積層体は、第3絶縁膜INS3を構成する。

第1絶縁膜INS1と透明対向電極EL2(C)の間には、走査配線SCNと信号配線SIGに対応した形状の保持容量配線STGを兼ねた共通電極配線COMが形成される。透明対向電極EL2(C)と共通電極配線COMは直接重なり合うことで電氣的に接続し、対向電極全体としての抵抗を低減する。

最表面には液晶層LCを所定の方向に配向させるための第1配向膜AL1を形成した。

【0065】

第2基板SUB2上に、遮光膜BM、画素毎に異なる複数色のカラーフィルタFIL、保護膜OC、第2配向膜AL2を形成し、対向基板とした。

第1配向膜AL1と第2配向膜AL2とは、それぞれ所定の方向に配向処理してある。第1基板SUB1と第2基板SUB2とを互いの配向膜形成面が一定間隔で対向するように配置し、その間隙に正の誘電率異方性を有するネマチック液晶組成物を充填して液晶層LCとした。

透明対向電極EL2(C)と第2透明画素電極EL3(P)の間に液晶層LCを介して第1基板SUB1の表面に平行な成分を有する電界を発生して画素容量Cpxを形成するIPS方式の電極配置となっている。

第1基板SUB1および第2基板SUB2の外側には、図示していない位相差板と偏光板を配置して、NB表示モードの液晶表示装置を構成した。

また、走査配線SCN、信号配線SIG、共通電極配線COMには、図示していない駆動回路を接続してある。なお、1画素分の等価回路は実施例2における図7と同一である。

【0066】

図28-1、図28-2に、本実施例9による液晶表示装置のTFT基板の作製工程を示す。図28-1(a)~図28-1(c)は実施例7における図22(a)~図22(c)と同一である。

図28-1(d)において、SiNからなるパッシベーション膜INS12を成膜し、ホトリソグラフィプロセスによりゲート絶縁膜INS11とパッシベーション膜INS12を一括加工する。ソース電極S上のパッシベーション膜INS12に開口部CH1を形成しておく。

図28-1(e)において、ITOのような透明導電性材料を成膜してホトリソグラフィプロセスにより第1透明画素電極EL1(P)に加工し、パッシベーション膜INS12の開口部CH1を介して、第1透明画素電極EL1(P)とソース電極Sとを電氣的に接続する。

図28-1(f)において、SiNからなる第1絶縁膜INS1を成膜し、第1絶縁膜INS1は加工しないまま第1絶縁膜INS1上に金属材料を成膜してホトリソグラフィプロセスにより共通電極配線COMに加工する。

図28-2(g)において、ITOのような透明導電性材料を成膜してホトリソグラフィプロセスにより透明対向電極EL2(C)に加工する。

【0067】

図28-2(h)において、SiNからなる第2絶縁膜INS2を成膜し、ホトリソグラフィプロセスにより第1絶縁膜INS1と第2絶縁膜INS2を一括加工し、第1透明画素電極EL1(P)上の第1絶縁膜INS1と第2絶縁膜INS2に開口部(CH2, CH3)を形成する。

最後に、ITOのような透明導電性材料を成膜し、ホトリソグラフィプロセスにより図27(a)に示すような第2透明画素電極EL3(P)に加工する。

第1透明画素電極EL1(P)上の第1絶縁膜INS1と第2絶縁膜INS2の開口部(CH2, CH3)を介して、第2透明画素電極EL3(P)を第1透明画素電極EL1

10

20

30

40

50

(P) と電氣的に接続する。

したがって、合計 9 回のホトリソグラフィープロセスを用いて T F T 基板を作製する。

図 28 - 1 (a) ~ 図 28 - 1 (e) の工程は、既に全透過型液晶表示装置の製造工程として量産実績のあるプロセスを利用することができ、その工程の後に 4 つの工程を追加することになる。

また、実施例 8 と比較すると、成膜する絶縁膜は 1 層増えるが、使用するホトリソグラフィープロセスの回数は同じである。よって、実施例 8 の場合よりあまり作製プロセスを増やさずに、保持容量用の第 1 および第 2 絶縁膜の材料や膜厚等の自由度を広げることができる。

【 0 0 6 8 】

10

実施例 9 の作製工程により形成される端子部及び異層間接続部の断面構造を図 29 に示す。図 29 (a) はゲート層からなる走査配線 S C N の端子部、図 29 (b) はドレイン層からなる信号配線 S I G の端子部であり、図 29 (c) は共通電極配線 C O M とゲート層との接続部、図 29 (d) は共通電極配線 C O M とドレイン層との接続部である。

第 1 絶縁膜 I N S 1 と第 2 絶縁膜 I N S 2 の一括加工時にゲート絶縁膜 I N S 1 1 やパッシベーション膜 I N S 1 2 に影響が及ぶのを防止するために、図示のように透明電極 E L 1 を形成した。

また、図 29 (c) および図 29 (d) に示すように、共通電極配線 C O M もしくは透明対向電極 E L 2 (C) を直接ゲート層やドレイン層に接続できないため、透明対向電極 E L 2 (C) 上の第 2 絶縁膜 I N S 2 に形成した開口部を介して透明電極 E L 3 の層を共通電極配線 C O M に接続し、この透明電極 E L 3 の層を用いて第 1 絶縁膜 I N S 1 と第 2 絶縁膜 I N S 2 の開口部で露出させた透明電極 E L 1 の層を介してゲート層あるいはドレイン層に接続する構造とした。

20

【 0 0 6 9 】

[実施例 1 0]

図 30 は、本発明の実施例 10 の液晶表示装置の画素構造を示す模式図であり、図 30 (a) は画素の断面構造、図 30 (b) は T F T 基板側の画素の平面構造である。なお、図 30 (a) は、図 30 (b) の A - A ' 切断線に相当する断面構造を示している。

本実施例 10 は実施例 8 の変形例であり、実施例 8 における図 24 と比較して次の点が異なっている。

30

ゲート絶縁膜 I N S 1 1 に形成した開口部を介して第 1 透明画素電極 E L 1 (P) を薄膜トランジスタ T F T のソース電極 S と直接接続するのではなく、ゲート絶縁膜 I N S 1 1 とパッシベーション膜 I N S 1 2 と第 2 絶縁膜 I N S 2 に形成した開口部を介して、第 1 透明画素電極 E L 1 (P) を第 2 透明画素電極 E L 3 (P) と接続し、この第 2 透明画素電極 E L 3 (P) を介してソース電極 S と電氣的に接続する。

また、これに伴い、第 2 透明画素電極 E L 3 (P) とソース電極 S を電氣的に接続するためのパッシベーション膜 I N S 1 2 と第 2 絶縁膜 I N S 2 の開口部 (C H 4 , C H 5) 以外に、第 2 透明画素電極 E L 3 (P) と第 1 透明画素電極 E L 1 (P) を電氣的に接続するための開口部 (C H 1 ~ C H 3) を形成する構造とした。

また、透明対向電極 E L 2 (C) の開口部 S P K は、第 2 透明画素電極 E L 3 (P) とソース電極 S を電氣的に接続するためのパッシベーション膜 I N S 1 2 と第 2 絶縁膜 I N S 2 の開口部 (C H 4 , C H 5) 、および第 2 透明画素電極 E L 3 (P) と第 1 透明画素電極 E L 1 (P) を電氣的に接続するための開口部 (C H 1 ~ C H 3) の両方に対して少なくとも最小絶縁距離以上離れた形状とした。なお、1 画素分の等価回路は実施例 2 における図 7 と同一である。

40

【 0 0 7 0 】

図 30 (b) を図 24 (b) と比較すると、第 2 透明画素電極 E L 3 (P) と第 1 透明画素電極 E L 1 (P) を接続するために、ゲート絶縁膜 I N S 1 1 とパッシベーション膜 I N S 1 2 と第 2 絶縁膜 I N S 2 の開口部 (C H 1 ~ C H 3) をさらに形成したことにより、透明対向電極 E L 2 (C) の開口部 S P K も拡大するため、第 2 透明画素電極 E L 3

50

(P) にスリット状開口部 S L T を設けて液晶層 L C に電界を印加できる領域が減少して開口率が低下するが、以下に述べるように、T F T 基板の作製工程数を実施例 8 よりも 1 工程短縮できる利点がある。

図 3 1 に、実施例 1 0 による液晶表示装置の T F T 基板の作製工程を示す。図 3 1 (a) ~ 図 3 1 (c) は第 1 透明画素電極 E L 1 (P) の形状を除いて実施例 8 における図 2 5 - 1 (a) ~ 図 2 5 - 1 (c) と同一である。

図 3 1 (d) において、金属材料を成膜してホトリソグラフィープロセスによりソース電極 S、ドレイン電極 D、信号配線 S I G (図示省略) を同時に形成する。なお、この層をドレイン層と呼ぶことにする。ドレイン層で覆われていない部分の半導体層 a - S i 上面の高濃度 n 型層の薄膜 (図示省略) もドレイン層の加工と同時に除去する。

10

図 3 1 (e) において、S i N からなるパッシベーション膜 I N S 1 2 を成膜し、パッシベーション膜 I N S 1 2 は加工しないままパッシベーション膜 I N S 1 2 上に金属材料を成膜してホトリソグラフィープロセスにより共通電極配線 C O M に加工する。

図 3 1 (f) において、I T O のような透明導電性材料を成膜してホトリソグラフィープロセスにより透明対向電極 E L 2 (C) に加工する。

【 0 0 7 1 】

図 3 1 (g) において、S i N からなる第 2 絶縁膜 I N S 2 を成膜し、ホトリソグラフィープロセスにより、ゲート絶縁膜 I N S 1 1 とパッシベーション膜 I N S 1 2 と第 2 絶縁膜 I N S 2 の 3 層を一括加工し、ソース電極 S 上のパッシベーション膜 I N S 1 2 および第 2 絶縁膜 I N S 2 に開口部 (C H 4 , C H 5) を形成すると同時に、第 1 透明画素電極 E L 1 (P) 上の、ゲート絶縁膜 I N S 1 1、パッシベーション膜 I N S 1 2、および第 2 絶縁膜 I N S 2 に開口部 (C H 1 ~ C H 3) を形成する。

20

最後に、I T O のような透明導電性材料を成膜し、ホトリソグラフィープロセスにより図 3 0 (a) に示すような第 2 透明画素電極 E L 3 (P) に加工する。

ソース電極 S 上のパッシベーション膜 I N S 1 2 と第 2 絶縁膜 I N S 2 の開口部 (C H 4 , C H 5) を介して第 2 透明画素電極 E L 3 (P) をソース電極 S と電氣的に接続し、第 1 透明画素電極 E L 1 (P) 上のゲート絶縁膜 I N S 1 1、パッシベーション膜 I N S 1 2、および第 2 絶縁膜 I N S 2 の開口部 (C H 1 ~ C H 3) を介して、第 2 透明画素電極 E L 3 (P) を第 1 透明画素電極 E L 1 (P) と電氣的に接続する。

したがって、合計 8 回のホトリソグラフィープロセスを用いて T F T 基板を作製する。すなわち、T F T 基板の作製工程数を実施例 8 よりも 1 工程短縮し、実施例 2 の場合と同じ工程数にすることができる。

30

また、実施例 2 の場合と比較すると、ゲート絶縁膜 I N S 1 1 とパッシベーション膜 I N S 1 2 を介して共通電極配線 C O M を走査配線 S C N に対して平面的に重畳した形状にすることができるため、開口率を向上しやすいという効果がある。なお、実施例 8 の場合と同様に、図 3 1 (a) と図 3 1 (b) の工程順は逆でも構わない。

本実施例 1 0 の作製工程により形成される端子部及び異層間接続部は実施例 7 における図 2 3 と同様である。

【 0 0 7 2 】

[実施例 1 1]

40

本実施例 1 1 は、実施例 1 ~ 1 0 による I P S 方式の液晶表示装置のそれぞれにおいてパッシベーション膜上に感光性アクリル系樹脂などからなる有機絶縁膜 F P S を設けた変形例である。

図 3 2 - 1 (a) ~ 図 3 2 - 3 (j) は、それぞれ実施例 1 ~ 1 0 の T F T 基板側の画素断面構造の変形例に対応する。

図 3 2 - 1 (a)、図 3 2 - 1 (b)、図 3 2 - 3 (g)、図 3 2 - 3 (h)、図 3 2 - 3 (j) において、透明電極 E L 2 と透明電極 E L 1 との間に形成する第 1 保持容量 C s t 1 の低下を避けるために、第 1 絶縁膜 I N S 1 を介して透明電極 E L 2 と透明電極 E L 1 を重ねた第 1 保持容量 C s t 1 形成領域には有機絶縁膜 F P S を形成しない。

一方、透明電極 E L 2 と走査配線 S C N や共通電極配線 C O M、信号配線 S I G とが重

50

なる領域には、有機絶縁膜 F P S を形成することにより、寄生容量を低減した。

また、図 3 2 - 1 (c)、図 3 2 - 1 (d) においては、透明電極 E L 3 と透明電極 E L 2 との間に形成する第 2 保持容量 C s t 2 の低下を避けるために、第 2 絶縁膜 I N S 2 を介して透明電極 E L 3 と透明電極 E L 2 を重ねた第 2 保持容量 C s t 2 形成領域には、有機絶縁膜 F P S を形成しない。

一方、透明電極 E L 3 と走査配線 S C N や信号配線 S I G とが重なる領域には有機絶縁膜 F P S を形成することにより、寄生容量を低減した。

【 0 0 7 3 】

また、図 3 2 - 2 (e)、図 3 2 - 2 (f)、図 3 2 - 3 (i) においては、第 1 保持容量 C s t 1 および第 2 保持容量 C s t 2 形成領域に有機絶縁膜 F P S を形成しても、第 1 保持容量 C s t 1 および第 2 保持容量 C s t 2 の大きさに関係であるため、薄膜トランジスタ T F T のソース電極 S 上のパッシベーション膜 I N S 1 2 と第 1 絶縁膜 I N S 1 に形成された開口部 (C H 1、C H 2) を避けるように有機絶縁膜 F P S を形成することにより、透明電極 E L 1 と走査配線 S C N や信号配線 S I G との間の寄生容量を低減するとともに、画素表面を平坦化することができる。

いずれの場合においても、T F T 基板の作製工程が有機絶縁膜 F P S 層を形成する分だけ増加するが、有機絶縁膜 F P S を設けることにより寄生容量を低減できるため、保持容量をあまり増大させなくても画質劣化を防止しやすくなる。

図 3 2 - 2 (e)、図 3 2 - 2 (f)、図 3 2 - 3 (i) においては、1 画素内の表示領域における有機絶縁膜 F P S の少なくとも一部に微小な凹凸構造を形成し、その凹凸に合わせて反射電極を形成することにより、内面拡散反射構造を有する半透過型や反射型の液晶表示装置に応用することができる。

図 3 2 - 2 (e) と図 3 2 - 3 (i) の場合、共通電極配線 C O M の一部を反射電極に用いることができる。また、図 3 2 - 2 (f) と図 3 2 - 3 (i) の場合、共通電極配線 C O M とは別に反射電極を設けてもよい。その場合、微小な凹凸構造を反映しやすいように透明電極 E L 1 下層もしくは上層に反射電極を形成することが望ましい。いずれの場合も、反射表示部に液晶層厚調整層を設けてもよい。

【 0 0 7 4 】

図 3 2 - 1 (a)、図 3 2 - 1 (b)、図 3 2 - 1 (c)、図 3 2 - 1 (d)、図 3 2 - 3 (g)、図 3 2 - 3 (h)、図 3 2 - 3 (j) の構造を半透過型の液晶表示装置に応用する場合、1 画素の表示領域の少なくとも一部に微小な凹凸構造を有する有機絶縁膜 F P S を形成してその上層に、反射電極を形成することにより反射表示部に利用しても構わない。ただし、透過表示部には有機絶縁膜 F P S を形成せずに必要な大きさの保持容量を確保することが望ましい。これにより、反射表示部に設けた有機絶縁膜 F P S 層が液晶層厚調整層としても機能する。

図 3 2 - 1 (a)、図 3 2 - 1 (b)、図 3 2 - 1 (c)、図 3 2 - 1 (d)、図 3 2 - 3 (g)、図 3 2 - 3 (h)、図 3 2 - 3 (j) においては、有機絶縁膜 F P S の代わりに絶縁性部材からなる遮光膜 B M を設けても構わない。この場合、第 2 基板 S U B 2 側に遮光膜 B M は必ずしも必要ではない。

また、図 3 2 - 2 (e)、図 3 2 - 2 (f)、図 3 2 - 3 (i) においては、有機絶縁膜 F P S の代わりに画素毎に異なる複数色のカラーフィルタ F I L を設けても構わない。この場合、第 2 基板 S U B 2 側にカラーフィルタ F I L は必ずしも必要ではない。

【 0 0 7 5 】

[実施例 1 2]

本実施例 1 2 は、縦電界駆動の液晶表示装置に適用する場合の構成の例である。縦電界駆動では、液晶層 L C の層厚方向に主要な電界を発生して液晶層 L C を駆動するために、T F T 基板側の液晶層 L C に最も近い第 3 透明電極 E L 3 を画素電極 P とする必要がある。

図 3 3 - 1、図 3 3 - 2 は、本実施例 1 2 による液晶表示装置の T F T 基板側の画素断面構造の模式図である。

図33-1(a)、図33-1(c)、図33-2(e)、図33-2(g)は、それぞれ実施例7～10を縦電界駆動の液晶表示装置に応用した構成であり、図21(a)、図24(a)、図27(a)、図30(a)に示すTFT基板側の断面構造に対応している。

第2透明画素電極EL3(P)が互いに平行なスリット状開口部を有さず、透明電極EL2が対向電極を兼ねない保持容量電極であり、これに伴って透明保持容量電極EL2(ST)の下層の金属配線を共通電極配線COMではなく保持容量配線STGとした点が異なるだけである。したがって、TFT基板の作製工程としては、それぞれ図22、図25-1および図25-2、図28-1および図28-2、図31に示す工程を利用することができる。

10

端子部及び異層間接続部については、それぞれ図23、図26、図29と同一の構造を利用することができる。

【0076】

また、図33-1(b)、図33-1(d)、図33-2(f)、図33-2(h)は、それぞれ図33-1(a)、図33-1(c)、図33-2(e)、図33-2(g)による縦電界モードの液晶表示装置においてパッシベーション膜上に感光性アクリル系樹脂などからなる有機絶縁膜FPSを設けた変形例である。

図33-1(b)、図33-1(d)、図33-2(h)においては、第1画素透明電極EL1(P)と透明保持容量電極EL2(ST)との間に形成する第1保持容量Cst1の低下を避けるために、第1絶縁膜INS1を介して透明保持容量電極EL2(ST)と第1透明画素電極EL1(P)を重ねた第1保持容量Cst1形成領域には有機絶縁膜FPSを形成しない。

20

一方、透明保持容量電極EL2(ST)と走査配線SCNや信号配線SIGとが重なる領域には有機絶縁膜FPSを形成することにより、寄生容量を低減している。

図33-2(f)においては、第1保持容量Cst1および第2保持容量Cst2形成領域に有機絶縁膜FPSを形成しても、第1保持容量Cst1および第2保持容量Cst2の大きさに無関係であるため、薄膜トランジスタTFTのソース電極S上のパッシベーション膜INS12に形成された開口部(CH1)を避けるように有機絶縁膜FPSを形成することにより、第1透明画素電極EL1(P)と走査配線SCNや信号配線SIGとの間の寄生容量を低減するとともに、画素表面を平坦化している。

30

有機絶縁膜FPSを設けることにより寄生容量を低減できるため、保持容量をあまり増大させなくても画質劣化を防止しやすくなる。

なお、図33-1、図33-2では、液晶表示装置を構成した場合の第2基板SUB2側の図示を省略しているが、第2基板SUB2の液晶層LCに近い側の面に対向電極となる第4透明電極EL4をITOなどの透明導電性部材により形成している。第4透明電極EL4は共通電極配線COMとしても機能する。

【0077】

実施例12による液晶表示装置の1画素分の等価回路を図34(a)に示す。第1透明画素電極EL1(P)、第2透明画素電極EL3(P)、もしくはソース電極Sに対して、第1保持容量Cst1、第2保持容量Cst2、画素容量Cpxの他に、薄膜トランジスタTFTのG-S間寄生容量Cgs、信号配線SIGとの間の寄生容量Cds1、Cds2が存在する。

40

他の全ての実施例の場合と同様に、画素寸法を微細にした時に、Cgs、Cds1、Cds2等の寄生容量に比べて十分な大きさの等価的な保持容量を、第1保持容量Cst1と第2保持容量Cst2の並列容量により形成できる。

このため、薄膜トランジスタTFTがオフ状態の保持期間において、第2透明画素電極EL3(P)の電圧が走査配線SCNや信号配線SIGの電圧変化によるフィードスルー電圧の影響を受けにくくすることができ、スメアやクロストークと呼ばれる現象を抑制することができる。

また、保持期間内において、第1透明画素電極EL1(P)、第2透明画素電極EL3

50

(P)及びソース電極Sに蓄積された電荷の漏れを低減することができるため、液晶層LCへの印加電界の低下を抑制することができる。このため、画質の劣化を防止することができる。

しかも、第1保持容量 C_{st1} 及び第2保持容量 C_{st2} を構成する第1透明画素電極 $EL1(P)$ 、第1絶縁膜 $INS1$ 、透明保持容量電極 $EL2(ST)$ 、第2絶縁膜 $INS2$ 、第2透明画素電極 $EL3(P)$ が透明であるため、寄生容量に比べて十分な大きさの保持容量を形成しても、透過表示部の開口率を低下させなくて済む。したがって、十分な大きさの保持容量の形成と十分な大きさの開口率の確保を両立することができる。

【0078】

なお、実施例7～実施例10の場合と同様に、保持容量配線STGおよび透明保持容量電極 $EL2(ST)$ は、保持容量配線抵抗低減の点では隣接画素同士で接続して全画素共通に電圧を印加することが望ましいが、各画素行毎に分離してそれぞれ独立に電圧を印加しても、あるいは、各画素列毎に分離してそれぞれ独立に電圧を印加しても構わない。

また、保持容量配線STGの電圧、すなわち、透明保持容量電極 $EL2(ST)$ の電圧と第4透明電極 $EL4$ の電圧は一致していても構わないが、必ずしも一致させる必要はない。

さらに、ソース電極Sの下側にゲート層で第2保持容量配線STG2を形成することにより、ゲート絶縁膜を介してソース電極Sと第2保持容量配線STG2との間に第3保持容量 C_{st3} を形成しても構わない。

この場合、第3保持容量 C_{st3} は、図34(b)に示すような等価回路を構成する。第2保持容量配線STG2は、全画素共通に電圧を印加しても、各画素行毎にそれぞれ独立に電圧を印加しても構わない。また、保持容量配線STGと第2保持容量配線STG2の電圧は一致していても構わないが、必ずしも一致させる必要はない。

【0079】

実施例12の構造は、縦電界駆動の液晶表示モードを用いた反射型、半透過型の液晶表示装置にも応用できる。

その場合、第1透明画素電極 $EL1(P)$ 、透明保持容量電極 $EL2(ST)$ 、第2透明画素電極 $EL3(P)$ の少なくともいずれかの一部に反射電極を形成して反射表示部に利用すればよく、反射表示部に液晶層厚調整層を設けてもよい。

特に、図33-2(f)においては、1画素内の表示領域における有機絶縁膜FPSの少なくとも一部に微小な凹凸構造を形成し、その凹凸に合わせて反射電極を形成することにより、内面拡散反射構造を有する半透過型や反射型の液晶表示装置に応用することができる。

保持容量配線STGの一部を反射電極に用いてもよいが、保持容量配線STGとは別に、微小な凹凸構造を反映しやすいように第1透明画素電極 $EL1(P)$ 下層もしくは上層に反射電極を形成することが望ましい。

図33-1(b)、図33-1(d)、図33-2(h)を半透過型の液晶表示装置に応用する場合、1画素の表示領域の少なくとも一部に微小な凹凸構造を有する有機絶縁膜FPSを形成して、その上層に反射電極を形成することにより反射表示部に利用しても構わない。

ただし、透過表示部には有機絶縁膜FPSを形成せずに必要な大きさの保持容量を確保することが望ましい。これにより、反射表示部に設けた有機絶縁膜FPS層が液晶層厚調整層としても機能する。

【0080】

図33-1(b)、図33-1(d)、図33-2(h)においては、有機絶縁膜FPSの代わりに絶縁性部材からなる遮光膜BMを設けても構わない。この場合、第2基板SUB2側に遮光膜BMは必ずしも必要ではない。

また、図33-2(f)においては、有機絶縁膜FPSの代わりに画素毎に異なる複色のカラーフィルタFILを設けても構わない。この場合、第2基板SUB2側にカラーフィルタFILは必ずしも必要ではない。

10

20

30

40

50

実施例 12 において、縦電界駆動の液晶表示装置の第 2 透明画素電極 E L 3 (P) の構造として、スリット状開口部 S L T を有しない形状としたが、垂直配向 (V A) 表示モードの場合のように、配向制御用の開口部を有していても構わない。また、配向制御用の誘電体突起を第 2 透明画素電極 E L 3 (P) 上に形成していても構わない。

なお、縦電界駆動の液晶表示モードとしては、V A モード、T N モード、E C B モード、O C B モード、高分子分散型など、公知の技術を用いることができる。

また、以上の全ての実施例において、所望の表示モードを実現するために位相差板が必要であれば追加してもよく、逆に不要であれば除去しても構わない。例えば、ゲスト - ホスト表示モードを採用した場合、偏光板も不要であれば除去しても構わない。また、位相差板や偏光板を、第 1 基板 S U B 1 および第 2 基板 S U B 2 の外側だけでなく、内側に配置するように構成しても構わない。

10

第 1 基板 S U B 1 側、第 2 基板 S U B 2 側の少なくともいずれか一方の対向する面に柱状スペーサを配置してもよい。これにより、液晶層 L C の厚さを液晶表示装置面内で均一化できる。

さらに、液晶表示装置全体としては、表示面と反対側にバックライトが設けられる。

液晶層の配向状態としては、水平配向、ツイスト配向、垂直配向、ハイブリッド配向などを用いることができる。

【 0 0 8 1 】

以上説明したように、前述の各実施例では、第 1 保持容量と第 2 保持容量の並列容量により、寄生容量に比べて十分な大きさの等価的な保持容量を形成することができるため、薄膜トランジスタ T F T がオフ状態の保持期間において、画素電極の電圧が走査配線や信号配線の電圧変化によるフィードスルー電圧の影響を受けにくくすることができる。これにより、スミアやクロストークと呼ばれる現象を抑制して画質の劣化を防止することができる。

20

また、保持期間において画素電極およびソース電極（またはドレイン電極）に蓄積された電荷の漏れを低減することができるため、液晶層への印加電界の低下を抑制することができる。このため、駆動回路からの出力電圧を高めず消費電力を増大することなく輝度傾斜や表示ムラを発生しにくくすることができる。

また、透過表示領域において、第 1 保持容量、第 2 保持容量が共に透明であるため、寄生容量に比べて十分な大きさの保持容量を形成しても、透過表示の開口率を低下させなくて済む。このため、透過表示輝度の低下を抑制することができる。したがって、十分な大きさの保持容量の形成と十分な大きさの開口率の確保を両立することができる。

30

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【図面の簡単な説明】

【 0 0 8 2 】

【図 1】本発明の液晶表示装置の画素主要部の基本断面構造を示す断面図である。

【図 2】本発明の実施例 1 の液晶表示装置の画素構造を示す模式図である。

【図 3】本発明の実施例 1 および実施例 3 の液晶表示装置の 1 画素分の等価回路を示す回路図である。

40

【図 4 - 1】本発明の実施例 1 の液晶表示装置の T F T 基板の作製工程を示す図である。

【図 4 - 2】本発明の実施例 1 の液晶表示装置の T F T 基板の作製工程を示す図である。

【図 5】本発明の実施例 1 の液晶表示装置の T F T 基板の端子部及び異層間接続部の断面構造を示す断面図である。

【図 6】本発明の実施例 2 の液晶表示装置の画素構造を示す模式図である。

【図 7】本発明の実施例 2, 実施例 4, 実施例 5, 実施例 6, 実施例 7, 実施例 8, 実施例 9, 実施例 10 の液晶表示装置の 1 画素分の等価回路を示す回路図である。

【図 8】本発明の実施例 2 の液晶表示装置の T F T 基板の作製工程を示す図である。

【図 9】本発明の実施例 3 の液晶表示装置の画素構造を示す模式図である。

50

【図 1 0】本発明の実施例 3 の液晶表示装置の T F T 基板の作製工程を示す図である。

【図 1 1】本発明の実施例 3 の液晶表示装置の T F T 基板の端子部及び異層間接続部の断面構造を示す断面図である。

【図 1 2】本発明の実施例 4 の液晶表示装置の画素構造を示す模式図である。

【図 1 3】本発明の実施例 4 の液晶表示装置の T F T 基板の作製工程を示す図である。

【図 1 4】本発明の実施例 4 の液晶表示装置の T F T 基板の端子部及び異層間接続部の断面構造を示す断面図である。

【図 1 5】本発明の実施例 5 の液晶表示装置の画素構造を示す模式図である。

【図 1 6 - 1】本発明の実施例 5 の液晶表示装置の T F T 基板の作製工程を示す図である。

10

【図 1 6 - 2】本発明の実施例 5 の液晶表示装置の T F T 基板の作製工程を示す図である。

【図 1 7】本発明の実施例 5 の液晶表示装置の T F T 基板の端子部及び異層間接続部の断面構造を示す断面図である。

【図 1 8】本発明の実施例 6 の液晶表示装置の画素構造を示す模式図である。

【図 1 9 - 1】本発明の実施例 6 の液晶表示装置の T F T 基板の作製工程を示す図である。

【図 1 9 - 2】本発明の実施例 6 の液晶表示装置の T F T 基板の作製工程を示す図である。

【図 2 0】本発明の実施例 6 の液晶表示装置の T F T 基板の端子部及び異層間接続部の断面構造を示す断面図である。

20

【図 2 1】本発明の実施例 7 の液晶表示装置の画素構造を示す模式図である。

【図 2 2】本発明の実施例 7 の液晶表示装置の T F T 基板の作製工程を示す図である。

【図 2 3】本発明の実施例 7 および実施例 1 0 の液晶表示装置の T F T 基板の端子部及び異層間接続部の断面構造を示す断面図である。

【図 2 4】本発明の実施例 8 の液晶表示装置の画素構造を示す模式図である。

【図 2 5 - 1】本発明の実施例 8 の液晶表示装置の T F T 基板の作製工程を示す図である。

【図 2 5 - 2】本発明の実施例 8 の液晶表示装置の T F T 基板の作製工程を示す図である。

30

【図 2 6】本発明の実施例 8 の液晶表示装置の T F T 基板の端子部及び異層間接続部の断面構造を示す断面図である。

【図 2 7】本発明の実施例 9 の液晶表示装置の画素構造を示す模式図である。

【図 2 8 - 1】本発明の実施例 9 の液晶表示装置の T F T 基板の作製工程を示す図である。

【図 2 8 - 2】本発明の実施例 9 の液晶表示装置の T F T 基板の作製工程を示す図である。

【図 2 9】本発明の実施例 9 の液晶表示装置の T F T 基板の端子部及び異層間接続部の断面構造を示す断面図である。

【図 3 0】本発明の実施例 1 0 の液晶表示装置の画素構造を示す模式図である。

40

【図 3 1】本発明の実施例 1 0 の液晶表示装置の T F T 基板の作製工程を示す図である。

【図 3 2 - 1】本発明の実施例 1 ~ 4 の液晶表示装置の画素構造の変形例を示す模式図である。

【図 3 2 - 2】本発明の実施例 5、6 の液晶表示装置の画素構造の変形例を示す模式図である。

【図 3 2 - 3】本発明の実施例 7 ~ 1 0 の液晶表示装置の画素構造の変形例を示す模式図である。

【図 3 3 - 1】本発明の実施例 1 2 の液晶表示装置の画素構造の一例を示す模式図である。

【図 3 3 - 2】本発明の実施例 1 2 の液晶表示装置の画素構造の他の例を示す模式図であ

50

る。

【図34】本発明の実施例12の液晶表示装置、およびその変形例の1画素分の等価回路を示す回路図である。

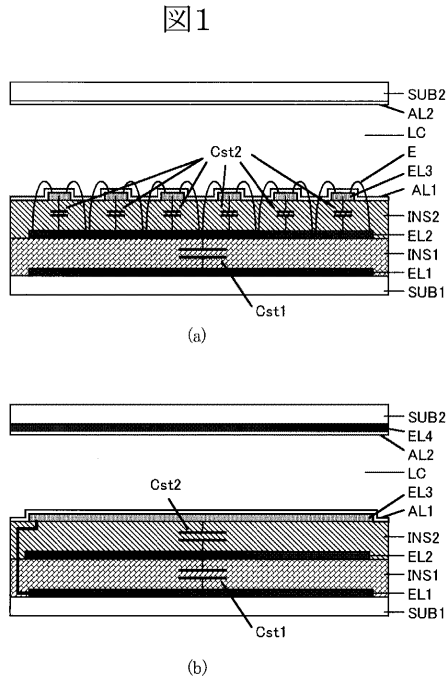
【図35】本発明の実施例1および実施例2, 実施例3, 実施例4, 実施例5, 実施例6, 実施例7, 実施例8, 実施例9, 実施例10の液晶表示装置の変形例の1画素分の等価回路を示す回路図である。

【符号の説明】

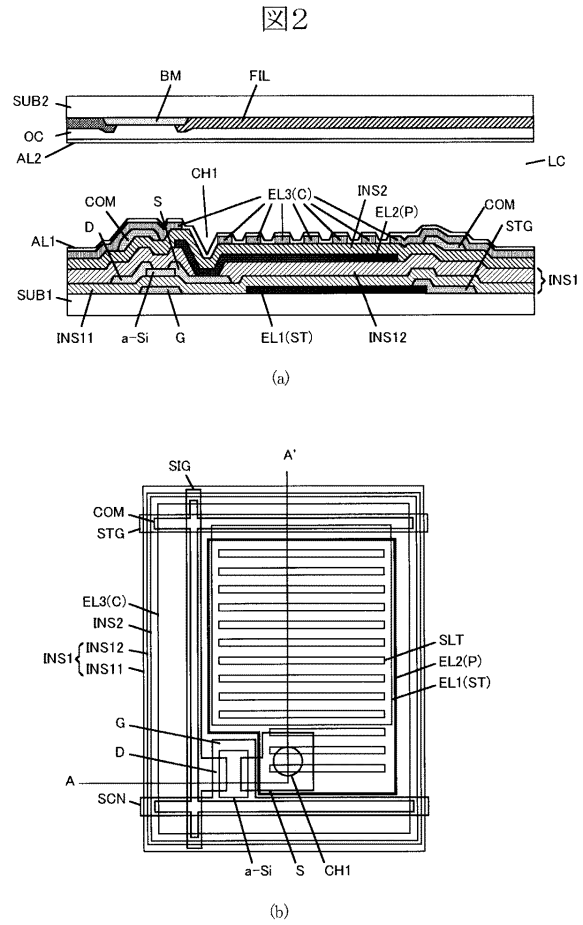
【0083】

SUB1	第1基板	
SUB2	第2基板	10
EL1~EL4	透明電極	
EL1(P), EL2(P), EL3(P)	透明画素電極	
EL1(ST), EL2(ST)	透明保持容量電極	
EL2(C), EL3(C)	透明対向電極	
INS1	第1絶縁膜	
INS2	第2絶縁膜	
INS3	第3絶縁膜	
INS11	ゲート絶縁膜	
INS12	パッシベーション膜	
SLT	スリット状開口部	20
SPK, CH1~CH5	開口部	
LC	液晶層	
AL1	第1配向膜	
AL2	第2配向膜	
TFT	薄膜トランジスタ	
G	ゲート電極	
D	ドレイン電極	
S	ソース電極	
COM	共通電極配線	
BM	遮光膜	30
FIL	カラーフィルタ	
OC	保護膜	
Cst1	第1保持容量	
Cst2	第2保持容量	
STG	保持容量配線	
SCN	走査配線	
SIG	信号配線	
Cpx	画素容量	
Cgs, Cds1, Cds2	寄生容量	
a-Si	半導体層	40
EL2'	島状の透明電極パターン	
FPS	有機絶縁膜	
TA	端子部	

【図 1】

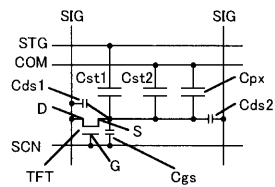


【図 2】



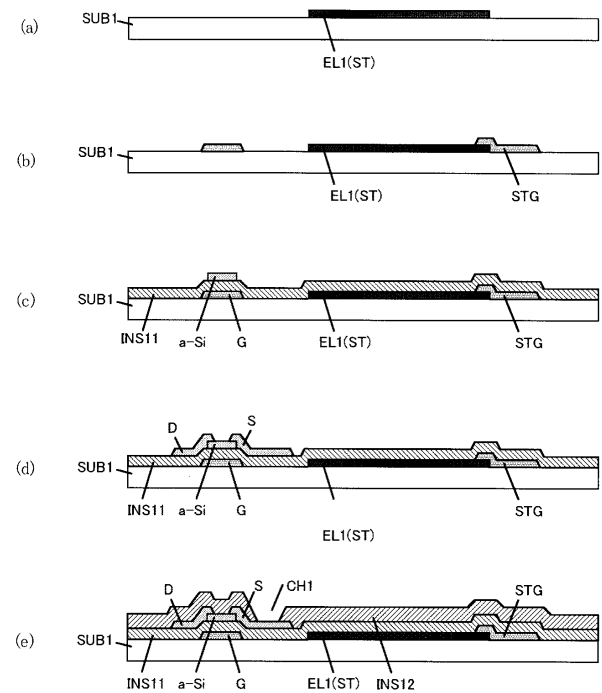
【図 3】

図3



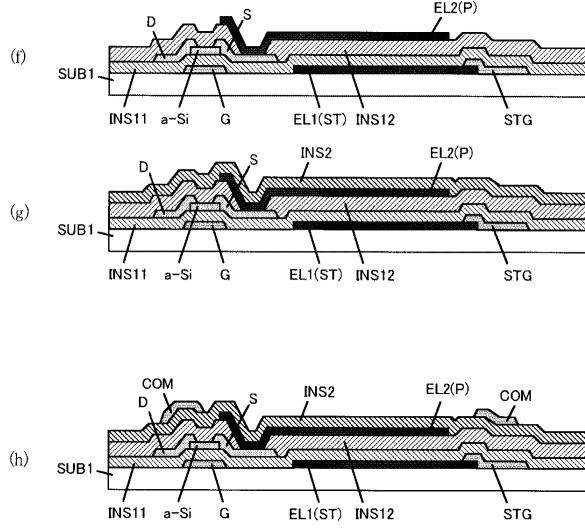
【図 4 - 1】

図4-1



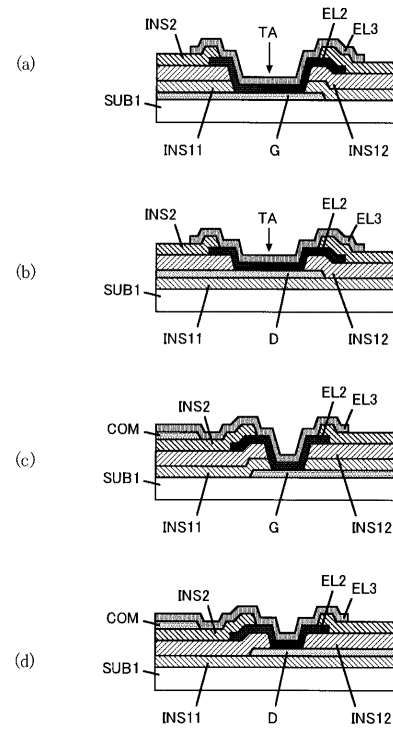
【図4-2】

図4-2



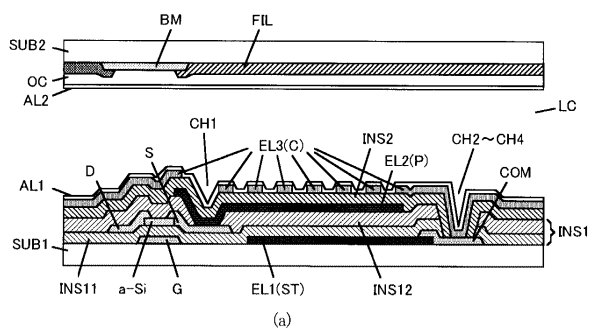
【図5】

図5



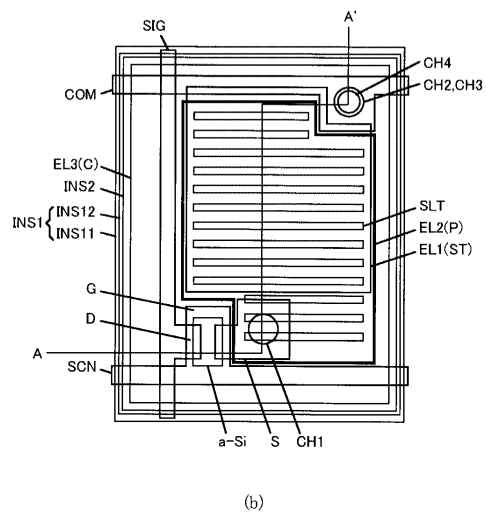
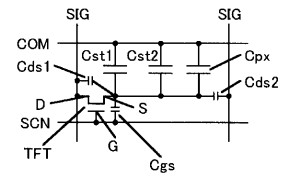
【図6】

図6

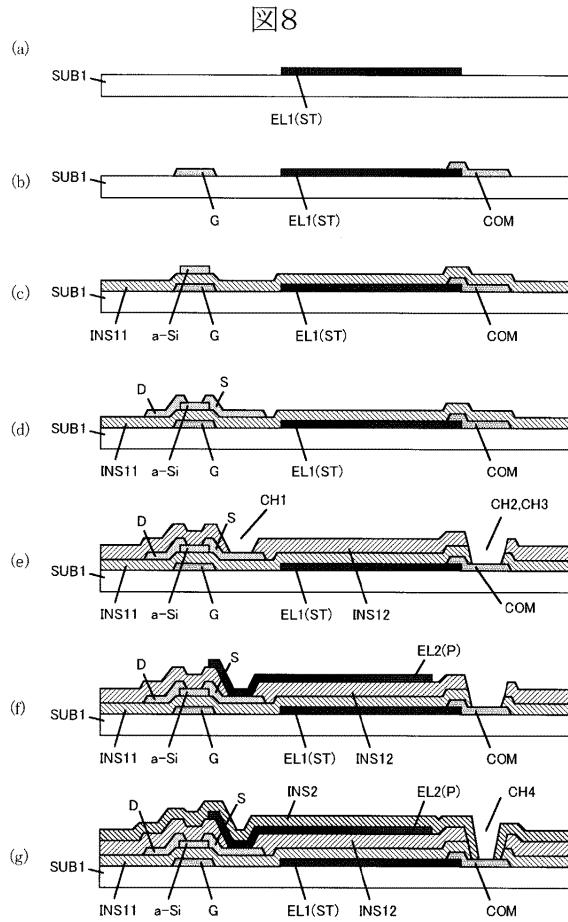


【図7】

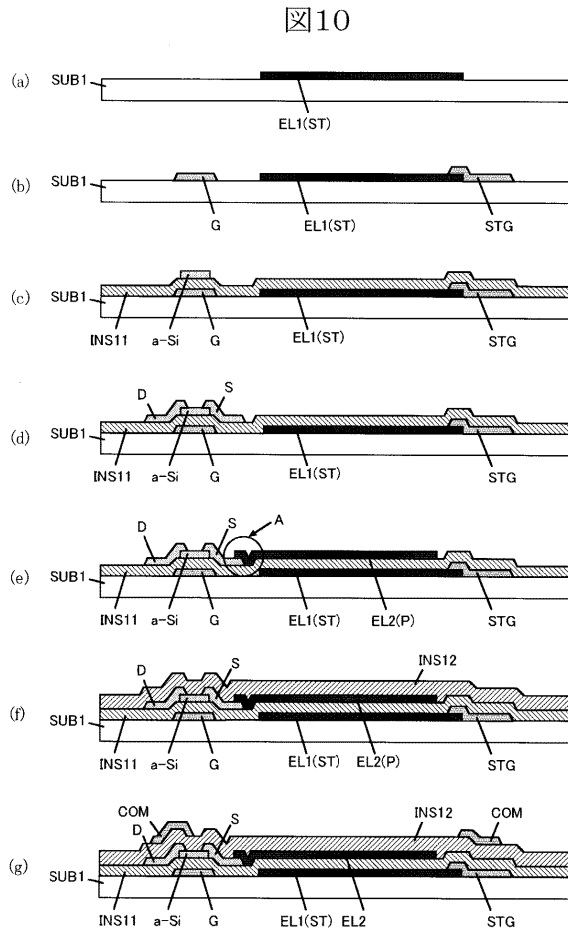
図7



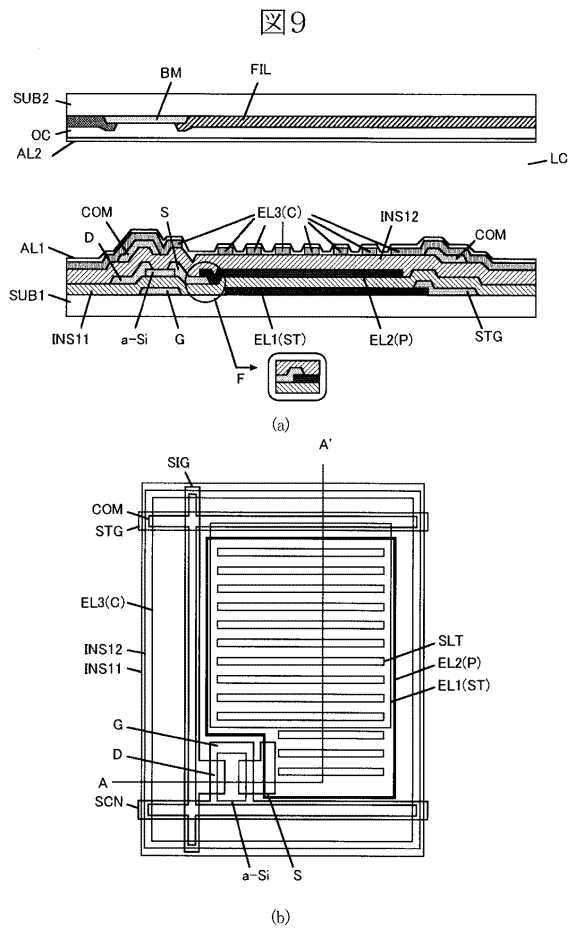
【図 8】



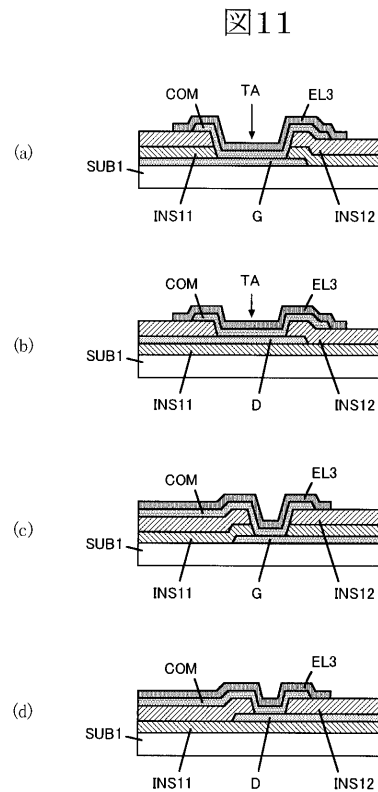
【図 10】



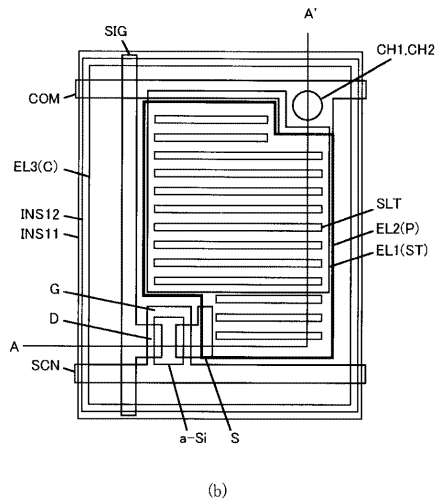
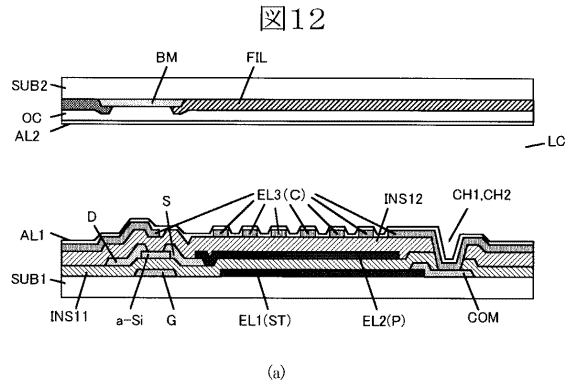
【図 9】



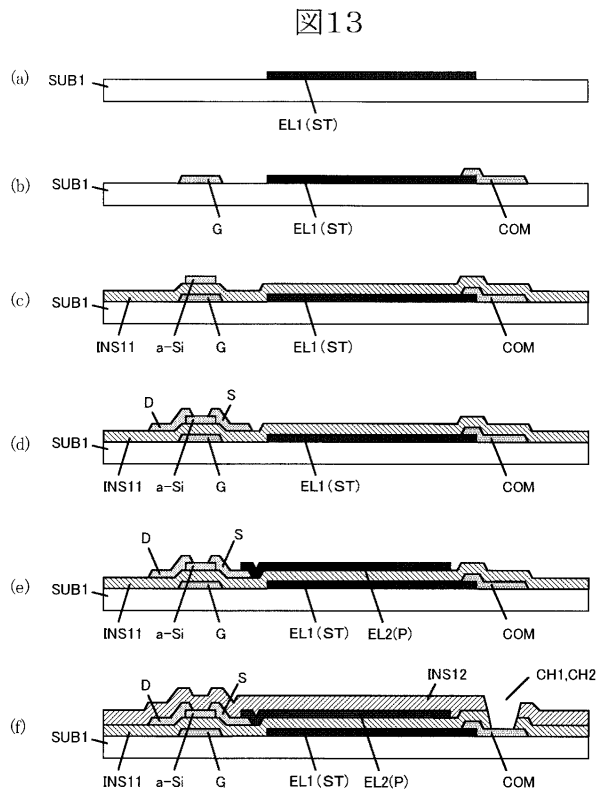
【図 11】



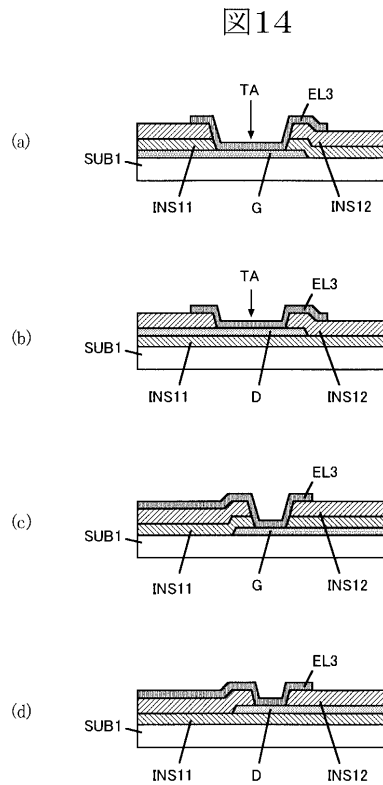
【図 12】



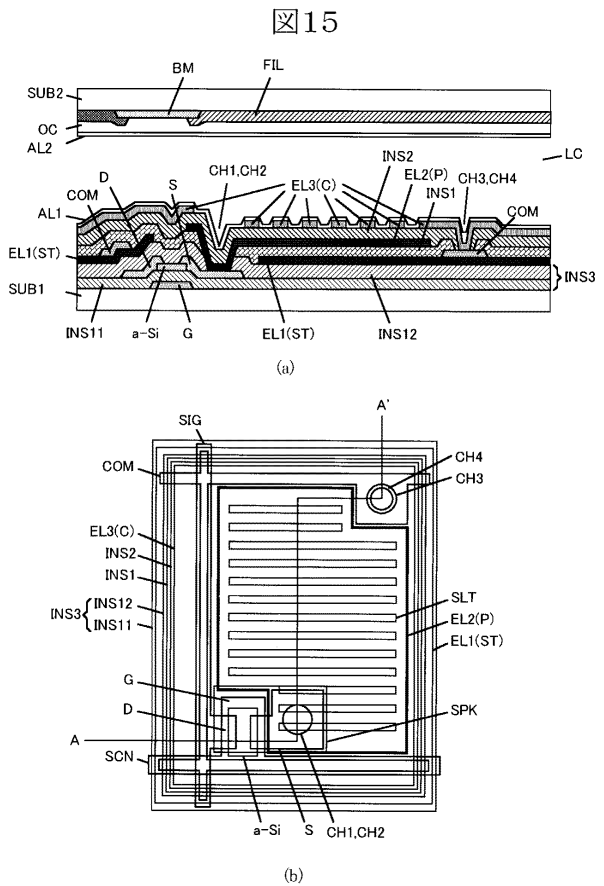
【図 13】



【図 14】

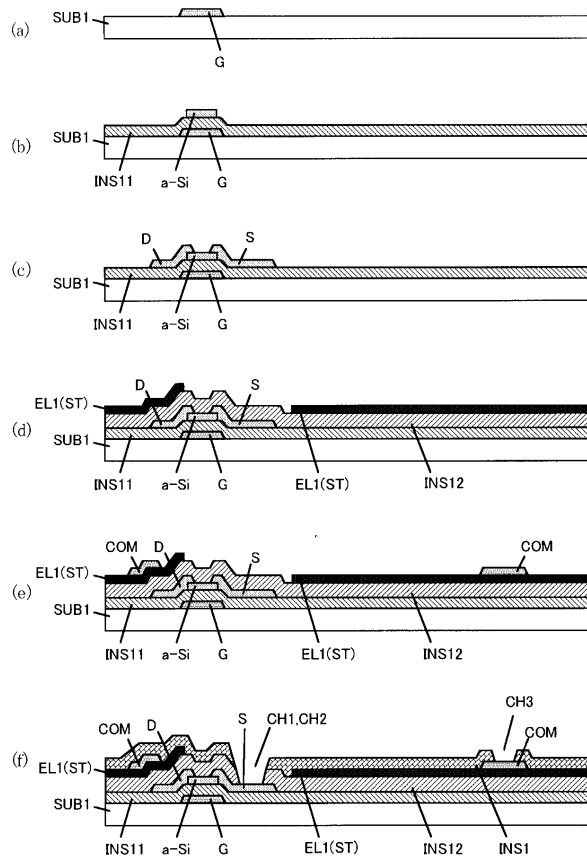


【図 15】



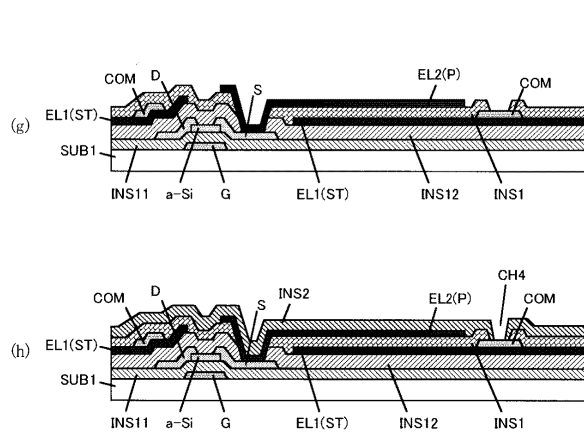
【図16-1】

図16-1



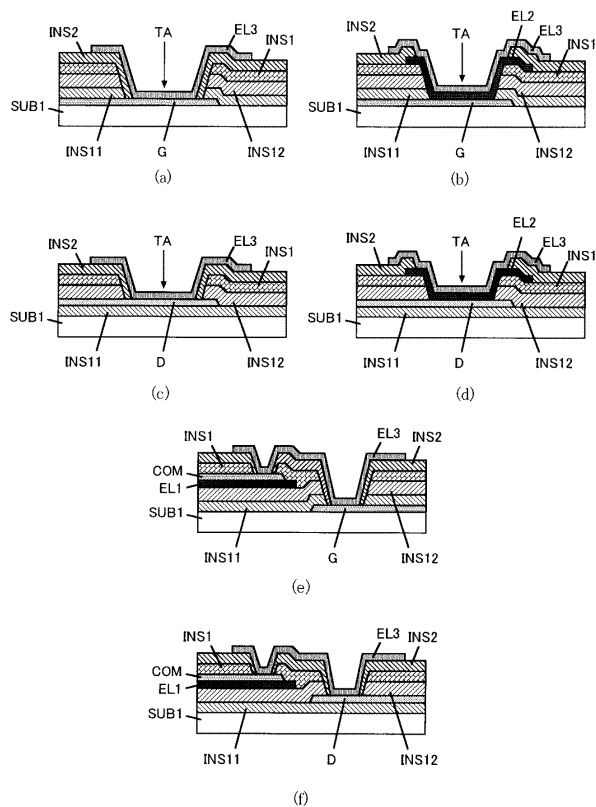
【図16-2】

図16-2



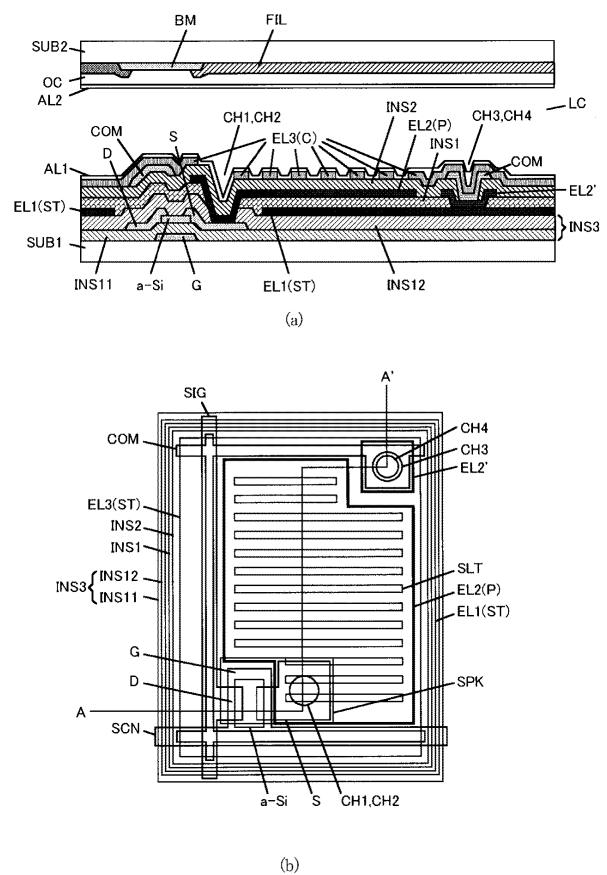
【図17】

図17



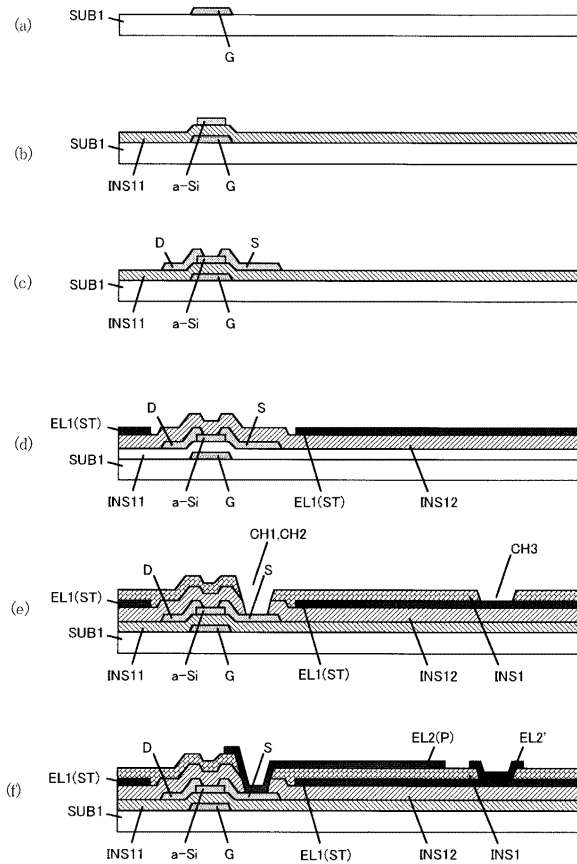
【図18】

図18



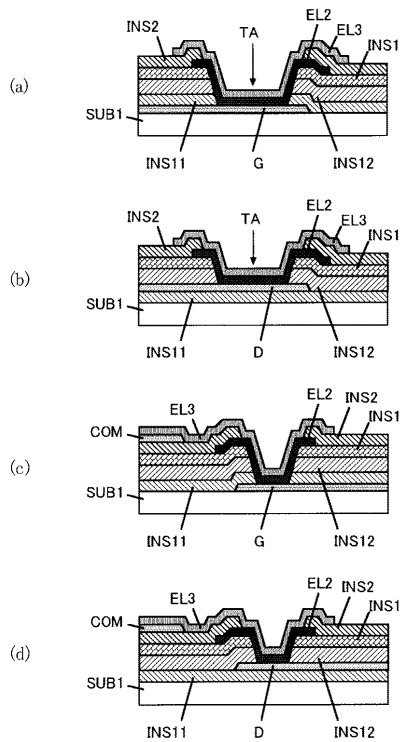
【図19-1】

図19-1



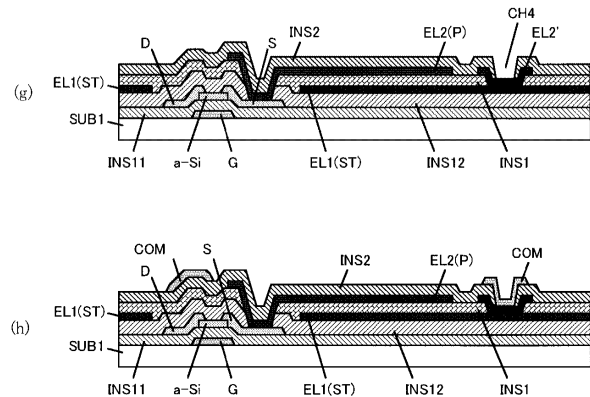
【図20】

図20



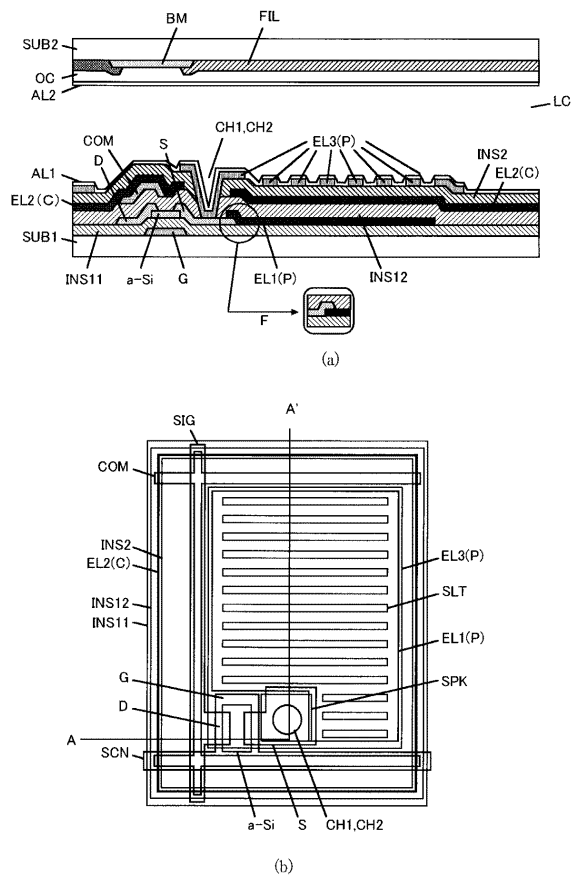
【図19-2】

図19-2



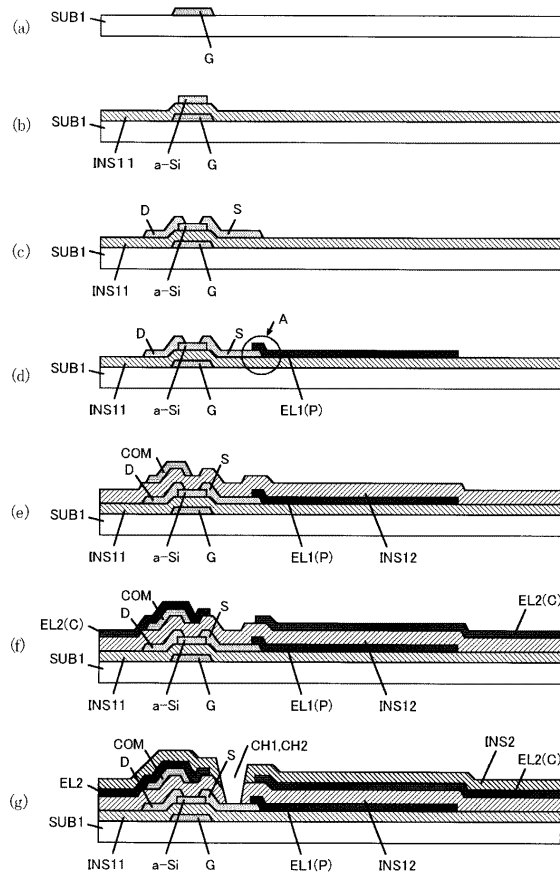
【図21】

図21



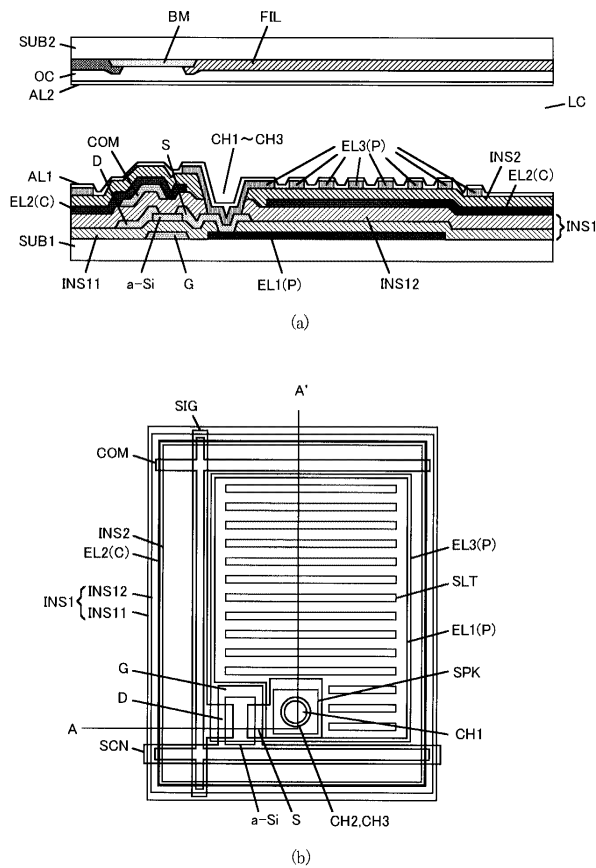
【図22】

図22



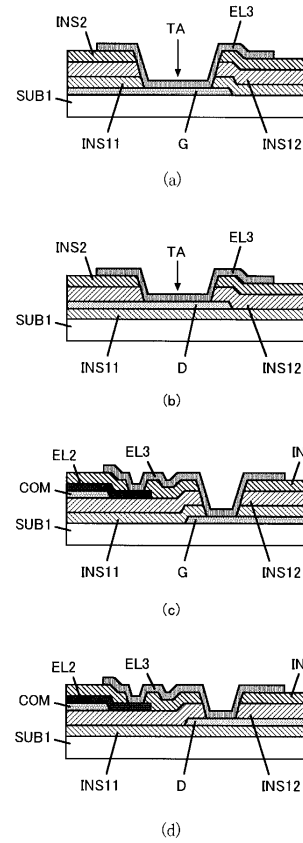
【図24】

図24



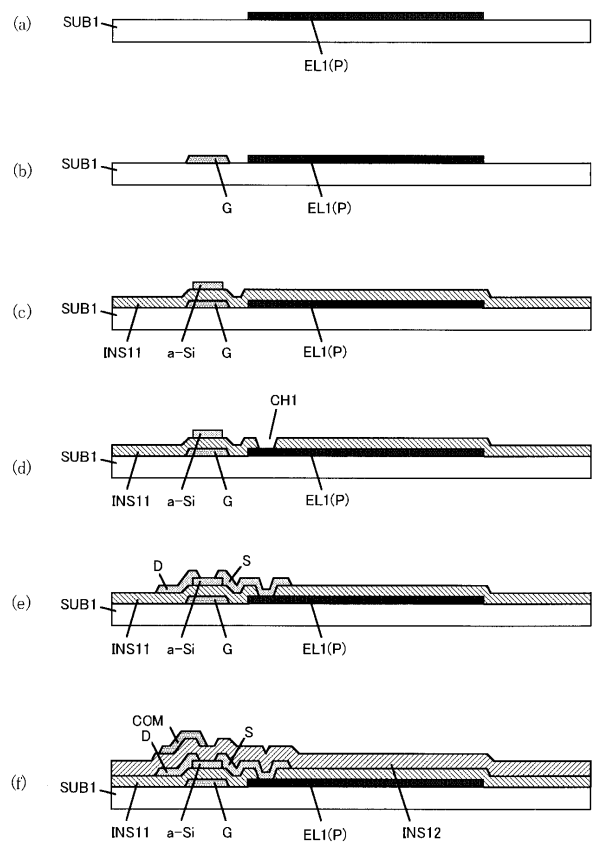
【図23】

図23



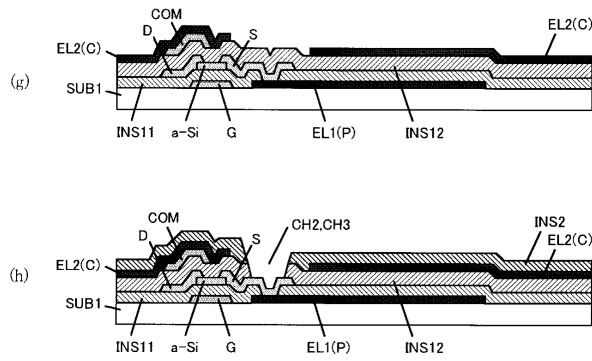
【図25-1】

図25-1



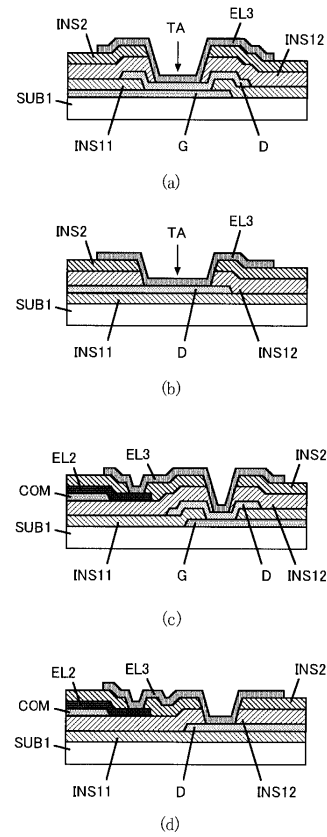
【図25-2】

図25-2



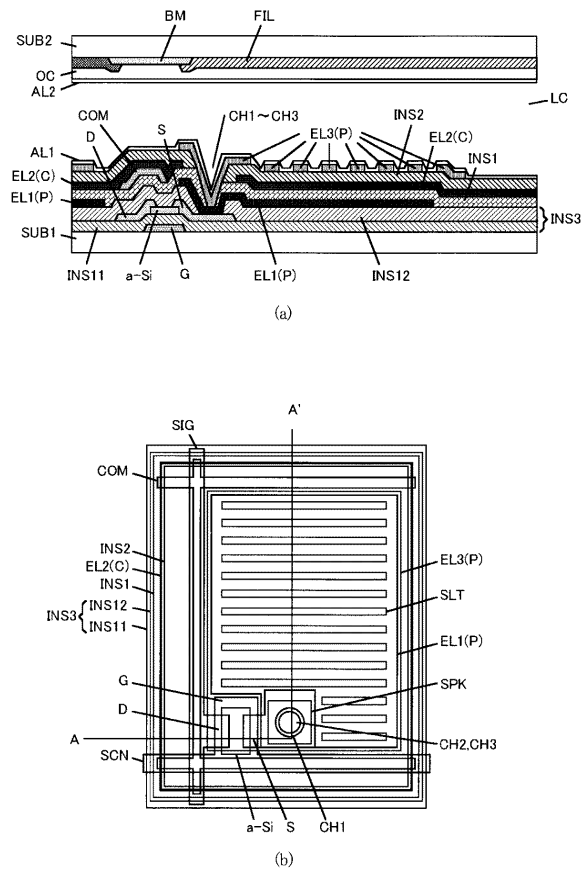
【図26】

図26



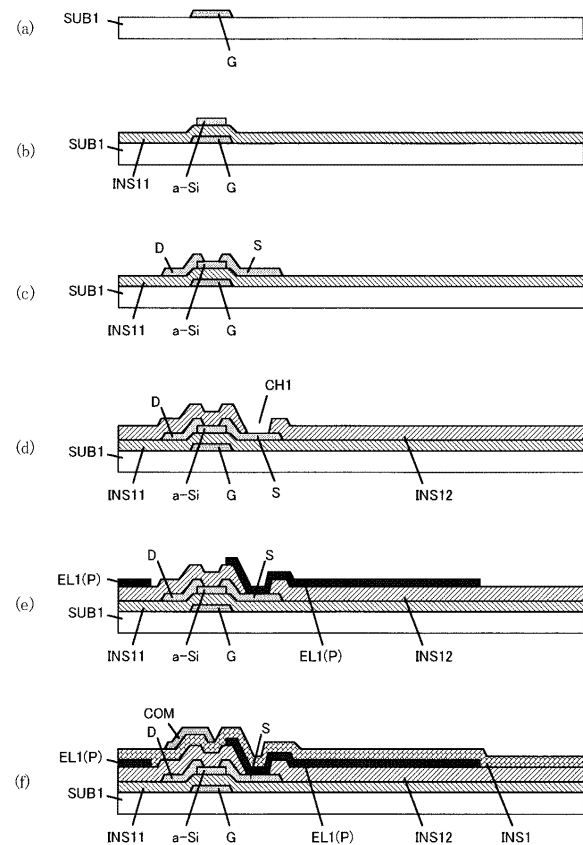
【図27】

図27



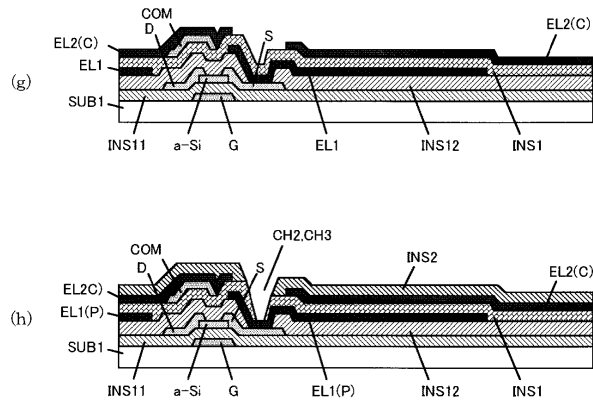
【図28-1】

図28-1



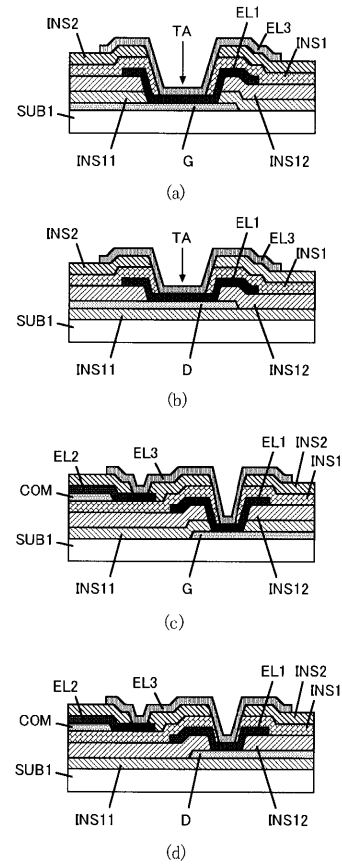
【図28-2】

図28-2



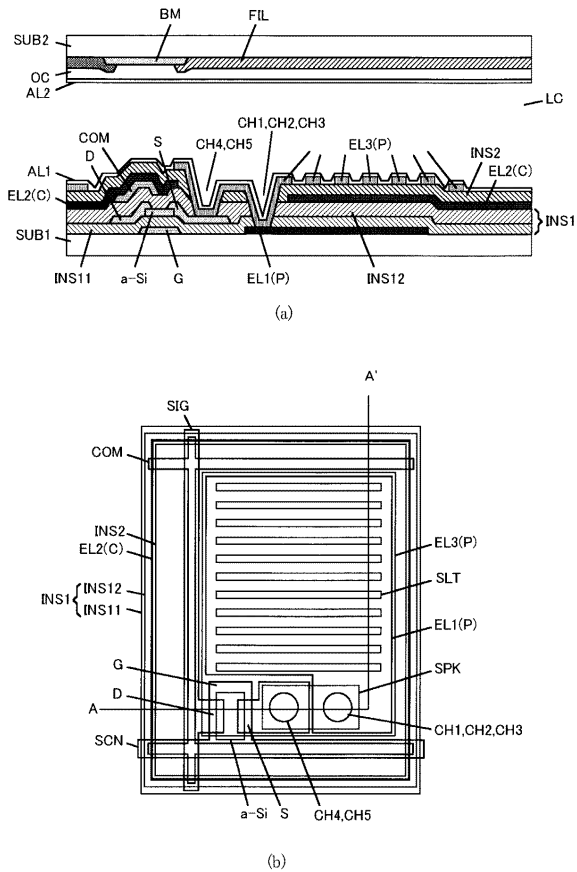
【図29】

図29



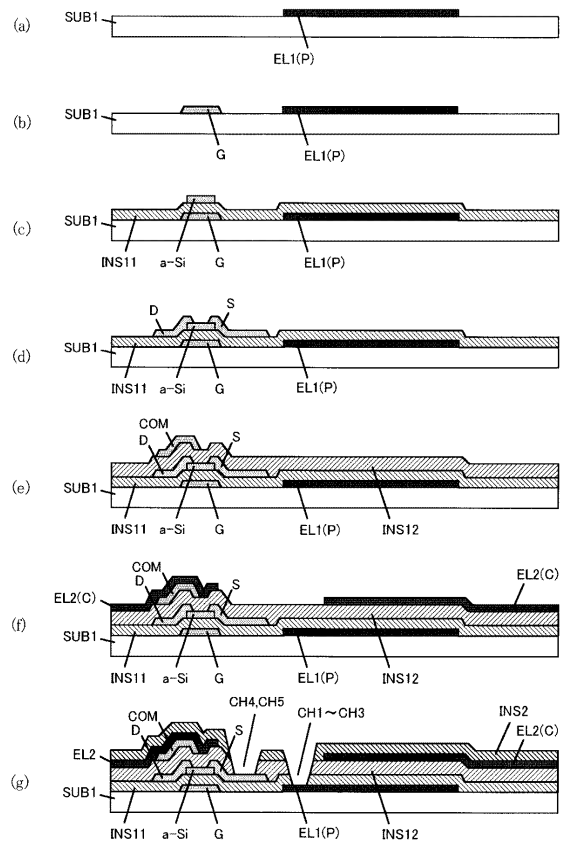
【図30】

図30



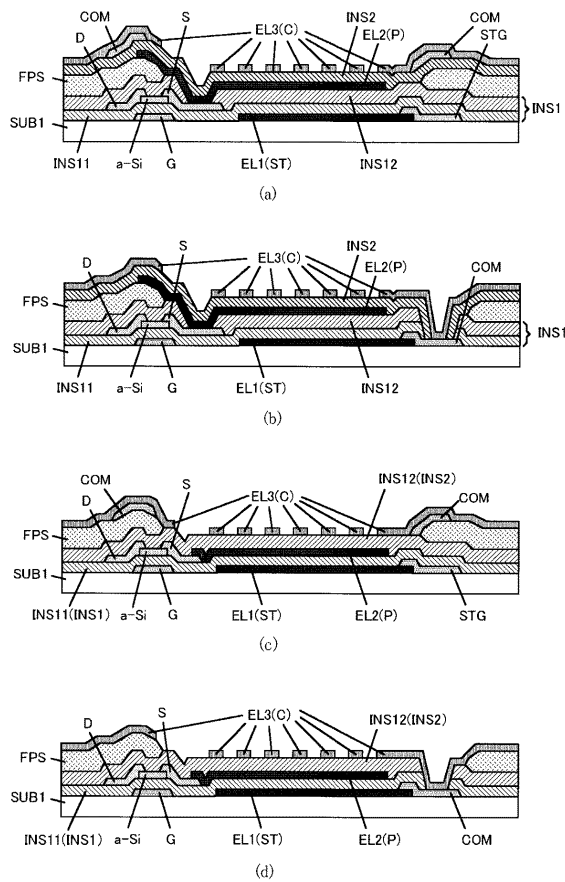
【図31】

図31



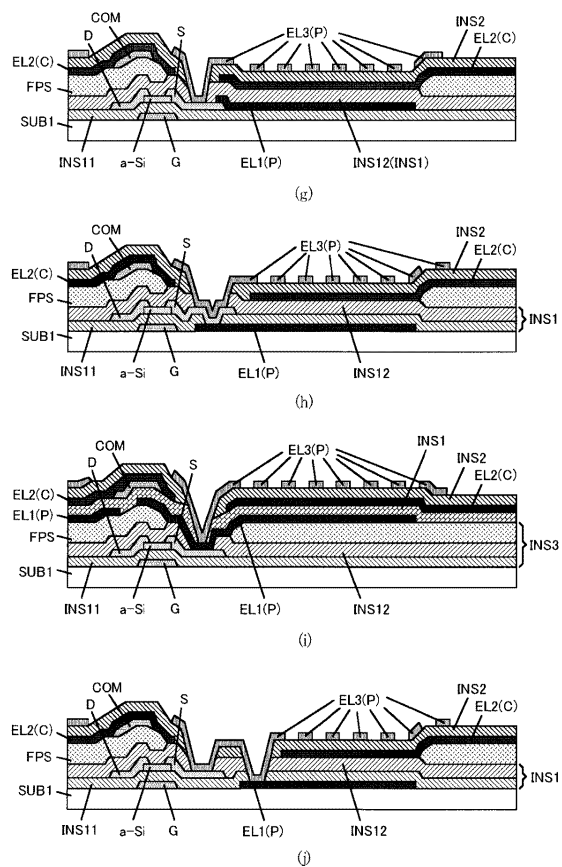
【図32-1】

図32-1



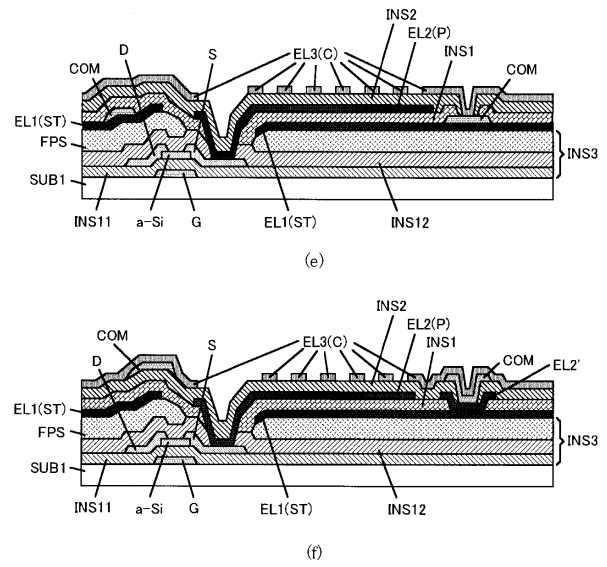
【図32-3】

図32-3



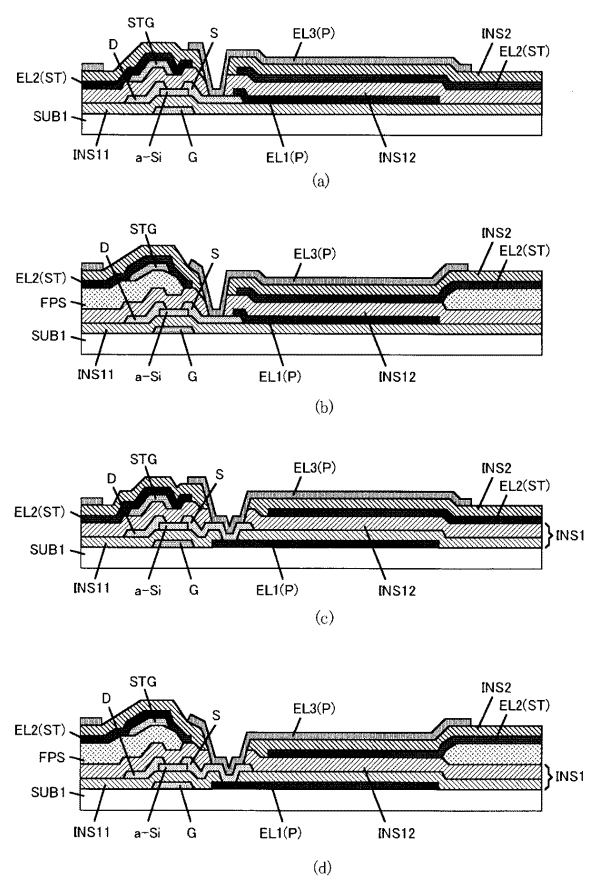
【図32-2】

図32-2



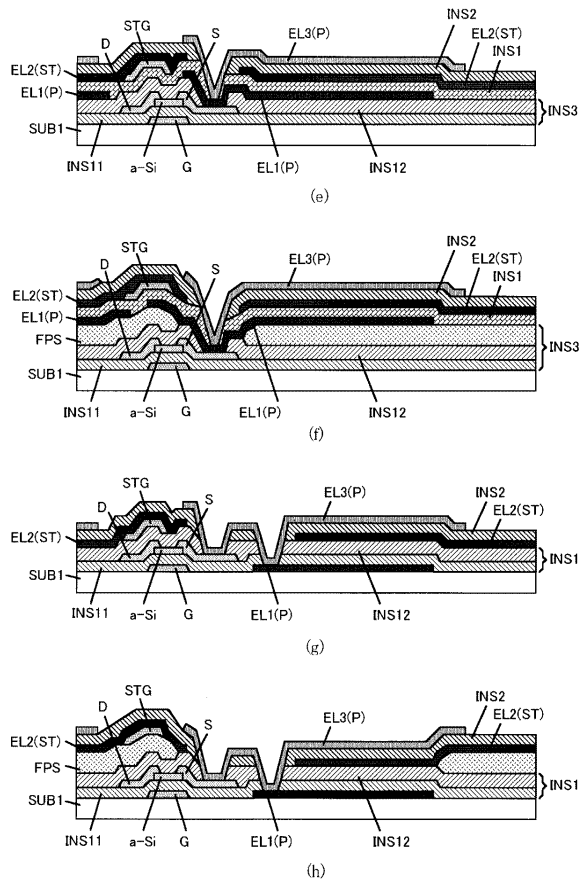
【図33-1】

図33-1



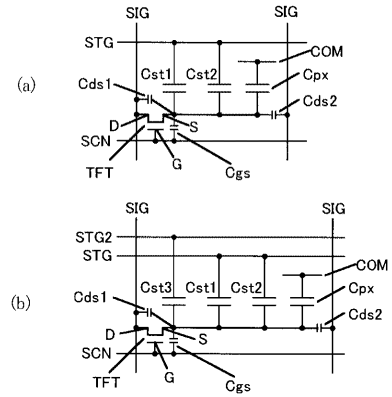
【図 33 - 2】

図33-2



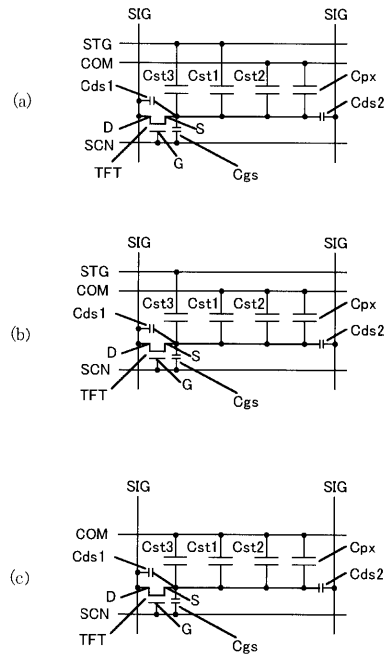
【図 34】

図34



【図 35】

図35



フロントページの続き

(74)代理人 110000154

特許業務法人はるか国際特許事務所

(72)発明者 佐々木 亨

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 落合 孝洋

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

審査官 清水 督史

(56)参考文献 特開平 0 2 - 0 4 4 3 1 7 (J P , A)

特開昭 6 3 - 1 2 1 8 8 6 (J P , A)

特開平 0 6 - 1 4 8 6 8 7 (J P , A)

特開平 0 6 - 1 4 8 6 8 4 (J P , A)

特開 2 0 0 7 - 0 0 4 1 2 5 (J P , A)

特開 2 0 0 7 - 0 5 7 7 5 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3

G 0 2 F 1 / 1 3 3 3

G 0 2 F 1 / 1 3 6 8

专利名称(译)	液晶表示装置		
公开(公告)号	JP5235363B2	公开(公告)日	2013-07-10
申请号	JP2007228412	申请日	2007-09-04
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	有限公司日本东显示器 松下液晶显示器有限公司		
[标]发明人	佐々木亨 落合孝洋		
发明人	佐々木 亨 落合 孝洋		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1333		
CPC分类号	G02F1/134363 G02F1/136213 H01L27/124 H01L27/1255 G02F1/133345 G02F1/133512 G02F1/133514 G02F1/13439 G02F1/136227 G02F1/136286 G02F1/1368 G02F2001/13629		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1333.505		
F-TERM分类号	2H090/HA03 2H090/HA04 2H090/HB02X 2H090/HB03X 2H090/HB04X 2H090/HD07 2H090/LA01 2H092/GA14 2H092/GA16 2H092/GA17 2H092/HA04 2H092/JA24 2H092/JB16 2H092/JB56 2H092/JB65 2H092/JB69 2H092/KB25 2H092/MA01 2H092/MA13 2H092/NA12 2H092/NA21 2H190/HA03 2H190/HA04 2H190/HB02 2H190/HB03 2H190/HB04 2H190/HD07 2H190/LA01 2H192/AA24 2H192/BB12 2H192/BB13 2H192/BC31 2H192/BC74 2H192/BC82 2H192/CB05 2H192/DA12 2H192/DA62 2H192/DA65 2H192/EA22 2H192/EA43 2H192/FA65 2H192/JA02 2H192/JA33		
其他公开文献	JP2009058913A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在具有液晶显示面板的显示装置中构造足够尺寸的存储电容器，所述液晶显示面板具有最小尺寸的像素。解决方案：液晶显示装置具有液晶显示面板，该液晶显示面板包括第一基板，第二基板和保持在第一基板和第二基板之间并具有以矩阵排列的多个像素的液晶。第一基板在设置在每个像素的至少一部分中的透射显示区域中具有分层结构，该结构包括第一透明电极，第一绝缘膜，第二透明电极，第二绝缘膜和第三透明电极，从第一基板靠近第一基板的一侧依次，第一透明电极和第二透明电极彼此电绝缘，并通过第一绝缘膜，第二透明电极和第三透明电极构成第一存储电容器电极彼此电绝缘，并通过第二绝缘膜构成第二存储电容器。Z

