

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 140188

(P2003 - 140188A)

(43)公開日 平成15年5月14日 (2003.5.14)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
G 0 9 F 9/30	338	G 0 9 F 9/30	5 C 0 9 4
	349		349 B
9/35		9/35	

審査請求 未請求 請求項の数 13 O L (全 24数)

(21)出願番号 特願2001 - 341369(P2001 - 341369)

(22)出願日 平成13年11月7日 (2001.11.7)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小野 記久雄

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(72)発明者 桶 隆太郎

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(74)代理人 100075096

弁理士 作田 康夫

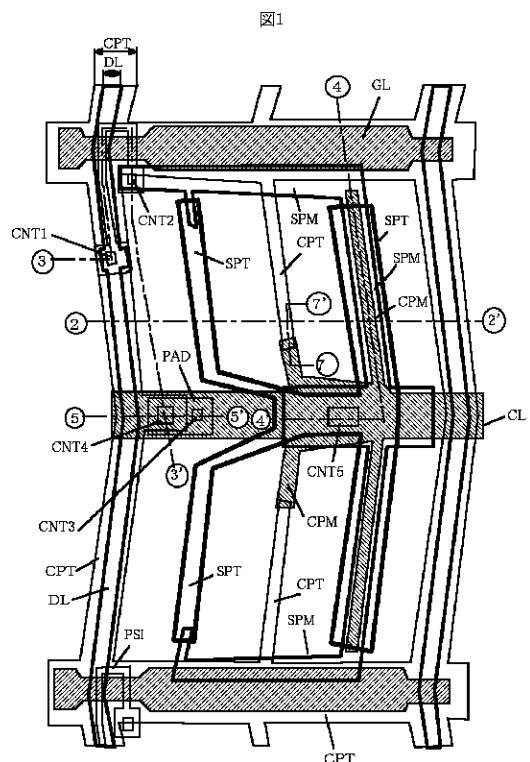
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】低温ポリシリコン T F T を用いて広視野角、明るい、信頼性の高い I P S 方式液晶表示装置を提供する。

【解決手段】櫛歯電極の透明画素電極の下部に絶縁膜を挟んで不透明画素電極、さらにその下部に共通電極を配置し、前記共通電極と不透明の金属電極との間に保持容量を形成する、画素を4分割する場合、その画素電極と共通電極の間隔を1画素内で不等ピッチサイズ、不等電極幅にすることで安定動作で明るい I P S 液晶表示装置が得られる。



【特許請求の範囲】

【請求項 1】透明な第 1 の基板と第 2 の基板に挟まれた液晶層とカラーフィルタ層とを有し、

前記第 1 の基板上には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成され、それぞれの画素は共通電極配線と、共通電極、画素電極とを有する横電界型の液晶表示装置において、

前記ドレイン配線上に絶縁膜を介して形成された共通電極と、櫛歯状であり、かつ該共通電極と同層に形成された層を有する画素電極を有し、該画素電極の少なくとも 1 つは多層で構成され、かつ下層の画素電極と前記共通電極配線層により保持容量が形成されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】前記共通電極配線は前記ゲート配線とほぼ平行に形成され、前記共通電極と前記共通電極配線は前記絶縁膜を含む絶縁膜の開口部を通じて接続されていることを特徴とする請求項 1 記載のアクティブマトリクス型液晶表示装置。

【請求項 3】前記下層の画素電極は前記画素電極の他層と絶縁膜を介して構成されていることを特徴とする請求項 1 あるいは 2 に記載のアクティブマトリクス型液晶表示装置。

【請求項 4】隣接するドレイン配線間の横断線に沿った主透過部を 1 画素内で少なくとも 4 つ以上有し、画素内に前記ドレイン線上の共通電極と前記共通電極配線が接続されるスルーホール部を有し、該画素内の前記スルーホール部から遠い側のドレイン線に近い側の画素電極が前記保持容量を形成していることを特徴とする請求項 1 ないし 3 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項 5】前記薄膜トランジスタはポリシリコンで構成され、前記保持容量の絶縁膜は前記薄膜トランジスタのゲート配線を被覆する無機絶縁膜であることを特徴とする請求項 1 ないし 4 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項 6】透明な第 1 の基板と第 2 の基板に挟まれた液晶層とカラーフィルタ層とを有し、
前記第 1 の基板上には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成され、それぞれの画素は共通電極配線と、共通電極、画素電極とを有する横電界型の液晶表示装置において、
前記絶縁膜上に同層で形成された共通電極と画素電極を

有し、該共通電極と該画素電極間の間隙に絶縁膜を介し、かつ平面的に重畳して前記共通電極あるいは前記画素電極と同一電位が印加された金属電極が形成されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 7】前記絶縁膜上に配置された画素電極及び共通電極のパターン端部が、透明電極で構成されていることを特徴とする請求項 6 記載のアクティブマトリクス型液晶表示装置。

【請求項 8】前記絶縁膜が、アクリルなどの有機系絶縁膜で構成されていることを特徴とする請求項 6 記載のアクティブマトリクス型液晶表示装置。

【請求項 9】第 1 の基板と第 2 の基板に挟まれた液晶層とカラーフィルタ層とを有し、

前記第 1 の基板上には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成され、それぞれの画素は共通電極配線と、共通電極、画素電極とを有する横電界型の液晶表示装置において、

隣接するドレイン配線間の 1 画素の領域が、前記ドレイン配線間で少なくとも 4 つの以上に前記画素電極あるいは共通電極により分割された開口部を有しており、前記開口部の幅が該開口部の両側の電極の幅の和の順に構成されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 10】第 1 の基板と第 2 の基板に挟まれた液晶層とカラーフィルタ層とを有し、

前記第 1 の基板上には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成され、それぞれの画素は共通電極配線と、共通電極、画素電極とを有する横電界型の液晶表示装置において、

隣接するドレイン配線間の 1 画素の領域が、前記ドレイン配線間で少なくとも 4 つの以上に前記画素電極あるいは共通電極により分割された開口部を有しており、前記ドレイン配線上に絶縁膜を介して形成された共通電極と、櫛歯状でありかつ該共通電極と同層に形成された層を有する画素電極を有し、該画素電極の少なくとも 1 つは多層で構成され、かつ下層の画素電極と前記共通電極配線層により保持容量が形成されており、該保持容量を形成した画素電極と、該画素電極に隣接するドレイン配線上の共通電極との間の開口部幅が他の開口部幅より広いことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項11】第1の基板と第2の基板に挟まれた液晶層とカラーフィルタ層とを有し、

前記第1の基板上には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成され、それぞれの画素は共通電極配線と、共通電極、画素電極とを有する横電界型の液晶表示装置において、

前記隣接するドレイン配線間に挟まれた1画素の領域がドレイン配線間で4分割以上にされた開口部をし、該4分割された開口部の幅それぞれが相互に異なることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項12】第1の基板と第2の基板に挟まれた液晶層とカラーフィルタ層とを有し、

前記第1の基板上には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成され、それぞれの画素は共通電極配線と、共通電極、画素電極とを有する横電界型の液晶表示装置において、

ドレイン配線上に絶縁膜を介してその上部に共通電極を有し、

該共通電極と同層でかつ該共通電極より幅の狭い透明導電体による画素電極を有し、該画素電極の幅方向の端部が前記絶縁膜の下部に配置されかつ該画素電極と同電位が印加された金属電極で遮光されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項13】前記透明導電体による画素電極の幅より前記金属電極幅が広いことを特徴とする請求項12記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、特に薄膜トランジスタ(TFT)方式等のアクティブマトリクス型液晶表示装置及びその製造方法に関するものである。

【0002】

【従来の技術】液晶表示装置は薄型、軽量、低消費電力といった特長を生かして、パーソナルコンピュータに代表される情報機器や携帯型の情報端末や携帯電話、デジタルカメラやカメラ一体型VTR機器等のビジュアル機器の画像情報、文字情報の表示機器として広く用いられている。近年、DVDの登場、大容量磁気ドライブの急速な進化による大容量メディアの普及やBSデジタル放送の開始に伴い、パーソナルコンピュータと映像デジタルメディアの融合が進んでおり、このような用途に対応できる

高画質の画像表示装置への要求が強くなっている。液晶の上下基板間の液晶間隙(ギャップ)に横電界を印加するインプレーンスイッチング(IPS)モードの液晶ディスプレイは、このような高い画質に対する要求を満たすことが可能な表示方式であることが認められており、その画質の更なる改善に向けてさまざまな改良がなされてきた。

【0003】一方、携帯電話、携帯情報端末の普及に伴い、消費電力の極めて小さな中小型の液晶表示装置に対する要求も強くなっている。

【0004】IPSモードの液晶表示装置では、特開平7-36058号に開示されているような、絶縁膜を挟んだ2層の金属電極間に発生する横電界により液晶をスイッチングする方式がもっとも一般的であるが、このような構造の欠点として、通常のTN方式の表示装置に比べ、画素開口率を大きくすることが困難で、光利用効率が低いという欠点がある。これを補うために、バックライト輝度を増大させねばならないため、LCDモジュール全体としてノートブックタイプのパーソナルコンピュータや携帯端末に要求されるような低消費電力化は困難であった。

【0005】このような問題を解決するため、特開平9-230378号では、有機系の樹脂上に画素電極及び共通電極を前記樹脂に開口したスルーホールを介して配置させる方式が提案されている。

【0006】またスイッチングさせるためのアクティブ素子として、アモルファスシリコンを用いたTFT以外に、ポリシリコンを用いたTFTが知られている。

【0007】

【発明が解決しようとする課題】IPS型液晶表示装置では、TNより開口率が低く高開口率化が必要という課題がある。また映像デジタルメディア対応のための高輝度化の実現という課題がある。さらに、低消費電力化の課題もある。

【0008】また発明者らは、画素電極や共通電極の一部を例えばインジウム錫酸化物(ITO)等の透明導電体で構成した場合、その電極端から一定幅は光が透過して実質的開口率(透過率)を向上させることができるが、液晶材料をポジ型とした場合、電界印加により端部の液晶分子が基板面に対して立ち透過光に対して斜め成分を持つことにより、視野角が狭くなり、広視野角というIPS型の特徴が損なわれるという新たな課題を見出した。

【0009】さらに本願では、高輝度化対応時の半導体素子への光照射量の増大により生じるTFTオフ時のリーク電流増加を抑制するという課題にも取り組む。

【0010】以上の課題の1つあるいは複数の解決することが本願の目的である。その目的のいくつかを詳細に示すと、第1の目的は低温ポリシリコンTFTを画素TFTに用いたIPS方式の液晶表示装置において、開口

率（透過率）を落とさずに保持容量を増加配置させた T F T 液晶表示装置を提供することにある。また第2の目的は I P S 方式の液晶表示装置において、有機樹脂上に画素電極あるいは共通電極を配置した場合、画素分割が4分割以上で開口率（透過率）を上げるか、あるいは保持容量増加させる T F T 液晶表示装置を提供することにある。また第3の目的は広視野角特性と低電圧駆動を両立できる T F T 液晶表示装置を提供させることにある。

【0011】本願の他の目的および解決する課題は、本願明細書において明らかとなるであろう。

【0012】

【課題を解決するための手段】本発明による課題を解決するための手段の主な例を挙げると、以下のようになる。

【0013】（手段1）透明な第1の基板と第2の基板に挟まれた液晶層とカラーフィルタ層とを有し、前記第1の基板には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成され、それぞれの画素は共通電極配線と、共通電極、画素電極とを有する横電界型の液晶表示装置において、前記ドレイン配線上に絶縁膜を介して形成された共通電極と、櫛歯状であり、かつ該共通電極と同層に形成された層を有する画素電極を有し、該画素電極の少なくとも1つは多層で構成され、かつ下層の画素電極と前記共通電極配線層により保持容量を形成する。

【0014】（手段2）手段1において、前記共通電極配線は前記ゲート配線とほぼ平行に形成され、前記共通電極と前記共通電極配線は前記絶縁膜を含む絶縁膜の開口部を通じて接続されている。

【0015】（手段3）手段1あるいは2において、前記下層の画素電極は前記画素電極の他層と絶縁膜を介して構成する。

【0016】（手段4）手段1ないし3のいずれかにおいて、隣接するドレイン配線間の横断線に沿った主透過部を1画素内で少なくとも4つ以上有し、画素内に前記ドレイン線上の共通電極と前記共通電極配線が接続されるスルーホール部を有し、該画素内の前記スルーホール部から遠い側のドレイン線に近い側の画素電極が前記保持容量を形成する。

【0017】（手段5）手段1ないし4において、前記薄膜トランジスタはポリシリコンで構成され、前記保持容量の絶縁膜は前記薄膜トランジスタのゲート配線を被覆する無機絶縁膜である。

【0018】（手段6）透明な第1の基板と第2の基板に挟まれた液晶層とカラーフィルタ層とを有し、前記第1の基板には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、

前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成され、それぞれの画素は共通電極配線と、共通電極、画素電極とを有する横電界型の液晶表示装置において、前記絶縁膜上に同層で形成された共通電極と画素電極を有し、該共通電極と該画素電極間の間隙に絶縁膜を介し、かつ平面的に重畳して前記共通電極あるいは前記画素電極と同一電位が印加された金属電極を形成する。

10 【0019】（手段7）手段6において、前記絶縁膜上に配置された画素電極及び共通電極のパターン端部を透明電極で構成する。

【0020】（手段8）手段6において、前記絶縁膜をアクリルなどの有機系絶縁膜で構成する。

【0021】（手段9）第1の基板と第2の基板に挟まれた液晶層とカラーフィルタ層とを有し、前記第1の基板には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成され、それぞれの画素は共通電極配線と、共通電極、画素電極とを有する横電界型の液晶表示装置において、隣接するドレイン配線間の1画素の領域が、前記ドレイン配線間で少なくとも4つの以上に前記画素電極あるいは共通電極により分割された開口部を有しており、前記開口部の幅が該開口部の両側の電極の幅の和の順に構成する。

【0022】（手段10）第1の基板と第2の基板に挟まれた液晶層とカラーフィルタ層とを有し、前記第1の基板には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成され、それぞれの画素は共通電極配線と、共通電極、画素電極とを有する横電界型の液晶表示装置において、隣接するドレイン配線間の1画素の領域が、前記ドレイン配線間で少なくとも4つの以上に前記画素電極あるいは共通電極により分割された開口部を有しており、前記ドレイン配線上に絶縁膜を介して形成された共通電極と、櫛歯状でありかつ該共通電極と同層に形成された層を有する画素電極を有し、該画素電極の少なくとも1つは多層で構成され、かつ下層の画素電極と前記共通電極配線層により保持容量が形成されており、該保持容量を形成した画素電極と、該画素電極に隣接するドレイン配線上の共通電極との間の開口部幅が他の開口部幅より広くする。

【0023】（手段11）第1の基板と第2の基板に挟まれた液晶層とカラーフィルタ層とを有し、前記第1の基板には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記

ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成され、それぞれの画素は共通電極配線と、共通電極、画素電極とを有する横電界型の液晶表示装置において、前記隣接するドレイン配線間に挟まれた1画素の領域がドレイン配線間で4分割以上にされた開口部をし、該4分割された開口部の幅それぞれを相互に異ならせる。

【0024】(手段12)第1の基板と第2の基板に挟まれた液晶層とカラーフィルタ層とを有し、前記第1の10基板上には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成され、それぞれの画素は共通電極配線と、共通電極、画素電極とを有する横電界型の液晶表示装置において、ドレイン20配線上に絶縁膜を介してその上部に共通電極を有し、該共通電極と同層でかつ該共通電極より幅の狭い透明導電体による画素電極を有し、該画素電極の幅方向の端部が前記絶縁膜の下部に配置されかつ該画素電極と同電位が印加された金属電極で遮光する。

【0025】(手段13)手段12において、前記透明導電体による画素電極の幅より前記金属電極幅を広くする。

【0026】本発明のさらなる手段は以下の通りである。

【0027】本発明の第1の目的を達成する手段は、IPS型表示装置において、表示用電界の形成部となる細く延びる画素電極と、該画素電極と絶縁膜を介して重畳30された共通電極電位部を設け、該細く延びる画素電極と共通電極電位部の間に保持容量を形成することにある。

【0028】前記保持容量の共通電極は前記画素電極に対して、一方の絶縁膜を介して下部に延在し、さらに他方の絶縁膜を介して上部に延在することにより、さらに保持容量増加を図ることが出来る。

【0029】前記画素電極の他方の絶縁膜を介して上部に延在する共通電極を透明電極とし、前記延在する画素電極の少なくとも一方の端部を被覆してはみ出すことにより開口率を犠牲にすること無く保持容量の増加が実現40する。

【0030】さらに、ドレイン線上の共通電極とドレイン線より下層の共通電極もしくは基準信号線間をスルーホールで接続する接続領域を有し、1画素領域に4つ以上櫛歯間の開口部を有する構成において、前記接続領域と反対側の櫛歯状の画素電極と共通電極で保持容量を構成することで達成される。

【0031】本発明の第2の目的を達成する手段は、IPS表示装置の主開口領域が4つ以上存在する構成で、前記主透過部の液晶を駆動するための電位としてドレイ50

ン線上の共通電極の電位、前記共通電極と連結されたドレイン線上を被覆しない共通電極の電位、ドレイン線上の共通電極と同層の画素電極の電位を設けることである。前記共通電極、前記画素電極の少なくとも一方か、両方が透明電極であることによりその効果を高められる。さらに本発明の第2の目的を達成する手段は、隣接するドレイン線間のIPS表示装置の光透過領域を4つ以上とする場合、該透過領域の幅をすべて異ならせることである。特に、透過領域両側の櫛歯の幅の和の逆順に透過領域の幅を構成することで、実効的透過率を最大と出来る。さらに、画素電極の幅としては、前記櫛歯の中でも保持容量を構成した部分の櫛歯幅を広く設定することにより容量の最大化も実現する。ドレイン線上に絶縁膜を介して上部に形成された共通電極と、保持容量を形成した画素電極櫛歯の間隔を最も広く形成することで、第2の目的を最大限達成できる。

【0032】本発明の第3の目的を達成する手段は、絶縁膜上に配置された画素電極あるいは共通電極の少なくとも一方が透明電極により構成され、さらに延在する櫛歯の少なくとも一方の端部が、前記透明電極より絶縁膜を挟んで下層に配置された電極と重畳部を有し、該電極が前記透明電極と同一電位が印加された遮光金属電極で遮光されていることにより実現される。

【0033】本発明の更なる手段は、以下の発明の実施の形態の中で明らかとなるであろう。

【0034】

【発明の実施の形態】本発明の特徴を示す代表的な構造を、以下実施例により説明する。

【0035】(実施例1)図1~図5は本発明の一実施例の液晶表示装置に係る画素の平面および断面図である。図2、図3、図4、図5はそれぞれ図1における2-2'、3-3'、4-4'、5-5'として一点鎖線で示した切断線での断面を示す。図面では切断部を分かりやすくするため、数字を○で囲い切断部を示している。なお図は説明用に要部を記載した物であり、配向膜は図からは省略している図もある。また対向基板側の構成も省略している図もある。以下、順を追って示す。

【0036】図1は画素の模式平面パターンを示す。隣接するゲート配線GL、隣接するドレイン配線DLに囲まれて1画素を構成する。ゲート配線GLはポリシリコンPSIで構成されたTFTのゲート電極としても作用し、TFTをオンさせる電圧を供給する。ドレイン線はポリシリコンPSIへの電流を供給する、すなわち前記ゲート電圧GLがオン電圧を供給したタイミングで印加された映像電圧(ドレイン電圧)を1画素の液晶容量、保持容量に給電し、結果的に金属画素電極SPM及びこれに連結された透明画素電極SPTの電位が映像電位となる。

【0037】前記電流の流れはドレイン配線DLから第1のコンタクトホールCNT1を通じてポリシリコンP

S Iに繋がり、このポリシリコン中の電流は第2のコンタクトホールCNT2を通じて、金属画素電極SPMに流れる。さらに金属画素電極SPMから第5のコンタクトホールCNT5を介して、絶縁膜上の透明画素電極SPTに至る。

【0038】図1では、DLとPSIのコンタクトホールCNT1の周囲でDLを局部的に太く構成した。これにより、CNT1の接続抵抗の低減と安定したコンタクトが実現する。むろん、コンタクトが正常に出来ればDLの太さは同じでも良い。

【0039】画素電極と共に液晶容量あるいは保持容量を構成するもう一方の電極の共通電極電位は以下の経路を持ち印加される。隣接するゲート配線間のほぼ中央に配置された共通電極配線CLにまず共通電位が印加される。この電位は、フレーム毎に交流化される画素電位のほぼ中点電位が設定される(図17で再度詳細を説明する)。上記共通電極配線の電位は、まず第3のコンタクトホールCNT3を介して電極パッドPADへ繋がる。さらに上記電極パッドは上部の絶縁膜を介して、ドレイン配線DL、ゲート配線GLを被覆する透明共通電極CPTに最終的に電位を供給する。この画素電極電位と共通電極電位により液晶容量あるいは保持容量が構成されると共に、この電位間の電位差により電界を液晶層内に生じせしめ、前記ドレイン配線DLから供給された映像電圧と前記共通電圧で映像を表示する。図1における主な透過部は2-2'線にそった4つの開口部である。

【0040】以下、各部の構成を断面図を用いて詳細に説明する。図2は図1の2-2'線に沿った断面図であり、隣接するドレイン線DL間の1画素領域を横切る部分である。歪点約670の無アルカリTFTガラス基板GLS1上に膜厚50nmの Si_3N_4 膜と膜厚120nmの SiO_2 膜からなる下地絶縁膜ULSが形成されている。下地絶縁膜ULSはTFTガラス基板GLS1からのNa等の不純物の拡散を防止する役割を持つ。下地絶縁膜ULS上には、 SiO_2 からなるゲート絶縁膜GIが成膜されている。GI膜上には例えばMoあるいはMoW等の金属共通電極CPMが形成されている。この金属共通電極CPMは図1のゲート配線GL、共通電極配線CLと同一工程、同一材料からなり、前記共通電極配線CLから枝別れしてパターンニングされてい

【0041】上記部材全部を覆うように SiO_2 からなる層間絶縁膜ILIが形成され、層間絶縁膜ILI上にはTi/Al/Tiのように3層金属膜よりなるドレイン配線DLが形成されている。

【0042】その上層には膜厚200nmの Si_3N_4 からなる保護絶縁膜PASと膜厚2 μ mのアクリル系樹脂を主成分とする有機保護膜FPASにより被覆されている。有機保護膜FPAS上では、まずドレイン配線DLの幅より広く、インジウム-スズ酸化物(ITO)

よりなる透明共通電極CPTが形成されている。同一工程、同一材料で作製されたITOからなる透明画素電極SPTも前記有機絶縁膜FPAS上に形成されている。

【0043】上記説明中、配線材料は特に限定する物ではない。

【0044】主な透過領域は(1)ドレイン線DL上の透明共通電極CPTと透明画素電極SPT間、(2)前記透明画素電極SPTと図1の平面図において上下のゲート配線GLから共通電極配線CL側に延びた透明共通電極CPTの間、(3)前記透明共通電極と金属共通電極CPMと金属画素電極SPMを被覆するように前記有機保護膜FPAS上に配置された透明画素電極SPTの間、(4)前記透明画素電極SPTとドレイン配線DL上の透明共通電極CPTの間の4つの領域である。上記透明画素電極SPT、透明共通電極CPTが液晶を駆動する電極である。

【0045】一方、液晶LCを封止する対向の基板はカラーフィルタ(CF)基板GLS2である。CFガラス基板GLS2は、液晶側に色表示を行う顔料を分散した有機膜材料から構成された色フィルタ(FIL)がその画素毎に割り当てられた色に応じて、青(B)、赤(R)、緑(G)の透過光を表現する色フィルタ(赤ではFIL(R))となっている。その内側には有機材料からなるオーバコート膜OC膜が形成されている。OC膜は無くても良いが、平坦性を向上する目的ではあるほうが望ましい。CF基板GLS2及びTFT基板GLS1の液晶LCに対して接している面には配向膜OLIが印刷されて所定のラビングが施され、初期配向方向を制御している。また上記、CFガラス基板GLS2及びTFTガラス基板GLS1の外側の面にはそれぞれ偏光板POLが貼られる。この偏光板は互いのガラス基板間で偏向軸が直交するいわゆるクロスニコル状態が形成されている。

【0046】ラビング方向と偏光板の角度の関係を図32に示す。偏光軸の一方PD2はGLと同方向に、他方PD1はGLと直交方向としている。またラビング方向RDは上下基板ともGLと直交する方向とした。これによりノーマリーブラックモードの配置となり、さらに図1のような屈曲形状の画素パターンによりマルチドメイン化を行っている。むろん、非マルチドメインの場合も本願の範疇に含むものであり、その場合でも偏光板配置がクロスニコルになるようにすることが必要である。

【0047】本断面構造の特徴の1つは、有機絶縁膜FPAS上の透明画素電極SPT及び透明共通電極CPTにより液晶LCに対して、1画素が少なくとも4分割の開口(主な透過領域)を持つことである。

【0048】また別の特徴は、透明画素電極SPTの櫛歯の形成領域において、その下部の金属画素電極SPMが絶縁膜ILIを介してその下部の金属共通電極CPM

との間に保持容量 C_{stg} を構成している点にある。この保持容量 C_{stg} 領域は金属電極を主体として形成されているので、その容量値を増加すると開口率が低下する問題がある。図1で示した画素は色フィルタがいわゆる縦ストライプであるため、隣接するゲート線 GL 間隔は、隣接するドレイン線 DL 間隔の3倍である。従って、図1に示すドレイン線 DL の内側で開口部を挟んでドレイン線 DL に平行して延在する透明画素電極 SPT の下部に保持容量 C_{stg} を形成することにより開口率を低下させずに大きな容量値を形成できる。

【0049】さらにこの延在する保持容量 C_{stg} は、画素内で透明共通電極 CPT と共通電極配線 CL をつなぐ電極パッド PAD に対して、遠い位置の透明画素電極 SPT の下部に配置されることが望ましい。これは、 TFT の第2のコンタクトホール $CNT2$ から保持容量 C_{stg} 下部へ延びる金属画素電極 SPM と電極パッド PAD は同一工程、材料から構成されているため、電極パッド PAD に対して遠い位置の透明画素電極 SPT の下部に配置することによりレイアウトの干渉を回避でき、保持容量 C_{stg} としてより大きな値を実現することが可能となる。

【0050】図3は図1の3-3'の線に沿った断面図である。本断面図は図1の平面図においてドレイン配線 DL ～第1のコンタクトホール $CNT1$ ～ TFT のポリシリコン層 PSI ～第2のコンタクトホール $CNT2$ ～共通電極配線 CL 上に形成された電極パッド PAD ～第4のコンタクトホール $CNT4$ と透明共通電極 CPT の接続部分の断面を示す。図3の断面図の左側は TFT の断面である。ドレイン配線 DL 、金属画素電極 SPM をいわゆるドレイン電極、ソース電極とし、ゲート配線 GL をゲート電極として、ゲート絶縁膜 GI を有するいわゆる MOS 型 TFT である。 ULS 上に $p-PSi$ 層があり、ドレイン配線 DL 及び金属画素電極 SPM はゲート絶縁膜 GI 及び層間絶縁膜 ILI に開けられた第1のコンタクトホール $CNT1$ 及び第2のコンタクトホール $CNT2$ を各々通じて、低温ポリシリコン PSI のリンを不純物としてドーパされた高濃度 n 型層 $PSI(n+)$ に接続されている。該高濃度 n 型層 $PSI(n+)$ は導電性が高く、擬似的に配線部として働く。一方 GL 下の PSI はボロンを不純物としてドーパされた p 型層 $PSI(p)$ となっており、いわゆる半導体層として働き、 GL に ON 電位で導通状態、 OFF 電位で非導通状態となるスイッチング動作を示す。ゲート配線 GL にオン電圧が印加された場合、ゲート配線 GL 下部でゲート絶縁膜 GI 下部であり、ボロンを不純物としてドーパされた p 型層 $PSI(p)$ のゲート絶縁膜 GI 界面のポテンシャルが反転してチャンネル層が形成され、 n 型化され TFT にオン電流が流れ、結果的に金属画素電極 SPM へ電流が流れ液晶容量及び保持容量が充電される。

【0051】図1で PSI は GL と直線状に交差するよ

う構成している。 DL が GL に対し斜めに交差するのに対照的な構造となっている。これは、 PSI と GL が斜めに交差すると、 PSI のチャンネル部の断面積を必要以上に拡大してしまい、リーク電流の増加による保持特性の劣化が生じる場合があるからである。そこで図1の構造では、ほぼ直交するように配置し、構造的にリークを最小とした。

【0052】図4は図1の4-4'の線に沿った断面図である。本断面図は主に保持容量 C_{stg} を構成する側の透明画素電極 SPT に沿った断面図である。保持容量は共通電極配線 CL から枝別れした金属共通電極 CPM 及び共通電極配線 CL を一方の電極とし、他方の電極を TFT に接続される金属画素電極 SPM とし、絶縁膜として層間絶縁膜 ILI を用いることにより形成されている。透明画素電極 SPT は有機絶縁膜 FPA 及び保護膜 PA に開けられた第5のコンタクトホール $CNT5$ 部で金属画素電極 SPM に接続される。

【0053】また CPM と SPM と SPT の重畳部は、3層以上の導電層が重畳し、かつ上層ほど幅広で構成されている。このように構成することにより、下層の電位の影響を上層で確実にシールドし、下層の影響を液晶層に及ぼすことを防止でき、高画質の液晶表示装置が実現する。

【0054】図5は図1の5-5'線に沿った断面図である。本断面構造部は共通電極配線 CL の電位を第3のコンタクトホール $CNT3$ から電極パッド PAD に繋ぎ、さらに電極パッドと有機保護膜 FPA 上の透明共通電極 CPT に接続する部分である。電極パッド PAD は本構造の場合、第4のコンタクトホール $CNT4$ で透明共通電極 CPT と共通電極配線 CL を直接接続した場合、コンタクトホールの深さが大きくなり、エッチング選択比が低下し、透明共通電極 CPT が断線する比率が高まるという問題がある。そこで本願ではドレイン配線 DL と同一工程、材料で構成された電極パッド PAD を間に挟むことで、透明共通電極 CPT と共通電極配線 CL を安定して接続できるようにした。

【0055】図26は図1の7-7'線に沿った断面図である。金属性の共通電極 CPM の端部と、透明電極性の共通電極 CPT の端部が重畳して構成されている。このように構成することで、 CPT 端部から CL に至る領域で SPT と短絡を生じさせずに櫛歯状の共通電位を構成することが可能となり、実効的光透過領域が拡大し、開口率が拡大する効果を奏することができる。

【0056】図6及び図7は実施例1の特徴を明らかにするための画素の平面図であり、図6は画素を構成する複数のレイヤ、部材の中からゲート配線 GL とドレイン配線 DL 及び有機保護膜 FPA に配置された透明画素電極 SPT 及び透明共通電極 CPT のパターンのみを抜き出して記載したものである。本実施例で説明している構造は、図2でも明らかなように、透明画素電極 SPT

と透明共通電極CPTが共に有機保護膜FPAS上にある。これにより絶縁膜を画素電極と共通電極で挟み、該電極間のみで表示用電界を形成する構造に比べ、駆動電圧を低減できる効果がある。絶縁膜によるロス分が解消できるからである。しかし、この透明画素電極SPTと透明共通電極CPTは同一工程、同一材料で構成されているため、短絡防止のため互いを分離したパターンとする必要がある。効率良くレイアウトするには、4分割以上の場合、ゲート配線を被覆する透明共通電極から内側に透明画素電極CPTを延在させ、CPTと接続しないようにその間に透明画素電極SPTを配置すれば良い。4分割の場合には、図6のようにX字状に透明画素電極SPTを配置すれば良い。

【0057】また本構造では、各画素でのFPASの透明電極からの露出部が連続した領域として形成される。これにより、透明電極エッチング時にエッチング液の濃度差が画素内で局所的に異なることを防止できる。画素内で循環できるからである。これにより、透明電極のエッチング性が向上し、寸法バラツキの低減により輝度むらの低減が実現する。また各画素で内部に折れ曲がりパターンを有する領域を内在し、その外周に連続した有機膜露出領域を有することで、配向膜の密着性が向上し、剥がれを生じ難く信頼性が高い構造とすることが出来る。

【0058】また本実施例ではゲート線GLに対してほぼ垂直方向に初期配向処理を例えばラビングで行う。ドレイン線DL及び櫛歯電極は平面図の上下の垂線に対して、おおよそ10～15度の角度で曲がっている。これにより図6の上下方向に初期配向された液晶分子が画素電極と共通電極間に電圧差を与えることにより横電界を発生し、かつその際の電界方向が櫛歯電極が上下で曲がっていることにより図6の上側の領域と下側の領域で異なった方向に回転し、マルチドメイン効果を実現する。しかしながら、図6の丸で囲んだ領域は、透明画素電極SPTと透明共通電極が分離され、ゲート線方向GLに沿った電界ではなく、上下(垂直)方向の電界がかかるので液晶分子の回転がみだれ、いわゆるディスクリネーションが発生し、透過率が低下したり、応答が遅くなる原因となる。そこで本願では、ゲート線GL方向の成分を有する横電界をこの部分にも印加し、ディスクリネーションの発生を抑制した。このため、図6の丸印で囲んだSPTとCPTの離間対向領域を、有機保護膜FPAS下部の金属画素電極SPMや金属共通電極CPMでここを遮光してふさぐことによりディスクリネーションの発生を防止し、透過率を向上し、実効開口率を大きくした。より効果を拡大するためには、遮光する電極として透明の櫛歯電極SPTあるいはCPTと同電位の金属電極を用いるとさらに効果が高い。すなわち、櫛歯端部と同電位の金属電極で延在部を形成、遮光することにより、あたかも櫛歯電極がそのまま延在したかの如く動作

するため、有効に動作する領域を拡大できるものである。

【0059】またこれは、上層電極と下層電極により同一の電極を構成した物である。これにより、同一電極に対しB-Vカーブの異なる2領域を構成できるため、製造バラツキなどの影響を低減でき、製品間のバラツキ、及び面内での加工バラツキの影響を低減でき、輝度むらの少ない表示装置が実現できる。

【0060】さらに、上層電極と下層電極はスルーホールによる給電のほかに、容量結合によっても給電される。これにより、万一スルーホールで断線が生じ、スルーホール経由での給電が停止しても、容量結合により櫛歯電極に正常な電位が供給できるため、冗長構造となり、歩留りの改善も実現する。

【0061】図7は遮光電極としても働く金属画素電極SPMの配置をあらわす平面図である。金属画素電極SPMはTFTからの電位を透明画素電極SPTの下部を延在する形で自段のゲート配線GLを覆う透明共通電極CPTと透明画素電極SPTのすきまを遮光し、一本の透明画素電極SPTの下部を経て、次段のゲート配線GLを覆う透明共通電極CPTと透明画素電極SPTのすきまを遮光するようにレイアウトされる。この延びる金属画素電極SPMは前述のように保持容量Cstgを大きくする効果がある。またこの迂回する金属画素電極SPMは電極パッドPADとのパターン干渉をさける配置としているため、さらにCstgを大きくすることが出来る。また短絡の回避が出来、歩留り向上にも寄与する。

【0062】またPADが遮光性の金属材料で構成されていることで、TH周囲の光漏れも遮光でき、コントラスト比の向上が実現する。

【0063】次に、図3に示すようなNMOS型TFTの製造工程を図8～図12及び図3を用いて説明する。

【0064】厚さ0.7mm、サイズ730mm×920mmの歪点約670の無アルカリTFTガラス基板GLS1を洗浄後、SiH₄とNH₃とN₂の混合ガスを用いたプラズマCVD法により膜厚50nmのSi₃N₄膜、続いて、テトラエトキシシランとO₂の混合ガスを用いたプラズマCVD法により、膜厚120nmのSiO₂膜の積層の下地絶縁膜ULSを形成する。本絶縁膜ULSは多結晶シリコン膜へのTFTガラス基板GLS1からのNa拡散を防止するためである。Si₃N₄、SiO₂ともに形成温度は400である。なお、本願では半導体層として多結晶シリコンで代表するが、巨大結晶シリコン、連続粒界シリコン、アモルファスシリコンでもよい。

【0065】次に、上にSiH₄、Arの混合ガスを用いたプラズマCVD法によりほぼ真性(イントリンシック)の水素化非晶質シリコン膜を50nm形成する。成膜温度は400で、成膜直後水素量は約5at%であ

る。次に基板を450℃で約30分アニールすることにより、水素化非晶質シリコン膜中の水素を放出させる。アニール後の水素量は約1at%である。

【0066】次に、波長308nmのエキシマレーザ光LASERを前記非晶質シリコン膜にフルエンス400mJ/cm²で照射し、非晶質シリコン膜を熔融再結晶化させて、ほぼ真性の多結晶シリコン膜を得る。この時レーザビームは幅0.3mm、長さ200mmの細線状の形状であり、ビームの長手方向とほぼ垂直な方向に基板を10μmピッチで移動しながら照射した。照射時

は窒素雰囲気とした。

【0067】通常のホテルソグラフィ法により所定のレジストパターンを多結晶シリコン膜上に形成しCF₄とO₂の混合ガスを用いたリアクティブイオンエッチング法により多結晶シリコン膜PSIを所定の形状に加工する(図8)。

【0068】次に、テトラエトキシシランと酸素の混合ガスを用いたプラズマCVD法により膜厚100nmのSiO₂を形成しゲート絶縁膜GIを得る。この時のテトラエトキシシランとO₂の混合比は1:50、形成温度は400℃である。引き続きイオン注入法によりよりBイオンを加速電圧33KeV、ドーズ量1E12(cm⁻²)で打ちこみ、n型TFETのチャネル領域のポリシリコン膜PSI(p)を形成する。

【0069】次にスパッタリング法により、金属配線、例えばMoあるいはMoW膜を200nm形成後、通常のホテルソグラフィ法により所定のレジストパターンをMo膜上に形成し、混酸を用いたウエットエッチング法によりMo膜を所定の形状に加工し走査配線GLおよび第2の共通電極配線CLを得る。

【0070】エッチングに用いたレジストパターンを残したまま、イオン注入法によりよりPイオンを加速電圧60KeV、ドーズ量1E15(cm⁻²)で打ちこみ、n型TFETのソース、ドレイン領域PSI(n+)を形成する(図9)。上記でn型TFETのソース、ドレインがn+型の低温ポリシリコン膜PSI(n+)及びp型のチャネル領域のポリシリコン膜PSI(p)ができあがるが、以下のようにp型とn+型の間にPイオン濃度がn+型より少ないn型のLDD領域を作り、TFETのリーク電流を低減することができる(図示していない)。すなわち、エッチングに用いたレジストパターンを除去後、再度イオン注入法によりPイオンを加速電圧65KeV、ドーズ量2E13(cm⁻²)で打ちこみ、n型TFETのLDD領域を形成する。LDD領域の長さはMoをウエットエッチングしたときのサイドエッチング量で定められる。本実施例の場合約0.8μmである。この長さはMoのオーバーエッチング時間を変化させるすることで制御できる。

【0071】次に、基板にエキシマランプまたはメタルハライドランプの光を照射するラピッドサーマルアニー

ル(RAT)法により打ち込んだ不純物を活性化する。エキシマランプまたはメタルハライドランプ等の紫外光を多く含む光を用いてアニールすることにより、多結晶シリコン層PSIのみを選択的に加熱でき、ガラス基板が加熱されることによるダメージを回避できる。不純物の活性化は、基板収縮や曲がり変形等が問題にならない範囲で、450℃程度以上の温度での熱処理によっても可能である(図9)。

【0072】次に、テトラエトキシシランと酸素の混合ガスを用いたプラズマCVD法により膜厚500nmのSiO₂を形成し層間絶縁膜ILIを得る。この時のテトラエトキシシランとO₂の混合比は1:5、形成温度は350℃である。

【0073】次に、所定のレジストパターンを形成後、混酸を用いたウエットエッチング法により、前記層間絶縁膜に第1のコンタクトスル-ホールCNT1、第2のコンタクトホールCNT2及び図1の平面図の第3のコンタクトホールCNT3を開孔する(図10)。

【0074】続いて、スパッタリング法により、Tiを50nm、Al-Si合金を500nm、Tiを50nmを順次積層形成した後に所定のレジストパターンを形成し、その後BCl₃とCl₂の混合ガスを用いたリアクティブイオンエッチング法により一括エッチングし、ドレイン配線DLと金属画素電極SPM、電極パッドPADを得る(図11)。

【0075】SiH₄とNH₃とN₂の混合ガスを用いたプラズマCVD法により膜厚300nmのSi₃N₄膜である保護膜PASを形成し、さらに、スピン塗布法によりアクリル系感光性樹脂を約3.5μmの膜厚で塗布し、所定のマスクを用いて露光、現像して前記アクリル系樹脂にスルーホールを形成する。次に230℃で20分ベークすることで、アクリル樹脂を焼成し、膜厚2.0μmの平坦化有機保護膜FPASを得る。続いて、前記有機保護膜FPASに設けたスルーホールパターンをマスクとして下層のSi₃N₄膜をCF₄を用いたリアクティブイオンエッチング法により加工し、Si₃N₄膜に第4のコンタクトホールCNT4を形成する(図12)。

【0076】このように有機保護膜FPASをマスクとして用いて下層の絶縁膜を加工することにより、一回のホテルソグラフィ工程で2層の膜をパターンニングでき、工程を簡略化できる。

【0077】最後にスパッタリング法によりITO膜等の透明導電膜を70nm形成し、混酸を用いたウエットエッチングにより所定の形状に加工して透明共通電極CPTおよび図1の平面図に示した透明画素電極SPTを形成しアクティブマトリクス基板が完成する(図3)。以上6回のホテルソグラフィ工程で多結晶シリコンTFETが形成される。

【0078】次に液晶パネルの概観の平面構造について

説明する。図13は上下のガラス基板GLS1、GLS2を含む表示パネルのマトリクス（AR）周辺の要部平面を示す図である。このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。

【0079】図13は後者の例を示すもので、上下基板GLS1、GLS2の切断後を表している。いずれの場合も、完成状態では外部接続端子群Tg、Tdが存在する（図で上辺）部分はそれらを露出するように上側基板GLS2の大きさが下側基板GLS1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述するTF Tガラス基板GLS1上で表示部ARの左右に配置された低温ポリシリコンTF Tの走査回路G S C Lへ供給する電源及びタイミングデータに関する接続端子、表示領域ARの上部でTF Tガラス基板GLS1上に低温ポリシリコンTF Tの映像信号回路D D Cへの映像データあるいは電源データを供給するため端子Tdである。引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP（図14）の単位に複数本まとめて名付けたものである。各群のマトリクス部から映像信号回路D D Cを経て外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルの映像信号端子Tdを合わせるためである。

【0080】透明ガラス基板GLS1、GLS2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。

【0081】図2の断面構造で示した配向膜ORI層は、シールパターンSLの内側に形成される。液晶LCは液晶分子の向きを設定する下部配向膜ORIと上部配向膜ORIとの間でシールパターンSLで仕切られた領域に封入されている。

【0082】この液晶表示装置は、下部透明TF Tガラス基板GLS1側、上部透明CFガラス基板GLS2側で別個に種々の層を積み重ね、シールパターンSLを基板GLS2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板GLS2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0083】図14は、図13に示した表示パネルに映像信号駆動ICを搭載したTCPとTF T基板GLS1上に低温ポリシリコンTF Tで形成した信号回路D D Cとの接続及びTF T基板GLS1に低温ポリシリコンT

FTで形成した走査回路G S C Lと外部とを接続した状態を示す上面図である。

【0084】TCPは駆動用ICチップがテープ・オートメイトド・ボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB1は上記TCPやコントロールICであるTC ON、その他電源用のアンプ、抵抗、コンデンサ等が実装された駆動回路基板である。CJはパソコンなどからの信号や電源を導入するコネクタ接続部分である。

【0085】図15はテープキャリアパッケージTCPを液晶表示パネルの、信号回路用端子Tdに接続した状態を示す要部断面図である。テープキャリアパッケージTCPは異方性導電膜ACFによって液晶表示パネル接続される。パッケージTCPは、電気的にはその先端部がパネル側の接続端子Tdと接続されれば良いが、実際はTF Tの保護膜PAS、有機保護膜FPASの開口部を覆うように形成された、透明共通電極CPTと同一工程で形成された透明電極ITOと接続されている。シールパターンSLの外側の上下ガラス基板の隙間は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側CF基板GLS2の間には更にシリコン樹脂が充填され保護が多重化されている（図示していない）。また上下のガラス基板GLS2、GLS1の液晶LCに対するギャップは有機膜で形成された支柱SPCあるいはファイバでその高さが決定されている。

【0086】表示マトリクス部の等価回路とその周辺回路の結線図を図16に示す。図中、DLはドレイン線を意味しDL1、DL2、DL3とその数字が画面左からの画面内のドレイン配線（映像信号線）を意味する、添字R、GおよびBがそれぞれ赤、緑および青画素に対応して付加されている。GLはゲート配線GLを意味し、GL1、GL2、GL3とその数字が画面上部からの画面内のゲート線を意味する。添字1、2、は走査タイミングの順序に従って付加されている。CLは共通電極配線を意味し、CL1、CL2とその数字が画面上部からの画面内の共通電極配線を意味する。

【0087】ゲート配線GL（添字省略）はガラス基板上の走査回路G S C Lに繋がれ、その走査回路への電源あるいはタイミング信号はガラス基板外部のPCB上に形成された電源及びタイミング回路SCCから供給される。上記において低温ポリシリコンTF Tで構成されたガラス基板上の走査回路は、冗長性を高めるために1本のゲート線（走査線）に対して左右の両側から給電されているが、画面サイズなどに応じて片側から給電しても良い。

【0088】一方、ドレイン配線DLへの給電はガラス基板上の低温ポリシリコンTF Tで構成された信号回路D D Cから給電される。信号回路D D Cはガラス基板の映像信号回路ICで構成された回路よりの映像データをR、G、Bの色データに応じて分配する機能を持つ。従

って、ガラス基板上の信号回路からの接続端子数は画面内のドレイン配線数の三分の一である。また、共通線CLは画面内の画素のコモン電位を与えるが、本実施例1の各電圧の駆動方式ではほぼ一定の電位を与えるので、これは画面の左右に引き出され、まとめて結線され、電源及びタイミング回路ICのSCCに結線される。

【0089】画面内の低温ポリシリコンTFTは、n型のTFTであり、ゲート配線GLにゲート電圧を印加し、そのタイミングでドレイン線DLに給電されたドレイン電圧（データ）を共通電極配線CLとの間の液晶容量CLCに給電することにより表示を行う。液晶容量CLCの電位を表示期間中に維持する能力を向上するために、共通電極配線CLあるいは金属共通電極CPMと図4に示すように金属画素電極SPMとの間に保持容量Cstgを形成する。CCはドレイン配線DLの断線を検査する低温ポリシリコンTFTで形成した検査回路であり、CPADは検査端子である。

【0090】図17に本発明の液晶表示装置の駆動波形を示す。共通電極電圧Vcomを直流電圧とした場合の例を示す。ゲート電圧Vgは1ゲート線毎に順次走査し、ドレイン電位Vdに対して、画素の低温ポリシリコンTFTのしきい電圧を更に加算した電圧が印加された際に画素TFTがオン状態になり、図16に示した液晶容量CLCに充電される。上記共通電極電圧Vcom、ゲート電圧Vg、ドレイン電圧Vdはそれぞれ図16の共通電極配線CL、ゲート配線GL、ドレイン配線DLに印加される。本実施例では、ドレイン電圧Vdは、例えば、ノーマルブラックモードでの液晶表示で白表示を行う場合を示しており、ゲート線は1ライン毎に選択され、そのライン毎に共通電極電圧Vcomに対してプラス、マイナスの極性反転される。画素電位VpはTFTを通じて液晶容量CLCに充電されるが、奇数、偶数フレームで共通電極電位Vcomに対して反転される。特定のアドレスのTFTのゲート配線GLに対して、ゲート配線が選択されVgがVdより大きくなると液晶容量CLCに画像に対応する電位が充電されるが、上記のように次ぎのフレームになり、共通電極電位Vcomに対して反転されたVdが印加されるまで液晶容量CLCの電位は保持されなければならない。この保持率はTFTのオフ（リーク）電流が大きくなると低下する。これを防止するには、図16の等価回路の保持容量Cstgを大きく設定する必要がある。この保持容量Cstgは、図1、図2、図4の平面及び断面構造でわかるように、金属画素電極SPMと金属共通電極CPMの間の層間絶縁膜ILIで構成されている。プレーナ構造の低温ポリシリコンTFTでは図3の断面構造でわかるように、ポリシリコン層PSIの下部に遮光金属がない。そこで本願では、この保持容量Cstgを増加させることによってリーク電流の影響を低下せしめ、保持率の低下を防止した。

【0091】図18は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。SHDは金属板から成る枠状のシールドケース（メタルフレーム）、LCWはその表示窓、PNLは液晶表示パネル、SPBは光拡散板、LCBは導光体、RMは反射板、BLはバックライト蛍光管、LCAはバックライトケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0092】モジュールMDLは、シールドケースSHDに設けられた爪とフックによって全体が固定されるようになっている。バックライトケースLCAはバックライト蛍光管BL、光拡散板SPB、導光体LCB、反射板RMを収納する形状になっており、導光体LCBの側面に配置されたバックライト蛍光管BLの光を、導光体LCB、反射板RM、光拡散板SPBにより表示面で一様なバックライトにし、液晶表示パネルPNL側に出射する。バックライト蛍光管BLにはインバータ回路基板PCB2が接続されており、バックライト蛍光管BLの電源となっている。

【0093】（実施例2）図19は本発明の第2の実施例を示す画素の平面図であり、図20はその効果より明確に表すために1画素の平面パターンの内、共通電極配線CL、金属共通電極CPM、ゲート配線GL及びドレイン配線DL、金属画素電極SPMのパターンのみを示したものである。

【0094】図19は実施例1と同様にドレイン配線DLを横切る方向に主な透過部を4つもつIPS方式の画素パターンである。構成は実施例1に近いが大きな特徴は保持容量Cstgの値を実施例1に比べて1.5倍と大きくしても開口率を低下させない構造になっている点である。画素を駆動するTFTが形成されたゲート配線GL（自段のゲート配線）のTFTの第2のコンタクトホールCNT2に接続された金属画素電極SPMは自段のゲート配線GL上を覆うように配置された透明共通電極CPTの下部を通過し、画素中心線に対して電極パッドPADの対向の位置にある透明画素電極SPT下部に延在し、次段のゲート配線GLと近傍を通過し、再度他の透明画素電極SPT下部に延在する。一方、自段のゲート配線GL付近の金属画素電極SPMは枝別れし、電極パッド付近に向かい透明画素電極SPTの下部に延びる。電極パッドPADと前記金属画素電極SPMは同一工程、材料で構成されており、その干渉があり平面パターン上は共通電極配線CLまでは至らない。

【0095】一方、共通電極配線CLから金属共通電極CPMは、櫛歯状に延びた金属画素電極と重畳するように枝別れして延在される。

【0096】図20は上記パターンにおいて保持容量Cstgを構成する2つの電極パターン、すなわち、金属画素電極SPMと金属共通電極CPM及び共通電極配線CLのパターンを示す保持容量Cstgの増加状況を示

す。図中のハッチングで示した領域は、前記金属画素電極SPMと金属共通電極CPM及び共通電極配線CLの重畳部分であり、これは図4の断面構造で示す層間絶縁膜ILIを絶縁膜とする保持容量Cstg形成部分である。実施例1で示した第3の櫛歯KS3に比べて新たに第1の櫛歯KS1付近に保持容量Cstgが増量された。パター的な特徴は第1の櫛歯は電極パッドPADと金属画素電極SPMが同一工程、材料で形成されているので、その干渉により最適化パターンとなっている。

【0097】すなわち、隣接するゲート配線GLから共通電極配線CLへ向かって金属画素電極SPMが内側へ延び、共通電極配線CLと重ならないパターンとなっている。

【0098】上記のパターンにすることにより、実施例1に比べて、櫛歯形状の透明画素電極SPT下部すべて（4分割の場合は2本の画素電極櫛歯）に、一方の電極を金属共通電極CPM、他方の電極を金属電極SPMとする保持容量Cstgを構成できその容量値を大きく設定できる。これにより、テレビ用途も含めて極めて大きな光源のライトの低温ポリシリコンPSIへの光照射によるリーク電流の発生に起因する液晶容量及び保持容量に保持された電荷のリーク量を相対的に低減でき、保持特性の安定した明るい表示装置が提供できる。

【0099】（実施例3）図21は本発明の第3の実施例における画素の平面図、図22は図21の平面図における22-22'線における断面構造での液晶表示装置において、TFTガラス基板GLS1の下部側からバックライトを照射した場合の櫛歯電極間の主な透過部の透過率分布を示す。

【0100】図21の画素の平面パターンは、基本的には実施例1の図1の平面パターンと同様である。異なるのは図中の4分割された主な透過領域の櫛歯電極間の寸法であるL1、L2、L3、L4の間隔がドレイン配線DL上透明共通電極CPT及び透明画素電極SPTの電極幅において1画素すなわち液晶表示装置として透過率を最大とするように配置されている点である。

【0101】図22は図21の22-22'方向の線の断面図での透過率分布である。同図(a)は実施例1の透過率分布、同図(b)は本実施例の透過率分布である。透明画素電極SPT及び透明共通電極CPTの電極幅および間隔を単位μmで記載してある。隣接するドレイン配線DL間の寸法は88μmである。

【0102】図22(a)の寸法と透過率の関係を詳述する。ドレイン配線DLは幅が8μmであり、これを有機絶縁膜FAS上で被覆する透明共通電極CPTは幅が16μmである。この幅は、ドレイン配線DLからの画素電位への漏れこみを防止するためシールドのためにもドレイン配線DLに対して幅が広く設定されている。透明画素電極SPTと透明共通電極CPTの間に印加される電界で液晶LCを駆動させる。電極間隔は4つの主透

過幅であるL1、L2、L3、L4で同じである。電極幅はドレイン配線DL上の透明共通電極CPT及び保持容量Cstgを形成する透明画素電極SPTを除き幅は5μmである。保持容量Cstgを構成する透明画素電極幅は幅が大きいのは保持容量を構成する金属電極の合わせを考慮した場合で、これにより安定した表示ができる。透過率は液晶としてボジ型液晶、液晶印加電圧を5.5Vとした場合、L1及びL4領域が高く、次にL3領域、低いのはL2領域である。本表示装置は無電界で黒表示の、いわゆる、複屈折型のノーマルブラック表示モードである。これは電圧に対して、透過率が上昇し最大値を持ち、それ以上の電圧印加では逆に低下する特性になる。L1、L4の透過領域に対してはほぼ最大透過率を達成しており、L2領域の透過率を上げるために仮に印加電圧を更に上げて逆にもL1、L4の透過率が低下し、液晶表示装置自身の明るさが低下する。

【0103】同図(a)では、透明画素電極SPT上の領域及び透明共通電極CPT上の領域では各電極はITOの透明電極を使用しているにも関わらず透過率は低い。これはIPS表示方式は画素と共通電極間の横電界で液晶分子を回転させている方式であるため、電極幅の中央付近は無電界領域となるため透過率が低下する。但し、電極端部では横電界がフリンジ状にかかるのでITO電極上であっても端部から1.5μm付近までは液晶分子が回転し、透過するため、結果的にその部だけ電極自身を透過電極とすることで透過率が向上する。

【0104】図22(b)に示す実施例3の構成では図22(a)の構成に比べて、電極幅を変えずに透過率が向上する。ドレイン配線DL上の透明共通電極幅はドレイン線DLのシールドの役目もあり、その幅は16μmと広い。次に保持容量Cstgを構成する透明画素電極SPTは保持容量形成のために8μmである。他の透明電極は5μmと狭い。電極幅が広いほど、その開口部にかかる有効電界は大きくなる。従って、保持容量Cstgを構成する透明画素電極SPTと透明共通電極CPT間の距離L4が最も広く設定でき、5μmの電極幅で規定されたL2の間隔を最も狭く設定すれば、電極幅を変えずとも、最大印加電圧に対して透過率の最大になる電圧値を揃えることができ、開口率を一定（電極間隔L1～L4の総計）にしたままで透過率を30%向上できた。また逆に言えば、透過率を一定とした設計では駆動電圧を70%まで低減できる効果があった。即ち、4分割の間隔を不等間隔にすることで透過率、駆動電圧を改善できた。特に、ドレイン配線DLと保持容量Cstgを構成する画素電極の間隔を最も広く設定することができる。

【0105】このような関係を満たすには、各画素における電極間開口部での電極間の距離を、該開口部の両側の電極幅の和の順になるような関係で設定すればよい。図22(b)の例では、両側の電極の和はL1に対し2

1、L2に対し10、L3に対し13、L4に対し24となるため、L2部<L3部<L1部<L4部となる。したがって電極間の距離は和の順に、すなわち $L2 < L3 < L1 < L4$ とすればよく、図22(b)では $12.5 < 13.0 < 14.0 < 14.5$ とした。これにより、電極間の電界強度をそろえることが可能となり、上述のように透過率向上、駆動電圧低減が実現される。

【0106】(実施例4)図23は本発明の第4の実施例における1画素の平面図、図24は図23の24-24'線に沿った透過率分布及び断面構造、図25は図23の25-25'線に沿った断面構造である。

【0107】図23の画素はドレイン配線DLの線に対して、IPS表示方式では2分割の透過領域を持つ。本構造は隣接するドレイン配線DL間の距離が小さい画素に適し、実施例1より高精細の液晶表示装置への対応を容易に実現する。図23は、実施例1に対し各種配線、電極の寸法は同じであり、画素ピッチが狭い場合を示している。

【0108】基本構造は実施例1と同様であるが、ピッチが細かい画素であるため、画素が2分割である。すなわち、液晶の駆動は、ドレイン配線DL上の透明共通電極CPTと中央の透明画素電極SPT間で形成される横電界で行う。また保持容量Cstgは中央の透明画素電極SPT下部の金属共通電極CPMと金属画素電極SPMの間の層間絶縁膜で形成する。

【0109】本実施例のような高精細の画素を用いる液晶表示装置は、一例として低消費電力を必要とするノートパソコン用に使用される。高精細のため写真画質の鮮明な画像が要求され広視野角の特性が要求される。

【0110】図24は図23の24-24'線部分の透過率分布と構造を、それぞれ(a)、(b)に示す。図24(b)の構造を先に説明する。ドレイン配線DL上には保護膜PASと有機保護膜FPASが成膜されその上部には透明共通電極CPTが形成されている。中央の透明画素電極SPTの下部には金属画素電極SPMと更にその下部には層間絶縁膜ILIを介して金属共通電極CPMが形成されている。金属共通電極CPMと金属画素電極SPM間で保持容量Cstgを構成している。

【0111】本実施例の特徴は、有機保護膜FPAS上の透明画素電極SPTのその電極端部の少なくとも一方を下部の金属画素電極SPMで遮光している点であり、本実施例では両方を遮光している。この遮光用に働く電極はIPSの表示原理上、上層の透明電極と同電位が印加されていることが望ましい。表示電界の擾乱を防止するためである。本構造は表示上次の特徴を持つ。液晶を駆動するのは、あくまでも有機保護膜上の透明画素電極SPT及び透明共通電極CPTにかかる横電界による。したがって透明画素電極SPT及び透明共通電極CPTは画素電極と共通電極の間に絶縁膜を挟むことなく配置されているので、駆動電圧を下げることができ、回路電

力を小さくできる。

【0112】一方、透明画素電極SPTの幅W2より、下部の金属画素電極SPMの幅W1を広く設定している。SPT部の透過光を遮光している。透明画素電極SPT端部付近は、図24(b)に示す通り縦方向のフリンジ電界が発生し、液晶分子LCがボジ型の場合分子が縦方向の電界により立つことになる。横電界方式の広視野角は、液晶分子が水平に回転することにより達成されているものであり、この液晶分子が立った部分を透過する光はその視野角範囲が狭い特性を持つ。このため、 $W1 < W2$ の場合には、液晶表示装置全体として視野角特性が劣化してしまう。そこで本願では、 $W1 > W2$ とすることで、SPT部の透過光を遮光し、視野角特性の劣化を防止した。換言すれば、図24(a)に示す通り、画素内で最も狭い透明画素電極の端部近辺を同電位を与える金属で遮光することにより、視野角の劣化がなく、低電圧駆動を実現した。

【0113】ここで図24(b)から明らかなように、透明共通電極CPTの端部は、DLで遮光していない。すなわち、CPTの端部は光が透過する領域として設定されている。これが開口率を向上し、明るいIPS型液晶表示装置を実現する上での重要なポイントである。液晶を駆動する電界はCPTとSPTの間で形成される。このとき、電極幅の広いほうでは電極上でもより横電界に近い電界となる一方、電極幅の狭い電極上の電界は縦電界に近い物となる。このため、電極幅が狭いほうの電極、すなわちこの場合SPTの端部のみを遮光すれば視野角への影響をほぼ防止でき、かつCPT端部をあえて遮光しないことにより高開口率化、高輝度化を実現することが出来、これらが両立するのである。

【0114】図25は隣接するドレイン配線DLを横切る断面図で、共通電極配線を示す。透明共通電極CPTは共通電極配線CLから層間絶縁膜ILIに開口された第3のコンタクトホールCNT3を介して電極パッドPADでまず導通され、さらに、保護膜PAS及び有機保護膜FPASに開口された第4のコンタクトホールCNT4を通じて共通電極電位を液晶に供給する。一方、透明画素電極SPTは金属画素電極SPMから保護膜PAS及び有機保護膜FPASに開口された第5のコンタクトホールCNT5を通じて、画素電位を液晶に供給する。

【0115】(実施例5)図27に画素の平面構造を示す。図1との違いはSPMと自段のGL、すなわちSPMに給電するスイッチング素子が形成された側のGLとの間に間隙を設けて構成し、その間隙を覆ってSPTが形成されている点である。

【0116】これによりGLの負荷を低減し、大型、高精細対応の液晶表示装置においても輝度むらの発生を回避することが可能となった。

【0117】また他段のGLとの間に重畳部を設けるこ

とで、C a d dとしての機能を持たせ、さらに波形歪みの補正が図られ、画質を向上することができた。

【0118】またC P MとG L間の間隙は透明電極であるC P Tが構成されている。したがって、液晶層にとっては同電位となるため、ノーマリーブラックモードとすることにより、と梅電極による遮光が実現する。したがって、遮光に関しても何ら不都合を生じせしめない極めて巧みな構成を実現した。

【0119】(実施例6)図28に画素の平面構造を示す。図27との違いは、他段のG Lとの間もS P Mと離間している点にある。

【0120】これにより純粋なC s t g構造を実現し、G Lの負荷を最小化できるため、さらに大型高精細対応が容易に実現する。

【0121】(実施例7)図29に本実施例の画素の平面構造を示す。図1との違いは、B MとC Fの構成にある。

【0122】本実施例では、C Fの境界をD L上とした。そしてB Mは横方向にのみ形成したストライプ状B Mとして構成した。

【0123】B Lからの光照射量は製品設計時にB Lの輝度として定まるので制御できる値である。そして、その値に対しリークが許容範囲に収まるように設計することで、保持特性を確保することが出来る。

【0124】これに対し、観察者側、あるいは画像表示側からの外光は環境により極端に光量が異なる。暗い場所の使用では0である一方、スポットライトの下のような超高光量下での使用もありうる。さらに、外光は必ずしもパネル面内で均一に照射されるとは限らない。したがって、例えば面内の右側と左側で外光強度が極端に変わる場合もある。このような場合、面内でリーク量に差が生じ、面内での輝度差が発生してしまう場合があることが判明した。

【0125】光量が環境で変ること自体も問題ではあるが、外光の強い場所では液晶表示装置表面での反射光量も増大するため、相対的に画質、コントラストは低下するので、外光による画質低下自体は目立ち難いことが判明した。その逆に、面内で外光の強度差が生じるとリーク量の差により面内の輝度差となり、このような輝度差は同一視野の中での比較となるため非常に目立つことが判明した。

【0126】そこで、発明者らはポリシリコンT F Tにおいても観察側からの光に対する遮光層を形成することが望ましいという知見に到達した。

【0127】図29は遮光層B M形成により環境に左右されず安定した表示を実現すると共に、開口率低下を抑制するため、B Mを横ストライプ状に構成した。これにより、環境に左右されない、マルチユースの、高性能な液晶表示装置を実現した。

【0128】(実施例8)図30は図29の遮光層の形

状違いである。図30では遮光層を島状に形成した。

【0129】この結果、P S Iはその一部がD Lによって、さらにべつの一部がG Lによって遮光され、さらにD LとG Lで遮光されない残りのP S I部分が該島状のB Mで遮光されるため、外部環境に左右されない液晶表示装置が実現できた。

【0130】(実施例9)図31は遮光層形成しない例である。

【0131】液晶モニタ及び液晶TVに搭載するL C Dパネルに関しては、室内での使用が中心となる。このため、特殊な業務用用途以外においては、面内への光照射強度は比較的均一な物となり、さらにその強度も照明に関する照度の基準がJ I S他の規格で規格化されている関係で比較的限られた範囲に収まることになる。このような用途においては、遮光層を設けなくても実用上大きな問題とならない性能が実現する。またそれにより低コスト化が図れるため、該市場において極めて重要な低価格を実現できる。

【0132】(実施例10)図33の図1に対する最大の違いは、T F Tパターンの違いである。図33の34-34'線に沿った断面図を図34に示す。P S I層はC N T 1でD Lと接続し、G Lにほぼ平行に延在し、そしてC N T 2でS P Mと接続される。これによりP S Iから屈曲部を解消できるため、保持期間に比べ極めて短い時間であるT F Tの書込み時間における電子の流れやすさを向上でき、書込み特性が向上する。したがって、外部ドライバ数の低減による低コスト化、あるいは精細度向上が実現する。

【0133】さらに本構造ではC N T 1とC N T 2の位置を図1の場合より離間することが構造上可能となる。スルーホール部では、同層のスルーホールが隣接すると双方のスルーホールがエッチング時に一体となってしまう短絡する不良や、逆にエッチング時にエッチング飛散物の密度が局所的に増大しエッチング不良となりスルーホールが形成されない不良など、種々の不良の原因となりやすい。本構造では、この同層のスルーホールを離間することにより、このような同層のスルーホールをより安定的に、より高精度に形成することを可能とした。

【0134】さらに、P S IとD Lの交差部及びP S IとG Lの交差部が最小となるため、D Lの負荷の低減による縦方向の輝度むらのレベルの一層の改善も実現する。さらにG Lに平行に延在することにより、G L断線時の修正用バイパス線としても使用することが出来る。

【0135】本実施例ではこのG Lとほぼ平行に延在するP S I上にC P Tを形成した。これにより、製造工程中のラビングなどの静電気によりP S Iの特性が変動することを防止できた。なお、この静電気に対する防御構造は、実施例1他の構造でも、P S Iに重畳してC P Tを構成する構造であればその効果を奏することが出来る。

【0136】図35はCFの境界をDL上とした説明図である。

【0137】図36は横ストライプ状のBMを構成した例であり、実施例7と同様の効果を奏することが出来る。

【0138】(実施例11)図37及び図38はDLとPSIのコンタクト部を示した図である。DLとPSIのコンタクトはコンタクトホールCNTにより成される。したがって、このCNTの加工精度が給電面積に影響する。また、DLとPSI層の位置ずれが大きいと互いにずれてしまい、CNTでコンタクトできなくなる。そこで、安定してDLとPSIのコンタクトを実現するには、DL層とPSI層のずれが生じてもCNTから位置がはずれにくい構造とすることが望ましい。

【0139】図1の場合のようにCNTの側面とDLが斜めに交差する場合、CNTの角部がDLからずれやすい部分として構成されてしまうことが判明した。そこで本実施例では、CNTの一側面をDLとほぼ平行となるように構成した。これにより、合わせずれがある場合でもコンタクト不良に至り難いコンタクトを実現した。

【0140】さらに、付随して、GLとDLをほぼ直角で交差して構成し、該直角に交差したDLの延在部で該コンタクトホールを構成することにより、GL、DL双方の負荷を低減することができる。

【0141】(実施例12)図39は図38のTF T構造を図33の画素に適用した図である。DLがGL近傍で画素内の2つの傾き角のいずれとも異なる第3の傾き角としてGLにほぼ直角となり、該第3の傾き部分でPSIとのコンタクトホールCNT1を構成した。

【0142】図40は図39のCFの配置を説明する説明図である。DL上に境界を設け、かつDLとほぼ平行に形成した。これにより、GLと交差する領域では、DLとGLが垂直に交差するため、CF境界もGLと垂直に交差して構成された。

【0143】本実施例では実施例11の効果を特徴的に奏することが出来る。

【0144】(実施例13)図41は図40に相当する図である。

【0145】図40との違いはGL交差部でのCFの境界部のパターンであり、本実施例ではDLとGLは垂直に交差するが、CFとGLは非垂直に交差するように構成した。すなわち、画素内のDLの第1の角度及び第2の角度それぞれの仮想延在織にそってそのままCFを形成した。

【0146】CFはDL、GL、PSIとは電氣的接続を持たないため、CF境界はGLと直交交差する必要はない。そこで、CFの境界部はGLと表示領域でのDLの角度の延長線上の角度で交差するようにし、CFの屈曲回数を低減した。

【0147】CFは有機樹脂膜であり、かつ画素間で他

色との境界を持つようにパターンニングされている。したがって、その境界部の形状は混食の防止、生産性向上の観点から極力単純化することが望ましく、CFの屈曲回数をDLの屈曲回数より低減することで生産性向上を実現した。

【0148】

【発明の効果】以上詳述したように、本発明の主に低温ポリシリコンTF Tで構成されたIPS表示方式の液晶表示装置により、明るく、駆動電圧が低く低消費電力で、環境に対する安定性が高く、生産性が高く、歩留りが高く、輝度均一性に優れ、コントラスト比が高く、高画質で信頼性の高い液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例によるTF T液晶表示装置の画素の要部平面図である。

【図2】本発明の一実施例によるTF T液晶表示装置の図1の2-2'線に沿った画素の要部断面図である。

【図3】本発明の一実施例によるTF T液晶表示装置の図1の3-3'線に沿った画素の要部断面図である。

【図4】本発明の一実施例によるTF T液晶表示装置の図1の4-4'線に沿った画素の要部断面図である。

【図5】本発明の一実施例によるTF T液晶表示装置の図1の5-5'線に沿った画素の要部断面図である。

【図6】本発明の一実施例によるTF T液晶表示装置の画素においてゲート配線、ドレイン配線、及び透明画素電極、透明共通電極のレイヤのみを示した平面図である。

【図7】本発明の一実施例によるTF T液晶表示装置の画素においてドレイン配線、及び透明画素電極、透明共通電極、金属画素電極、電極パッドのレイヤのみを示した平面図である。

【図8】本発明の一実施例によるTF T液晶表示装置のTF T基板の第1ホット工程後までの製造方法を説明するための断面図である。

【図9】本発明の一実施例によるTF T液晶表示装置のTF T基板の第2ホット工程後までの製造方法を説明するための断面図である。

【図10】本発明の一実施例によるTF T液晶表示装置のTF T基板の第3ホット工程後までの製造方法を説明するための断面図である。

【図11】本発明の一実施例によるTF T液晶表示装置のTF T基板の第4ホット工程後までの製造方法を説明するための断面図である。

【図12】本発明の一実施例によるTF T液晶表示装置のTF T基板の第5ホット工程後までの製造方法を説明するための断面図である。

【図13】TF Tガラス基板とCFガラス基板を貼り合わせたLCDセルの全体平面図である。

【図14】LCDセルにPCB基板とTABを接続した

全体平面図である。

【図15】LCDセルのTABとドレイン側引き出し端子部付近の断面図である。

【図16】TFT-LCDの概略の等価回路を表す平面図である。

【図17】TFT-LCDの画素の駆動波形を表すタイミングチャートである。

【図18】本発明のモジュール構成の一例を示す説明図である。

【図19】本発明の他の実施例によるTFT液晶表示装置の画素の平面図である。

【図20】本発明の他の実施例を表すTFT液晶表示装置の画素の、金属画素電極と共通電極のパターンを示す平面図である。

【図21】本発明の他の実施例によるTFT液晶表示装置の画素の平面図である。

【図22】本発明の他の実施例における隣接するドレイン線間を横切る断面の透過率分布である。

【図23】本発明の他の実施例を表すTFT液晶表示装置の画素の平面図である。

【図24】本発明の他の実施例における隣接するドレイン線間を横切る断面の透過率分布、図23の24-24'の線に沿った要部断面図である。

【図25】本発明の他の実施例によるTFT液晶表示装置の図23の25-25'線に沿った要部断面図である。

【図26】本発明の一実施例によるTFT液晶表示装置の図1の7-7'線に沿った画素の要部断面図である。

【図27】本発明の他の実施例によるTFT液晶表示装置の画素の平面図である。

【図28】本発明の他の実施例によるTFT液晶表示装置の画素の平面図である。

【図29】本発明の他の実施例によるTFT液晶表示装置の画素のBMとCFの配置を説明する平面図である。

【図30】本発明の他の実施例によるTFT液晶表示装置の画素のBMとCFの配置を説明する平面図である。

【図31】本発明の他の実施例によるTFT液晶表示装置の画素のBMとCFの配置を説明する平面図である。

【図32】本発明の一実施例による偏光板と初期配向方向の関係を説明する図である。

【図33】本発明の他の実施例によるTFT液晶表示装置の画素の平面図である。

【図34】本発明の他の実施例によるTFT液晶表示装

*置の図33の34-34'線に沿った要部断面図である。

【図35】本発明の他の実施例によるTFT液晶表示装置の画素のBMとCFの配置を説明する平面図である。

【図36】本発明の他の実施例によるTFT液晶表示装置の画素のBMとCFの配置を説明する平面図である。

【図37】本発明の他の実施例による半導体層とDLの接続を示す図である。

【図38】本発明の他の実施例による半導体層とDLの接続を示す図である。

【図39】本発明の他の実施例によるTFT液晶表示装置の画素の平面図である。

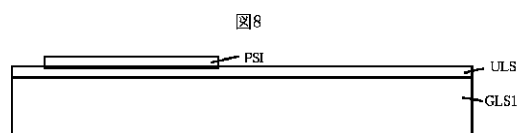
【図40】本発明の他の実施例によるTFT液晶表示装置の画素とCFの配置を説明する平面図である。

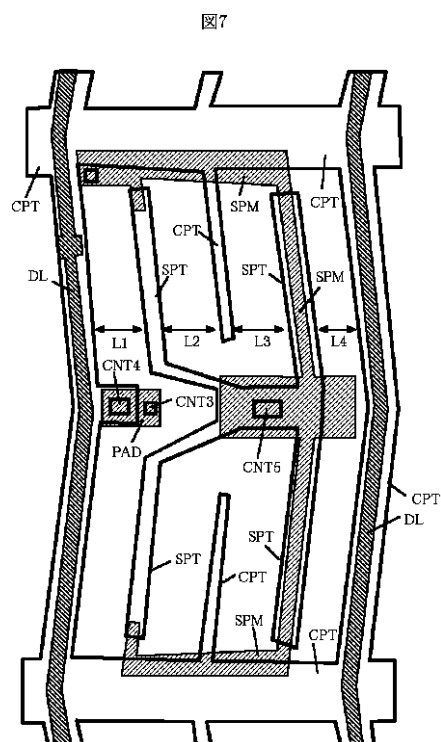
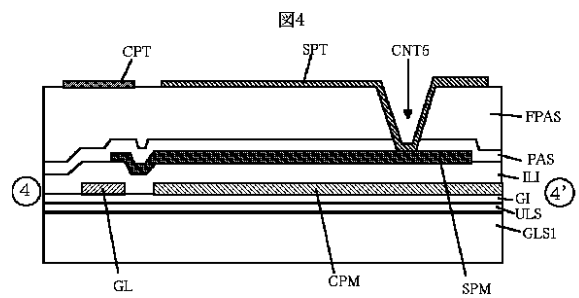
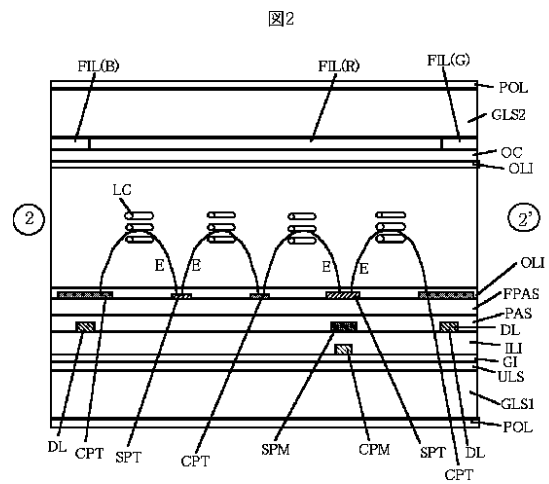
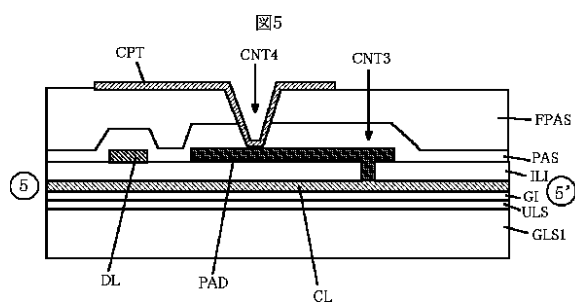
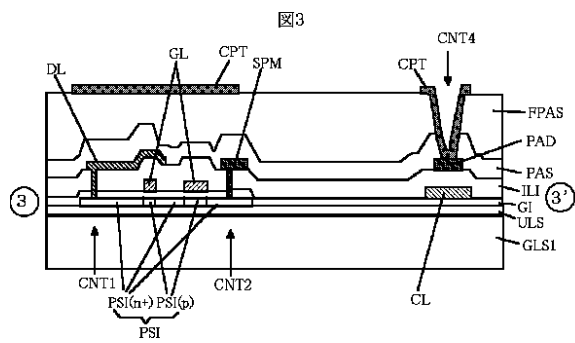
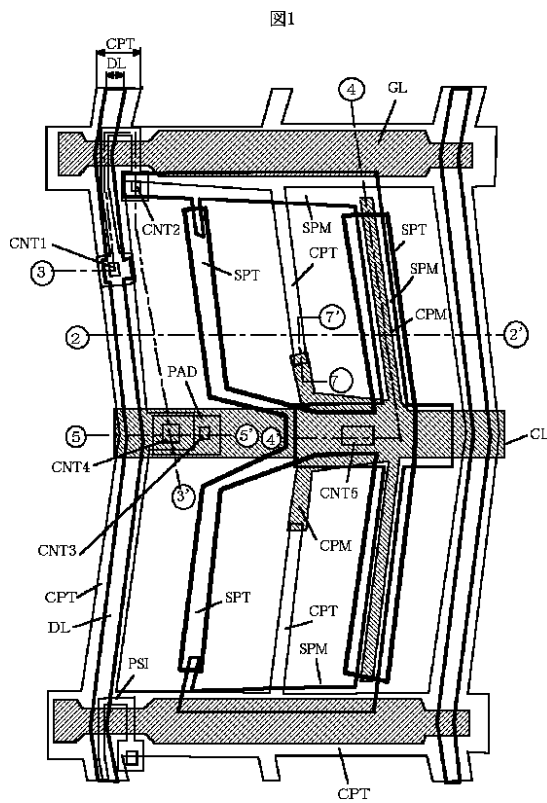
【図41】本発明の他の実施例によるTFT液晶表示装置の画素とCFの配置を説明する平面図である。

【符号の説明】

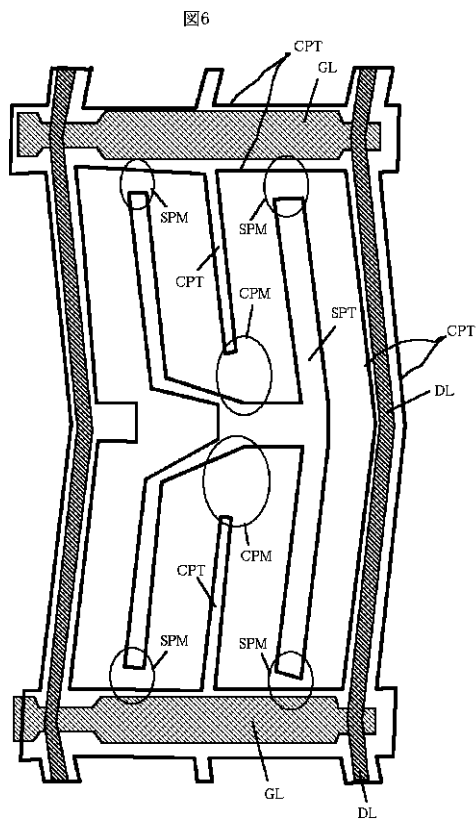
BM...ブラツクマトリクス、CJ...コネクタ部、CL...共通配線、CPAD...検査パッド、CPM...共通金属電極、CPT...共通透明電極、CNT1...ドレイン配線とSiアイランドをつなぐコンタクトホール、CNT2...画素金属電極とSiアイランドをつなぐコンタクトホール、CNT3...共通配線と電極パッドをつなぐコンタクトホール、CNT4...共通透明電極と電極パッドをつなぐコンタクトホール、CNT5...画素金属電極と透明画素電極をつなぐコンタクトホール、CPM...共通金属電極、CPT...共通透明電極、DDC...ガラス基板上のドレイン分割回路、DL...ドレイン配線、EPX...エポキシ樹脂、CF...カラーフィルタ層、FIL...カラーフィルタ層、FPAS...有機保護膜、GFPC...ゲートFPC、GI...ゲート絶縁膜、GL...ゲート配線、GLS1...TFTガラス基板、GLS2...CFガラス基板、IDC...外付けのドレイン回路、INJ...封入口、ILI...層間絶縁膜、LC...液晶(分子)、LCB...導光板、MDL...モジュール、OC...カラーフィルタのオーバコート膜、OLI...配向膜、PAD...パッド電極、PAS...保護絶縁膜、POL...偏光板、PSI...p-Siアイランド、PSI(p)...p型p-Si半導体層、PSI(n+)...n+型p-Si半導体層、RM...反射板、SPB...拡散フィルム、SPC...支柱、SHD...シャージ、SPM...画素金属電極、SPT...画素透明電極、SSC...電源、コントロール回路、TCP...テープキャリアパッケージ、ULS...下地絶縁膜

【図8】

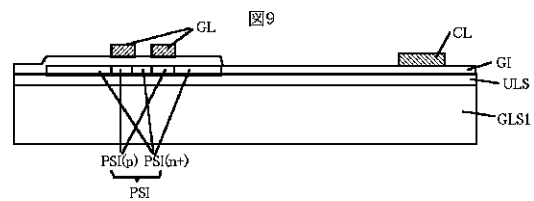




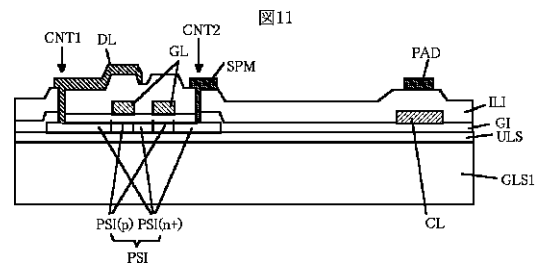
【図6】



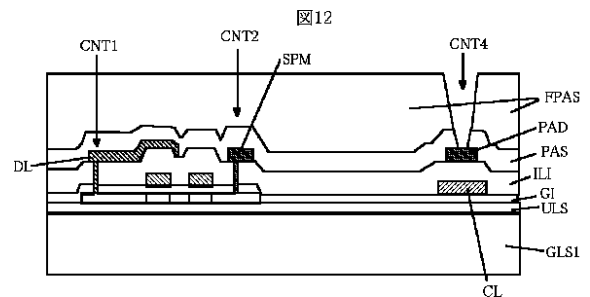
【図9】



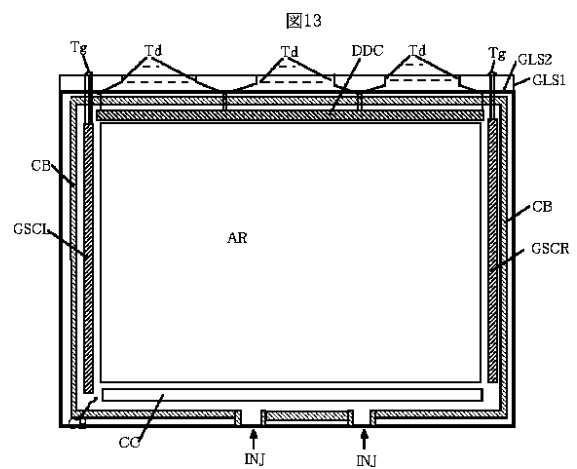
【図11】



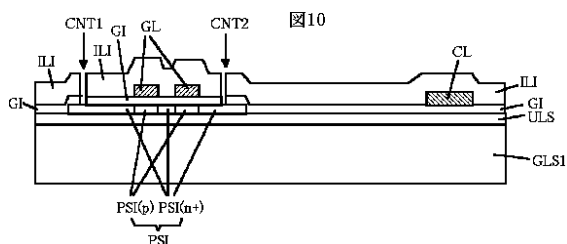
【図12】



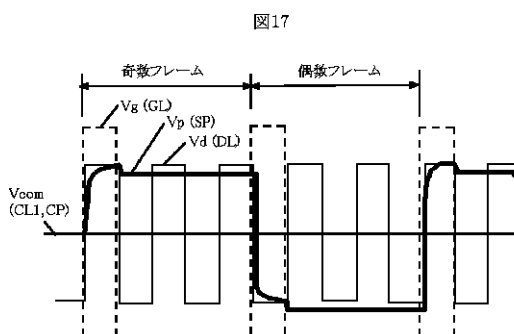
【図13】



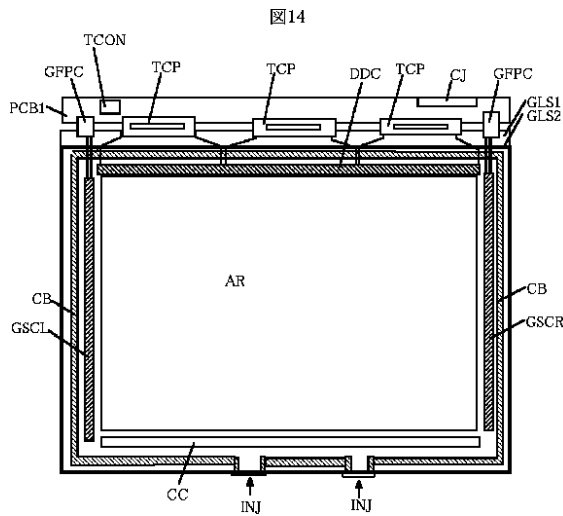
【図10】



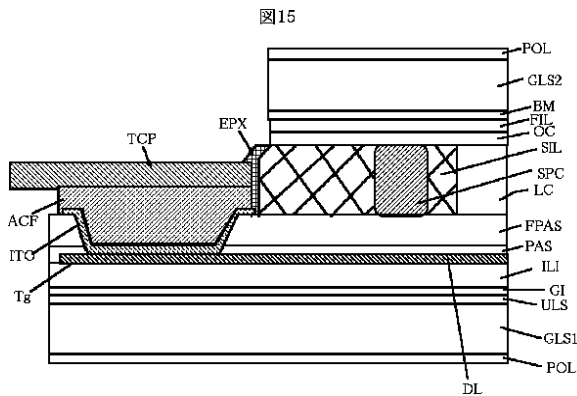
【図17】



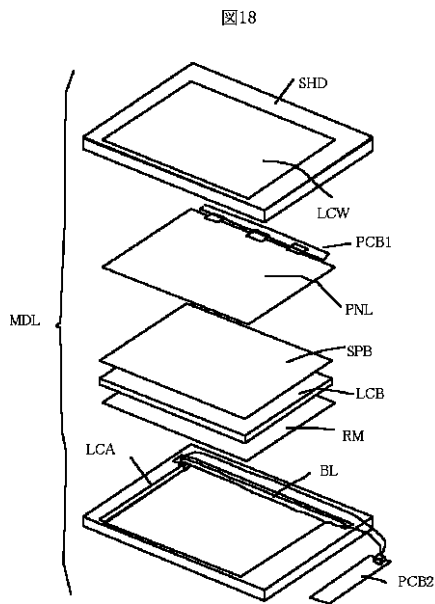
【図14】



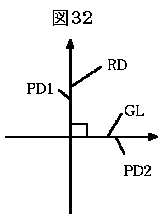
【図15】



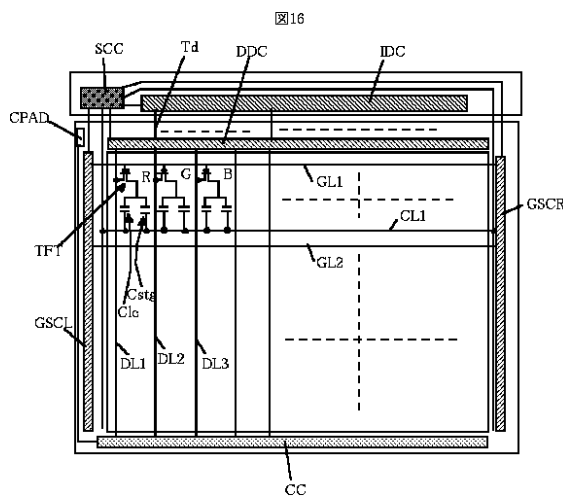
【図18】



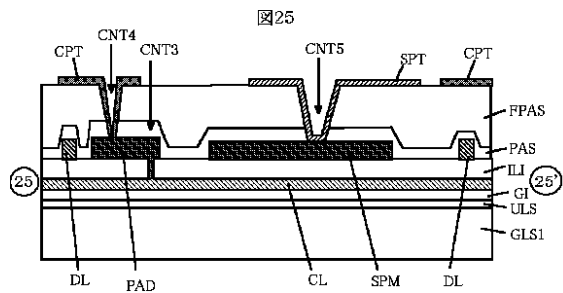
【図32】



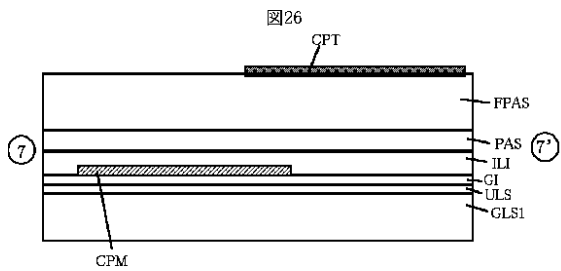
【図16】



【図25】

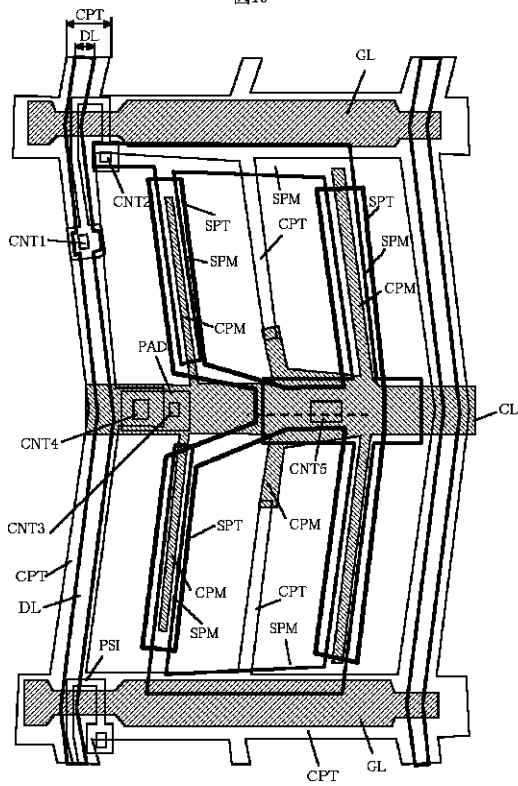


【図26】



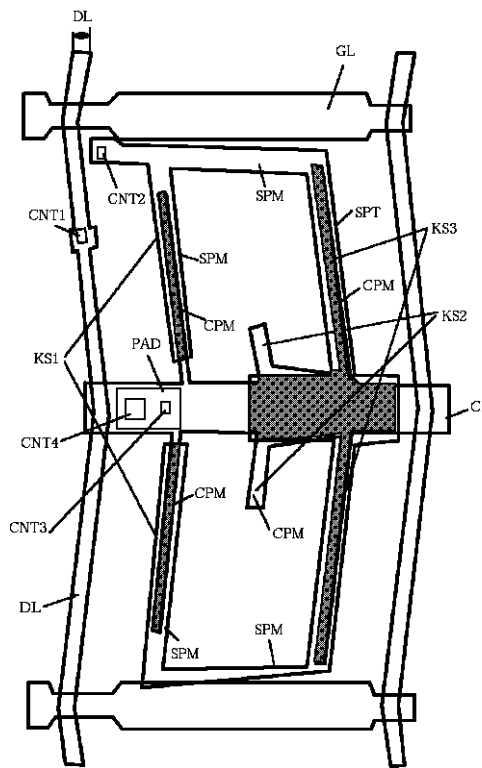
【図19】

図19



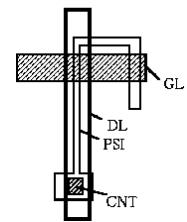
【図20】

図20



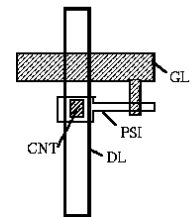
【図37】

図37



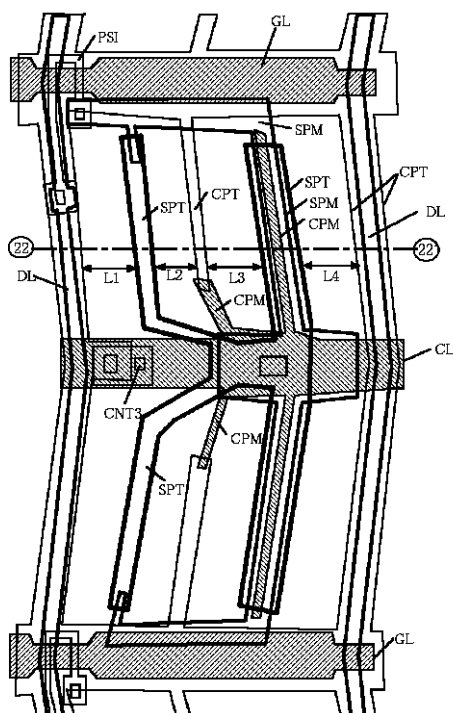
【図38】

図38



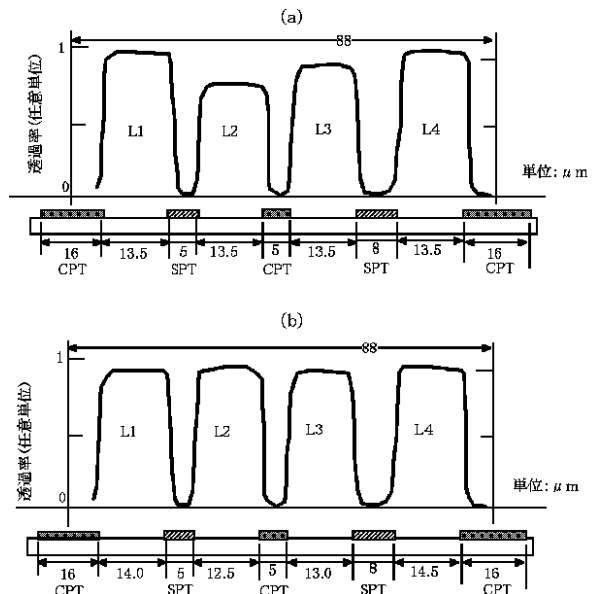
【図21】

図21



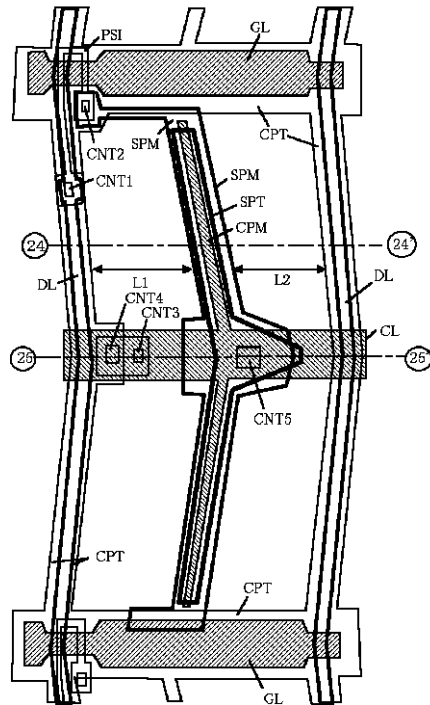
【図22】

図22



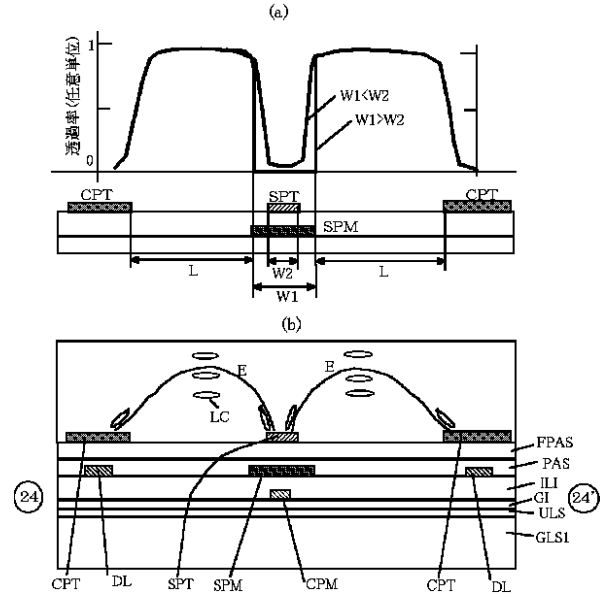
【図23】

図23



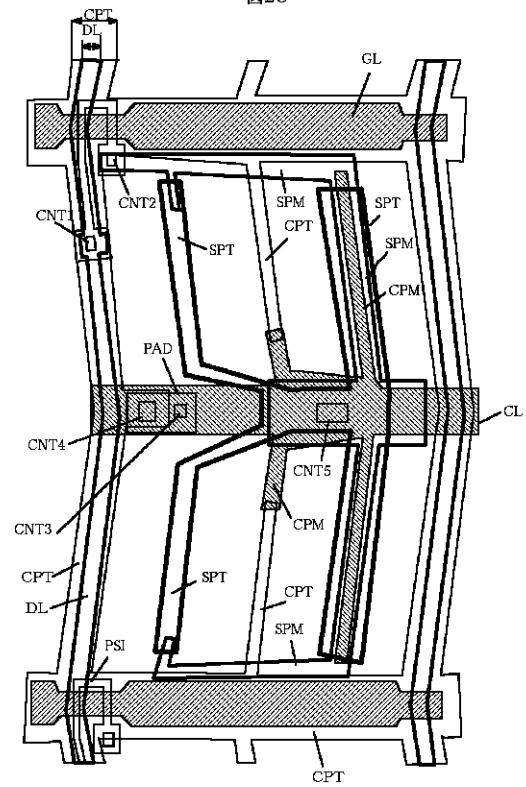
【図24】

図24



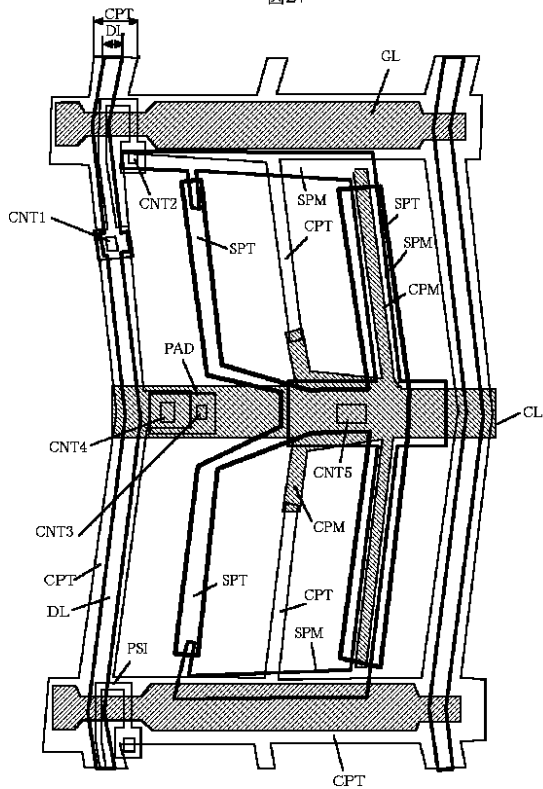
【図28】

図28

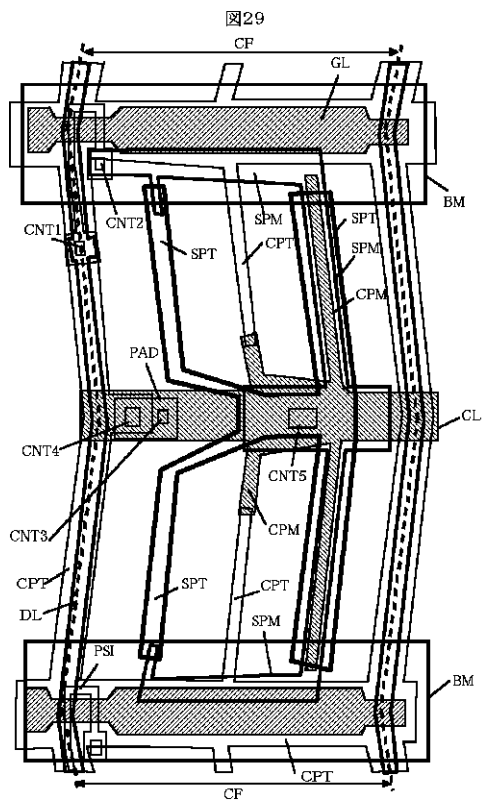


【図27】

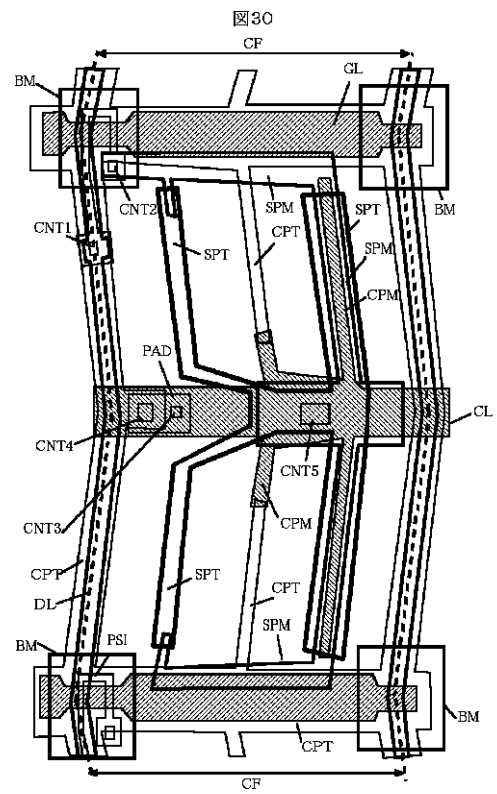
図27



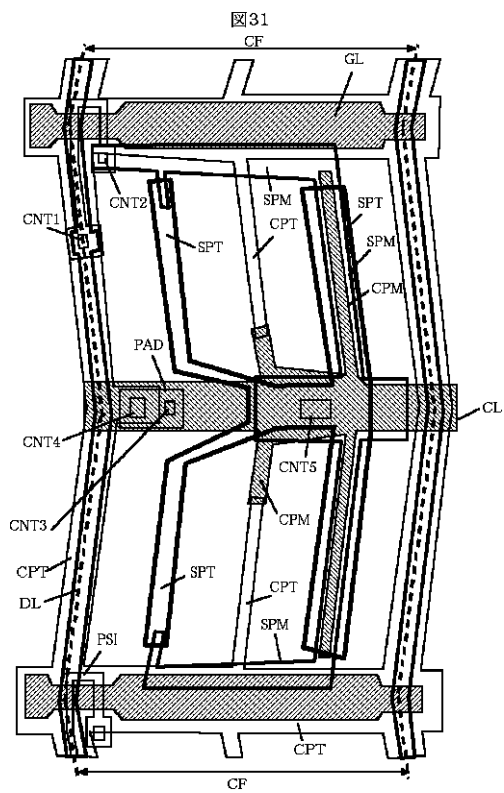
【図29】



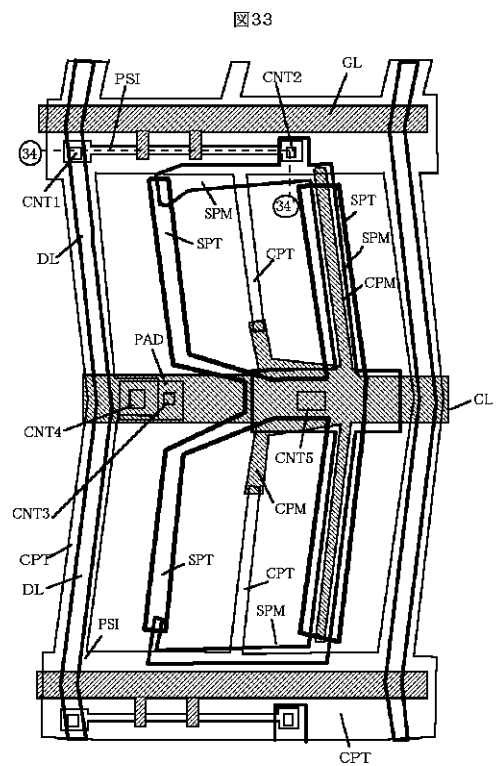
【図30】



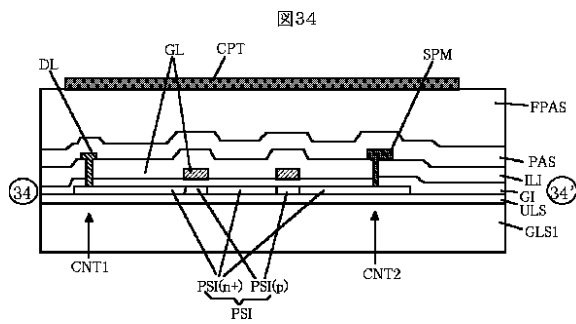
【図31】



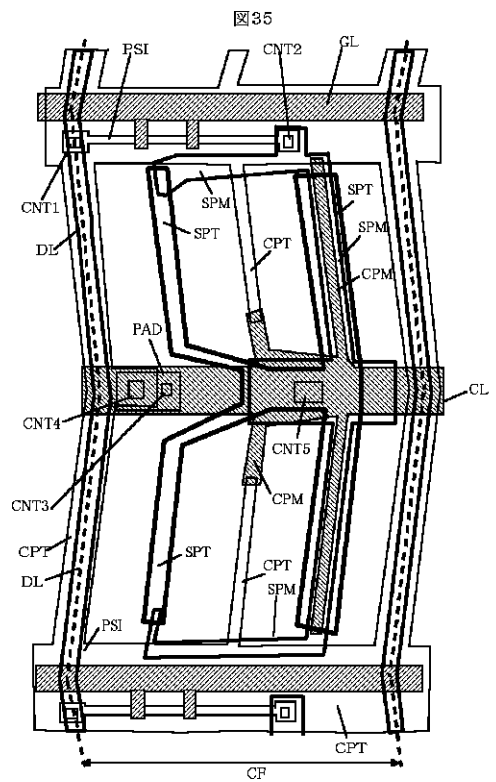
【図33】



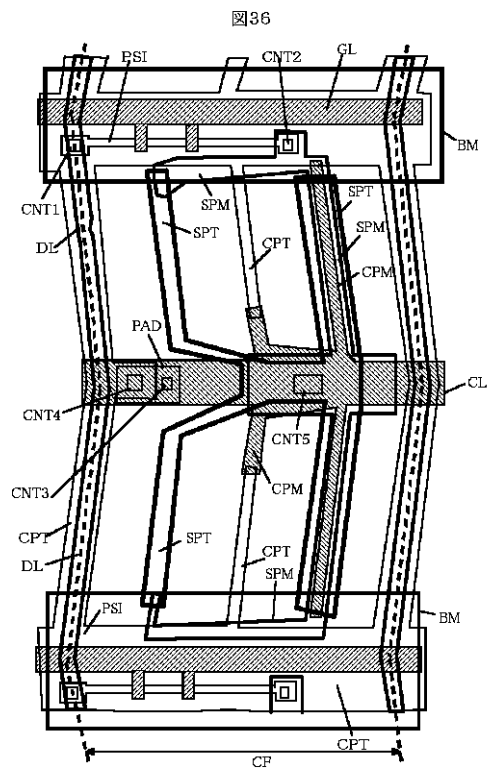
【図34】



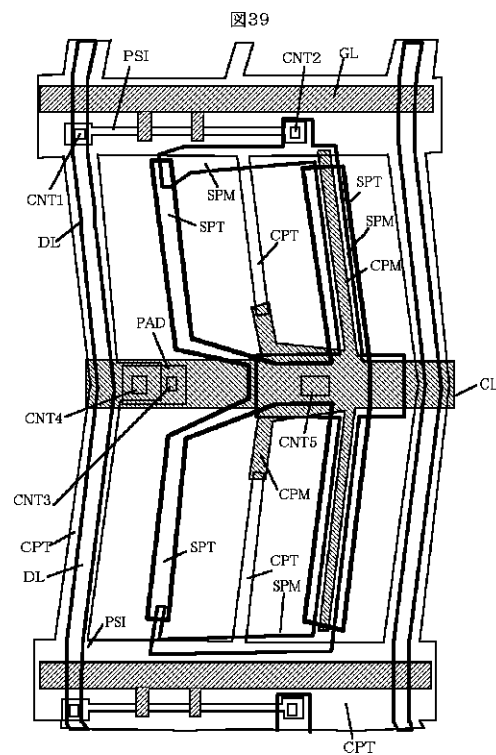
【図35】



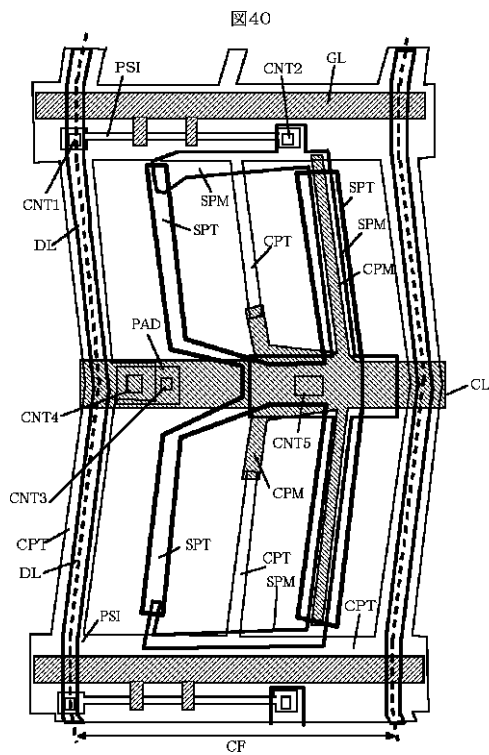
【図36】



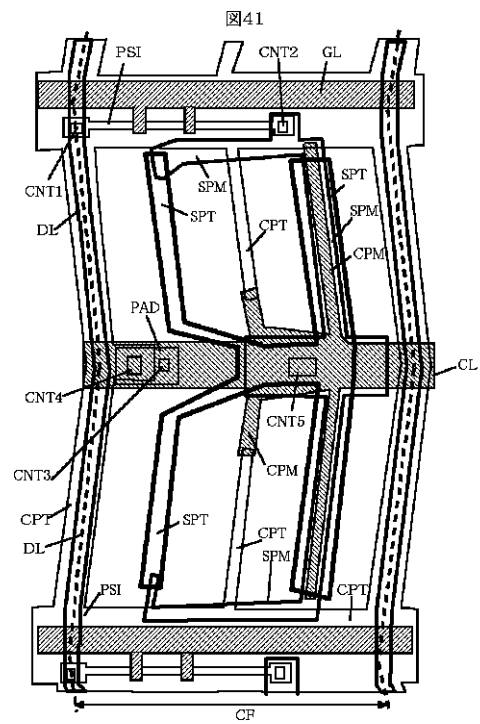
【図39】



【図40】



【図41】



フロントページの続き

- (72)発明者 落合 孝洋
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内
- (72)発明者 今山 寛隆
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

F ターム(参考) 2H092 GA14 JA25 JA38 JA42 JA46
JB13 JB23 JB38 KA04 KA05
KA12 KA18 KA22 MA08 MA13
MA17 MA27 MA35 MA37
5C094 AA06 AA10 AA12 AA22 AA24
AA31 AA42 AA43 AA48 BA03
BA43 CA19 CA24 DA13 DB01
DB04 EA04 EA05 EA07 EA10
EB02 ED03 FA01 FA02 FB01
FB12 FB14 FB15

专利名称(译)	液晶表示装置		
公开(公告)号	JP2003140188A	公开(公告)日	2003-05-14
申请号	JP2001341369	申请日	2001-11-07
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	小野記久雄 桶隆太郎 落合孝洋 今山寛隆		
发明人	小野 記久雄 桶 隆太郎 落合 孝洋 今山 寛隆		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1362 G09F9/30 G09F9/35		
CPC分类号	G02F1/1362 G02F1/134309 G02F1/134363 G02F1/13452 G02F1/136286		
FI分类号	G02F1/1368 G09F9/30.338 G09F9/30.349.B G09F9/35		
F-TERM分类号	2H092/GA14 2H092/JA25 2H092/JA38 2H092/JA42 2H092/JA46 2H092/JB13 2H092/JB23 2H092/JB38 2H092/KA04 2H092/KA05 2H092/KA12 2H092/KA18 2H092/KA22 2H092/MA08 2H092/MA13 2H092/MA17 2H092/MA27 2H092/MA35 2H092/MA37 5C094/AA06 5C094/AA10 5C094/AA12 5C094/AA22 5C094/AA24 5C094/AA31 5C094/AA42 5C094/AA43 5C094/AA48 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA05 5C094/EA07 5C094/EA10 5C094/EB02 5C094/ED03 5C094/FA01 5C094/FA02 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB15 2H092/JB32 2H192/AA24 2H192/BB03 2H192/BB53 2H192/BB64 2H192/BB72 2H192/BB73 2H192/BC42 2H192/CB02 2H192/CB13 2H192/CC04 2H192/CC17 2H192/CC55 2H192/CC72 2H192/DA02 2H192/DA32 2H192/DA43 2H192/DA52 2H192/DA65 2H192/EA04 2H192/EA22 2H192/EA43 2H192/FA44 2H192/FA73 2H192/FB02 2H192/FB46 2H192/GA03 2H192/GD61 2H192/JA33		
外部链接	Espacenet		

摘要(译)

解决的问题：使用低温多晶硅TFT提供具有宽视角，高亮度和高可靠性的IPS模式液晶显示装置。在梳状电极的透明像素电极的下方隔着绝缘膜而配置有不透明像素电极，在该不透明像素电极的下方配置有公共电极，从而在该公共电极与该不透明金属电极之间形成存储电容器。如果将像素分成四个，则通过将像素电极和公共电极之间的间隔设置为在一个像素内不相等的间距尺寸和不相等的电极宽度，可以获得具有稳定操作的明亮的IPS液晶显示装置。

