

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 31812

(P2002 - 31812A)

(43)公開日 平成14年1月31日(2002.1.31)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/1343		G 0 2 F 1/1343	2 H 0 9 0
1/1333	505	1/1333	505 2 H 0 9 1
1/1335	500	1/1335	500 2 H 0 9 2
	510		510
1/1337	500	1/1337	500
審査請求 未請求 請求項の数 9 O L (全 7 数)			

(21)出願番号 特願2001 - 165296(P2001 - 165296)

(22)出願日 平成13年5月31日(2001.5.31)

(31)優先権主張番号 2000/P30096

(32)優先日 平成12年6月1日(2000.6.1)

(33)優先権主張国 韓国(KR)

(71)出願人 591024111

株式会社ハイニックスセミコンダクター
大韓民国京畿道利川市夫鉢邑牙美里山136 - 1

(72)発明者 金 香 律

大韓民国 京畿道 利川市 大月面 巴東里 465 現代アパート 602 - 1006

(72)発明者 李 升 熙

大韓民国 京畿道 利川市 創前洞 49 - 1 現代アパート 102 - 1206

(74)代理人 100093399

弁理士 瀬谷 徹 (外 1 名)

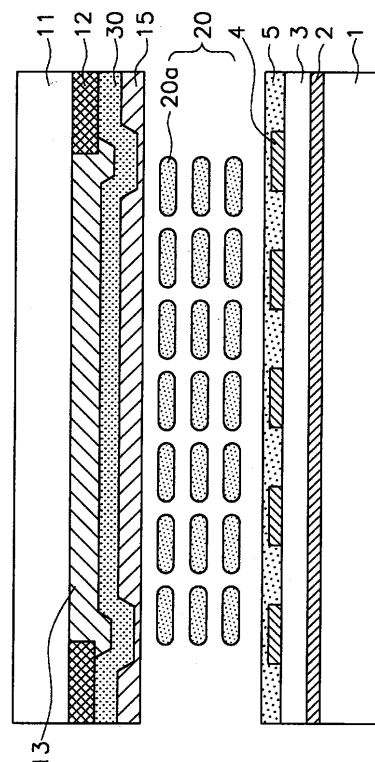
最終頁に続く

(54)【発明の名称】 フリンジフィールドスイッチングモード液晶表示装置

(57)【要約】

【課題】 高画質及び製造費用の節減を得ることができるフリンジフィールドスイッチングモード液晶表示装置を提供する。

【解決手段】 所定の距離を置いて対向・配置され、透明性を有する下部基板1及び上部基板11と、下部基板1の内側面上にゲート絶縁膜3の介在下に配置され電界印加時にフリンジフィールドを形成し、透明導電体で成るカウンター電極2及び画素電極4と、上部基板11の内側面上に形成されたブラックマトリックス12及びカラーフィルター13と、ブラックマトリックス12及びカラーフィルター13を含む上部基板11の内側面上に配置されたITO層30と、下部基板1と上部基板11の間に介在し、誘電率異方性が負である複数個の液晶分子で構成された液晶層20を含む。



【特許請求の範囲】

【請求項 1】 所定の距離を置いて対向・配置され、透明性を有する下部基板及び上部基板と、
前記下部基板の内側面上にゲート絶縁膜の介在下に配置され、電界印加時にフリンジフィールドを形成して透明導電体で成るカウンター電極及び画素電極と、
前記上部基板の内側面上に形成されたブラックマトリックス及びカラーフィルターと、
前記ブラックマトリックス、及びカラーフィルターを含む前記上部基板の内側面上に配置されたITO層と、
前記下部基板と上部基板の間に介在し、誘電率異方性が負である複数の液晶分子で構成された液晶層とを含むことを特徴とするフリンジフィールドスイッチングモード液晶表示装置。

【請求項 2】 前記下部基板の最上部に配置され、任意のラビング軸 (rubbing axis) を有する第 1 水平配向膜と、
前記上部基板のITO層上に配置され、前記第 1 水平配向膜のラビング軸と非並列 (anti-parallel) のラビング軸を有する第 2 水平配向膜と、
前記下部基板の外側面に配置され、前記第 1 水平配向膜のラビング軸と平行な偏光軸を有する下部偏光板と、
前記上部基板の外側面に配置され、前記下部偏光板の偏光軸と垂直の偏光軸を有する上部偏光板とをさらに含むことを特徴とする請求項 1 記載のフリンジフィールドスイッチングモード液晶表示装置。

【請求項 3】 前記カウンター電極は、プレート状で、前記画素電極は、スリット状であることを特徴とする請求項 1 記載のフリンジフィールドスイッチングモード液晶表示装置。

【請求項 4】 前記カウンター電極は、少なくとも一つ以上の溝が備えられることを特徴とする請求項 1 記載のフリンジフィールドスイッチングモード液晶表示装置。

【請求項 5】 前記溝は、画素電極の下部に配置されることを特徴とする請求項 4 記載のフリンジフィールドスイッチングモード液晶表示装置。

【請求項 6】 前記溝の幅は、前記画素電極のスリット幅より小さいことを特徴とする請求項 4 記載のフリンジフィールドスイッチングモード液晶表示装置。

【請求項 7】 前記溝の幅は、 $2 \sim 3 \mu\text{m}$ であることを特徴とする請求項 6 記載のフリンジフィールドスイッチングモード液晶表示装置。

【請求項 8】 前記ITO層は、ウィンドー領域を含むことを特徴とする請求項 1 記載のフリンジフィールドスイッチングモード液晶表示装置。

【請求項 9】 前記液晶分子は、位相遅延 ($n \cdot d$) が $0.20 \sim 0.50 \mu\text{m}$ であることを特徴とする請求項 1 記載のフリンジフィールドスイッチングモード液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はフリンジフィールドスイッチングモード液晶表示装置に関し、より詳しくは、高画質及び費用節減を得ることができるフリンジフィールドスイッチングモード液晶表示装置に関するものである。

【0002】

【従来の技術】IPS (In-Plane Switching) モードLCDは、TNモードLCDの狭い視野角の欠点を改善するために提案された。このようなIPSモードLCDは、周知のように、液晶を駆動させるためのカウンター電極と画素電極が全てアレイ基板に配置された構造を有し、画面を眺める方向に拘らず液晶分子の長軸のみを見ることになることにより視野角が改善される。

【0003】しかし、IPSモードLCDはTNモードLCDより向上した視野角を有するが、カウンター電極と画素電極が不透明金属で形成されることにより、開口率及び透過率の改善は満足するほどのものではない。これにより、IPSモードLCDの開口率及び透過率の改善の限界を克服するため、液晶分子の駆動がフリンジフィールドにより行われるフリンジフィールドスイッチングモードLCD (以下、FFSモードLCD) が提案された。

【0004】FFSモードLCDにおいて、カウンター電極と画素電極はITOのような透明物質で形成され、さらに、基板間の間隔より狭い間隔を有するように形成され、その上に、電極上部に配置されている液晶分子が全て駆動され得る程度の幅を有するように形成される。

【0005】従って、FFSモードLCDは、カウンター電極と画素電極が透明物質で形成されることによりIPSモードLCDより向上した開口率を有し、さらに、電極部分で光透過が発生することによりIPSモードLCDより向上した透過率を有する。

【0006】図1は、従来のFFSモードLCDを示す断面図である。図示されたように、下部基板1と上部基板11が所定の距離 (d : 以下、セルギャップ) を置いて対向・配置される。複数の液晶分子20aを含む液晶層20が基板1、11の間に介在する。液晶分子20aは、誘電率異方性特性が負、又は正の液晶の両方を利用することができる。

【0007】液晶分子20aを駆動させるためのカウンター電極2と画素電極4が、下部基板1の内側面上にゲート絶縁膜3の介在下に形成される。カウンター電極2と画素電極4は、前述のように透明導電体で形成され、それらの間の間隔はセルギャップ (d) より小さく設計される。さらに、カウンター電極2はプレート状に形成され、画素電極4はスリット (slit) 状に形成される。図示されていないが、ゲートバスラインとデータバスラインが下部基板1の内側面上に単位画素を限定する

ように交差配列され、ゲートバスラインとデータバスラインの交差部には薄膜トランジスタが配置される。

【0008】ブラックマトリックス12が上部基板11の内側面上に形成される。R、G、Bのカラーフィルター13がブラックマトリックス12の間の領域、即ち、画素領域に該当する上部基板領域に形成される。

【0009】アクリル又はエポキシ等の高分子物質で成るオーバーコーティング層14が、カラーフィルター13を保護すると共に平坦化を得るため、ブラックマトリックス12及びカラーフィルター13上に形成される。 10

【0010】3°以下のロープレチルト(low pre tilt)用配向膜5、15が下部基板1と上部基板1、11の結果物上にそれぞれコーティングされ、そして、配向膜5、15はそれぞれのラビング軸が互いに非並列(anti-parallel)にラビングされる。

【0011】図示されていないが、下部及び上部偏光板が下部基板1と上部基板11の外側面にそれぞれ取り付けられる。このとき、下部偏光板は、下部配向膜5のラビング軸と平行した偏光軸を有し、上部偏光板は、下部 20 偏光板の偏光軸と垂直の偏光軸を有する。

【0012】上記のような構成を有する従来のFFS-LCDにおいて、カウンター電極2と画素電極4の間に電圧差が発生すれば、カウンター電極2と画素電極4の間隔がセルギャップ(d)より狭いことからフリンジフィールドが発生し、このフリンジフィールドはカウンター電極2と画素電極4の幅が微細なことに基き、電極2、4の上部に配置された液晶分子等にも影響を及ぼすことになる。

【0013】従って、FFSモードLCDは画素内にあ 30 る液晶分子が殆ど全て動作されることにより、IPSモードLCDより向上した透過率及び開口率を有する。

【0014】図2は、従来のFFSモードLCDにおける電圧に対する透過率をシミュレーションしたグラフである。ここで、グラフは誘電率異方性(ϵ)が-4、屈折率異方性(n)が0.077、そして位相遅延($n \cdot d$)が0.3 μm の液晶分子を適用した場合の結果である。

【0015】上記グラフから、応答速度が100.00 msのとき、透過率がおおよそ45.6%程度の特性を 40 示すことが分かる。

【0016】しかし、上述のFFSモードLCDは上部基板に形成されるオーバーコーティング層14により製造費用が増加するという問題点があり、さらに、カウンター電極及び画素電極が下部基板に全て配置されることにより、静電気又は残像に非常に弱い構造を有し、よって、高画質を実現するのが難しいという問題点があった。

【0017】また、静電気又は残像による画質低下を防ぐため図1に示したように、500 以下厚さのITO 50

で成る静電気防止層16が上部基板11の外側面に形成されることもあるが、このような構造の場合、静電気防止層16を形成するための追加工程が求められるため製造費用の増加を避けることができない。

【0018】

【発明が解決しようとする課題】そこで、本発明は上記従来のフリンジフィールドスイッチング(FFS)モード液晶表示装置(LCD)における問題点に鑑みてなされたものであって、本発明の目的は、静電気及び残像の効果的な除去を介して高画質のFFSモードLCDを提供することである。

【0019】さらに、本発明の他の目的は、製造費用を節減することができるFFSモードLCDを提供することである。

【0020】

【課題を解決するための手段】上記目的を達成するためになされた本発明によるFFSモードLCDは、所定の距離を置いて対向・配置され、透明性を有する下部基板及び上部基板と、前記下部基板の内側面上にゲート絶縁膜の介在下に配置され、電界印加時にフリンジフィールドを形成して透明導電体で成るカウンター電極及び画素電極と、前記上部基板の内側面上に形成されたブラックマトリックス及びカラーフィルターと、前記ブラックマトリックス、及びカラーフィルターを含む前記上部基板の内側面上に配置されたITO層と、前記下部基板と上部基板の間に介在し、誘電率異方性が負である複数の液晶分子で構成された液晶層とを含むことを特徴とする。

【0021】さらに、前記下部基板の最上部に配置され、任意のラビング軸(rubbing axis)を有する第1水平配向膜と、前記上部基板のITO層上に配置され、前記第1水平配向膜のラビング軸と非並列(anti-parallel)のラビング軸を有する第2水平配向膜と、前記下部基板の外側面に配置され、前記第1水平配向膜のラビング軸と平行な偏光軸を有する下部偏光板と、前記上部基板の外側面に配置され、前記下部偏光板の偏光軸と垂直の偏光軸を有する上部偏光板とをさらに含むことを特徴とする。

【0022】さらに、前記カウンター電極は、プレート状で、前記画素電極は、スリット状であることが好ましい。また、前記カウンター電極は、少なくとも一つ以上の溝が備えられることが好ましい。また、前記溝の幅は、前記画素電極のスリット幅より小さいことが好ましい。また、前記溝の幅は、2~3 μm であることが好ましい。さらに、前記ITO層は、ウィンドー領域を含むことが好ましい。

【0023】

【発明の実施の形態】次に、本発明にかかるFFSモードLCDの実施の形態の具体例を図面を参照しながら説明する。

【0024】図3は本発明の実施例に係るFFSモードLCDの断面図である。ここで、図1と同一部分は同一の図面符号で示す。下部基板1と上部基板11が所定の距離(d)を置いて対向・配置される。下部及び上部基板1、11は透明性絶縁基板、例えばガラス基板である。誘電率異方性特性が負である複数個の液晶分子20aで成る液晶層20が基板1、11の間に介在する。

【0025】複数個のゲートバスラインとデータバスライン(図示されていない)が下部基板1の内側面上に交差配列される。TFT(図示されていない)がゲートバスラインとデータバスラインの交差部に配置される。ITOのような透明導電体で成るカウンター電極2と画素電極4が、ゲートバスラインとデータバスラインにより限定された画素領域にゲート絶縁膜3の介在下に配置される。

【0026】カウンター電極2はプレート状、そして、画素電極4は複数個のブランチを有するスリット状に備えられる。カウンター電極2はスリット状に形成することができ、この場合、カウンター電極2のブランチと画素電極4のブランチは交互に配置される。

【0027】樹脂又はクロムで成るブラックマトリックス12が上部基板1の内側面上に配置される。R、G、Bのカラーフィルター13がブラックマトリックス12により限定された画素領域に配置される。静電気防止及び速やかな残像の除去のため、ITO層30がブラックマトリックス12及びカラーフィルター13上に配置される。ITO層30は平坦な表面を有するように形成され、よって、オーバーコーティング層の機能も同時に行う。

【0028】さらに、ITO層30は内部にウィンドー領域を含むことができる。ウィンドー領域はITO層30とゲートバスライン、又はデータバスラインの間でのキャパシタンス発生を防ぐために備えられるのであり、好ましくは、ゲートバスライン又はデータバスラインの上部に配置される。

【0029】3°以下のロープレチルト用水平配向膜である下部配向膜5と上部配向膜15が、下部及び上部基板1、11の内側面上にそれぞれ配置される。下部配向膜5と上部配向膜15はそれらのラビング軸が非並列(anti-parallel)するように、即ち所定の角度を有するようにラビング(rubbing)される。

【0030】図示されていないが、下部偏光板と上部偏光板が下部基板1と上部基板11の外側面にそれぞれ取り付けられる。下部偏光板は下部配向膜5のラビング軸と平行する偏光軸を有し、上部偏光板は下部偏光板の偏光軸と垂直をなす偏光軸を有する。

【0031】上記のような構造を有する本発明のFFSモードLCDにおいて、液晶層20は上述のように、誘電率異方性特性が負である負の液晶分子20aで構成さ

れる。これは次のような理由に基づき、透過率側面で誘電率異方性が正の液晶より有利であるためである。

【0032】正の液晶分子が適用される場合、液晶分子はITO層30と画素電極4の間で発生する電界方向にその長軸が整列され、これに従いフリンジフィールド又はイン-プレーン電界による液晶制御が難しくなる。従って、正の液晶分子が適用されたFFSモードLCDは正常の透過率特性を得ることができない。その反面、負の液晶分子が適用される場合、適当な位相遅延($n \cdot d$)補正を介し、ITO層30がない時と同じ透過率特性を得ることができる。ここで、誘電率異方性が負である液晶分子20aの位相遅延($n \cdot d$)特性は0.20~0.50 μm 程度である。

【0033】さらに、負の液晶分子が適用された場合、下部及び上部配向膜5、15はゲートバスライン、又はデータバスラインに対し+45°又は-45°以下、好ましくは視野角を考慮して+12°又は-12°にラビングされる。

【0034】本発明のFFSモードLCDは従来のそれと比べ、ITO層が静電気防止層としての機能はもちろんオーバーコーティング層の機能を共に行うため、オーバーコーティング層の形成は省略され、よって、オーバーコーティング層の形成による製造費用の上昇が防止される。

【0035】さらに、本発明のFFSモードLCDは従来のそれと比べ、ITO層30が上部基板11の内側面に配置されることにより電場に反応した不純物イオンが下部基板1に配置された電極はもちろん、ITO層30に分散吸着し、よって残像の消滅時間が短縮される。

【0036】結果的に、本発明のFFSモードLCDは従来のそれと比べ、静電気及び残像に弱い構造の改善により高画質を得ることができ、さらに、オーバーコーティング層の省略により製造費用を節減することができる。

【0037】図4は、本発明の他の実施例に係るFFSモードLCDの断面図であり、図5は図4でのカウンター電極の平面図である。図示されたように、この実施例に係るFFSモードLCDは前の実施例のそれと比べ、ただ、カウンター電極の形状のみ相違する。カウンター電極2は全体的にはプレート状であるが、内部に少なくとも一つ以上の溝2aを有する。このとき、溝2aは好ましくは画素電極4のブランチ下部に配置され、ブランチより小さい幅、例えば2~3 μm 幅を有するように備えられる。

【0038】溝2aは、ITO層30と画素電極4の間でキャパシタンスが発生することにより充電容量が不足することがあるため、このような問題を解決するために備えられるのである。

【0039】図6は、本発明の実施例に係るFFSモードLCDにおける電圧に対する透過率をシミュレーショ

ンしたグラフである。ここで、グラフは誘電率異方性 (ϵ) が -4、屈折率異方性 (n) が 0.077、そして位相遅延 ($n \cdot d$) が $0.3 \mu\text{m}$ の液晶分子を適用した場合の結果である。見られるように、本発明の FFS モード LCD は上部基板に ITO 層が備えられるにも拘らず、従来と類似して、応答速度が 100.00 ms のとき、42% 程度の透過率特性が得られる。

【0040】図 7 は、本発明の実施例に係る FFS モード LCD における電圧に対する透過率をシミュレーションしたもう一つのグラフであり、ここで、グラフは誘電率異方性 (ϵ) が -4、屈折率異方性 (n) が 0.09、そして位相遅延 ($n \cdot d$) が $0.33 \mu\text{m}$ である液晶分子を適用した場合の結果である。見られるように、透過率は従来と殆ど類似して応答速度が 100.00 ms のとき、45% 程度が得られることが分かる。

【0041】図 6 及び図 7 のグラフから、液晶分子の位相遅延 ($n \cdot d$) の調節を介し、従来と類似する透過率特性が得られることが分かる。

【0042】尚、本発明は、本実施例に限られるものではない。本発明の趣旨から逸脱しない範囲内で多様に変更実施することが可能である。

【0043】

【発明の効果】上述のように、本発明の FFS モード LCD は ITO 層を上部基板の内側面上に配置させたことにより、静電気及び残像を効果的に除去することができる、よって高画質を実現することができる。

【0044】さらに、本発明の FFS モード LCD はオーバーコーティング層の省略により、製造工程の単純化及び費用節減の効果を得ることができる。

【図面の簡単な説明】

30

【図 1】従来の FFS モード LCD を示す断面図である。

【図 2】従来の FFS モード LCD の電圧に対する透過率をシミュレーションしたグラフである。

【図 3】本発明の実施例に係る FFS モード LCD を示す断面図である。

【図 4】本発明の他の実施例に係る FFS モード LCD の断面図である。

【図 5】図 4 でのカウンター電極の平面図である。

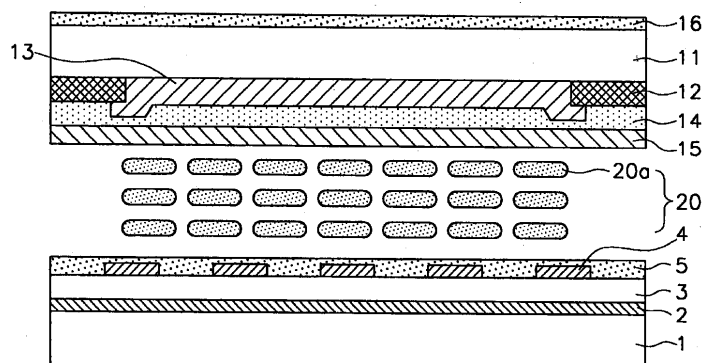
【図 6】本発明の実施例に係る FFS モード LCD の電圧に対する透過率をシミュレーションしたグラフである。

【図 7】本発明の実施例に係る FFS モード LCD の電圧に対する透過率をシミュレーションしたグラフである。

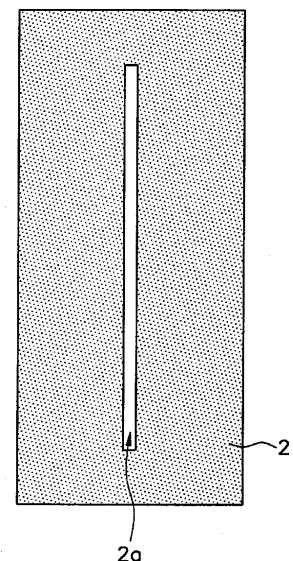
【符号の説明】

- | | |
|-----|------------|
| 1 | 下部基板 |
| 2 | カウンター電極 |
| 2a | 溝 |
| 3 | 絶縁膜 |
| 4 | 画素電極 |
| 5 | 下部配向膜 |
| 11 | 上部基板 |
| 12 | ブラックマトリックス |
| 13 | カラーフィルター |
| 15 | 上部配向膜 |
| 20 | 液晶層 |
| 20a | 液晶分子 |
| 30 | ITO 層 |

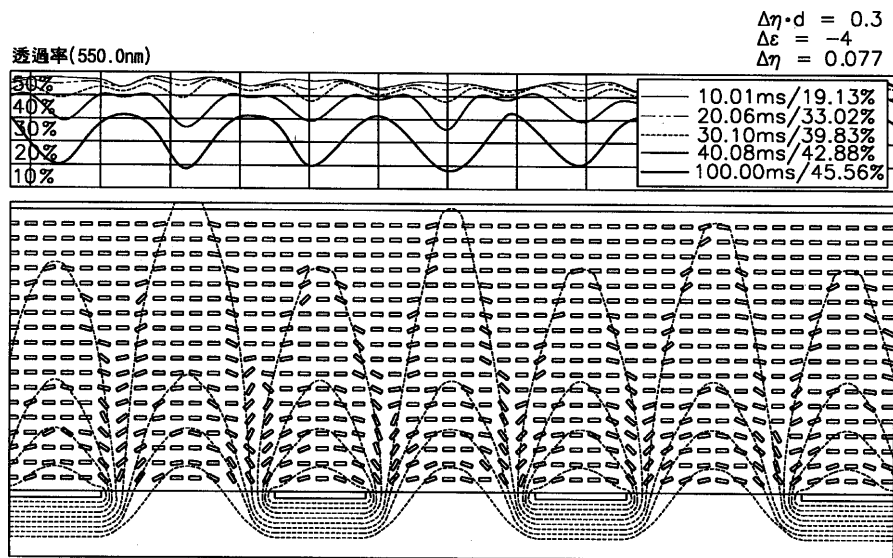
【図 1】



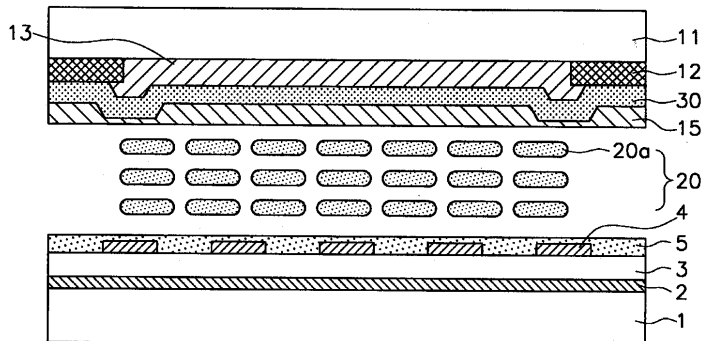
【図 5】



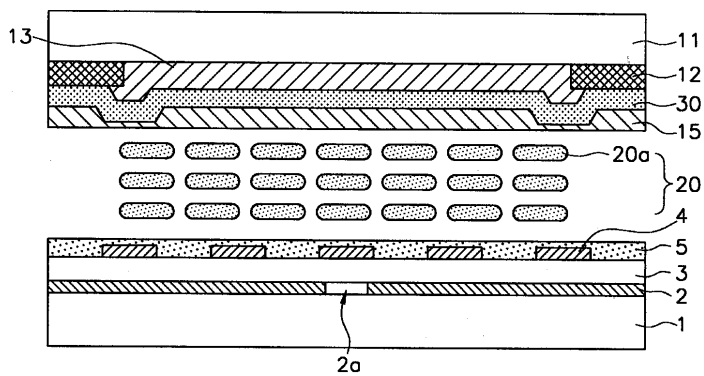
【図 2】



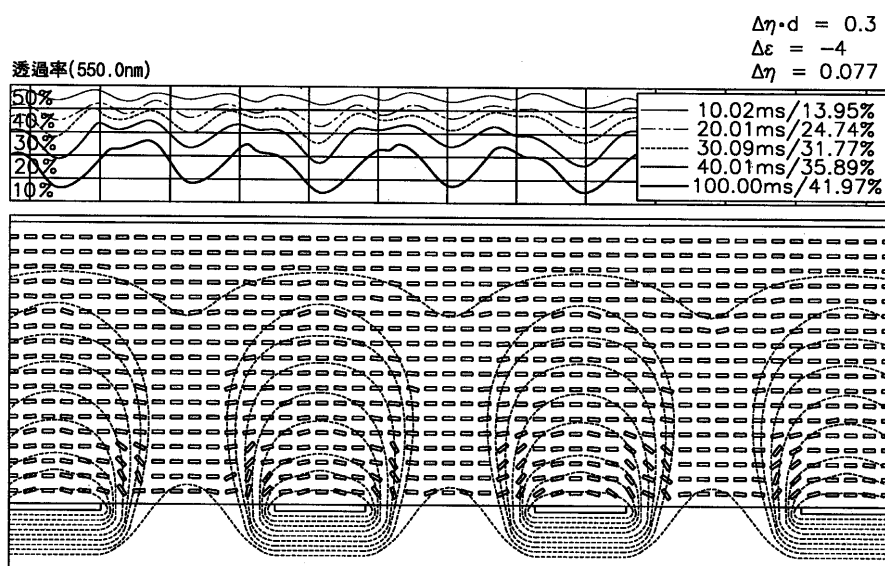
【図 3】



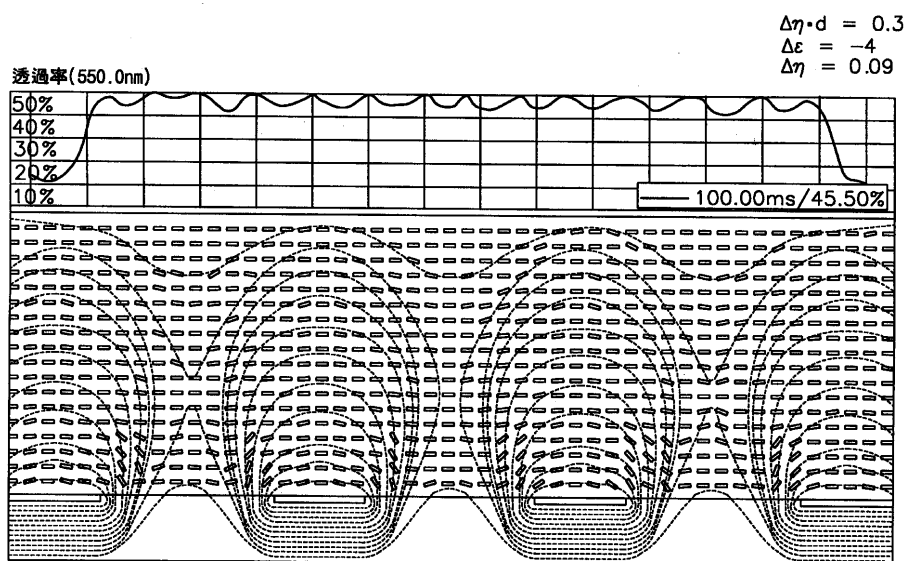
【図 4】



【図 6】



【図 7】



フロントページの続き

(72)発明者 洪 承 湖

大韓民国 京畿道 軍浦市 山本洞 1092

三星 ザンミアパート 1142 - 1106

F ターム(参考) 2H090 HA02 JB13 KA18 LA09 MA09
MB01

2H091 FA02Y FA08X FA08Z FA35Y
FD09 GA03 GA06 GA07 HA18
KA02

2H092 GA14 GA17 HA04 JA24 JB56
PA02 PA08 PA09 PA11 QA18

专利名称(译)	边缘场切换模式液晶显示装置		
公开(公告)号	JP2002031812A	公开(公告)日	2002-01-31
申请号	JP2001165296	申请日	2001-05-31
[标]申请(专利权)人(译)	海力士半导体有限公司		
申请(专利权)人(译)	有限公司海力士半导体		
[标]发明人	金香律 李升熙 洪承湖		
发明人	金 香 律 李 升 熙 洪 承 湖		
IPC分类号	G02F1/1333 G02F1/1335 G02F1/1337 G02F1/1343		
CPC分类号	G02F1/134363 G02F2201/121		
FI分类号	G02F1/1343 G02F1/1333.505 G02F1/1335.500 G02F1/1335.510 G02F1/1337.500 G02F1/1335.505 G02F1/1368		
F-TERM分类号	2H090/HA02 2H090/JB13 2H090/KA18 2H090/LA09 2H090/MA09 2H090/MB01 2H091/FA02Y 2H091/FA08X 2H091/FA08Z 2H091/FA35Y 2H091/FD09 2H091/GA03 2H091/GA06 2H091/GA07 2H091/HA18 2H091/KA02 2H092/GA14 2H092/GA17 2H092/HA04 2H092/JA24 2H092/JB56 2H092/PA02 2H092/PA08 2H092/PA09 2H092/PA11 2H092/QA18 2H190/HA02 2H190/JB13 2H190/KA18 2H190/LA09 2H191/FA02Y 2H191/FA14Y 2H191/FA22X 2H191/FA22Z 2H191/FD10 2H191/GA05 2H191/GA08 2H191/GA10 2H191/HA27 2H191/KA02 2H192/AA24 2H192/BB13 2H192/BB31 2H192/BB52 2H192/BB73 2H192/EA22 2H192/EA43 2H192/GA02 2H192/GA21 2H192/GD12 2H192/JA33 2H290/AA04 2H290/AA73 2H290/BF13 2H291/FA02Y 2H291/FA14Y 2H291/FA22X 2H291/FA22Z 2H291/FD10 2H291/GA05 2H291/GA08 2H291/GA10 2H291/HA27 2H291/KA02		
优先权	2000/P30096 2000-06-01 KR		
其他公开文献	JP3811811B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够获得高质量图像并降低制造成本的边缘场切换模式液晶显示装置。 解决方案：下基板1和上基板11以预定的距离彼此相对且透明，并且在施加电场时施加在其间插入栅绝缘膜3的条纹，该条纹位于下基板1的内侧表面上。 形成场并由透明导体制成的对电极2和像素电极4，形成在上基板11的内表面上的黑矩阵12和滤色器13以及包括黑矩阵12和滤色器13的上基板。 包括设置在11的内表面上的ITO层30和形成在介电常数各向异性为负的多个液晶分子之间并介于下基板1和上基板11之间的液晶层20。。

