

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4593889号
(P4593889)

(45) 発行日 平成22年12月8日 (2010. 12. 8)

(24) 登録日 平成22年9月24日 (2010. 9. 24)

(51) Int. Cl.

F I

G 0 9 G 3/20 (2006. 01)

G 0 2 F 1/133 (2006. 01)

G 0 9 G 3/36 (2006. 01)

G 1 1 C 19/00 (2006. 01)

G 0 9 G 3/20 6 2 2 E

G 0 9 G 3/20 6 2 2 B

G 0 9 G 3/20 6 2 2 C

G 0 9 G 3/20 6 2 3 H

G 0 9 G 3/20 6 8 0 G

請求項の数 8 (全 41 頁) 最終頁に続く

(21) 出願番号 特願2003-170612 (P2003-170612)
 (22) 出願日 平成15年6月16日 (2003. 6. 16)
 (65) 公開番号 特開2004-78172 (P2004-78172A)
 (43) 公開日 平成16年3月11日 (2004. 3. 11)
 審査請求日 平成18年5月31日 (2006. 5. 31)
 (31) 優先権主張番号 2002-033455
 (32) 優先日 平成14年6月15日 (2002. 6. 15)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 2002-037946
 (32) 優先日 平成14年7月2日 (2002. 7. 2)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 2002-039129
 (32) 優先日 平成14年7月6日 (2002. 7. 6)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 503447036
 サムスン エレクトロニクス カンパニー
 リミテッド
 大韓民国キョンギード、スウォンーシ、ヨ
 ントンーク、マエタンードン 4 1 6
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 文 勝 煥
 大韓民国京畿道龍仁市水枝邑上弦里 現代
 1ーパーク6次アパート205棟1504
 号
 (72) 発明者 李 栢 遠
 大韓民国ソウル市銅雀区舎堂1洞1035
 -10番地

最終頁に続く

(54) 【発明の名称】 シフトレジスタ駆動方法並びにシフトレジスタ及びこれを備える液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数のステージが縦続接続され、第1ステージへのスキャン開始信号の入力を受け、各ステージに対応する複数のスキャンラインを選択するためのスキャンライン駆動信号を順次に出力するシフトレジスタにおいて、前記第1ステージを除く各ステージはそれぞれ、

入力端子と、

前記スキャンライン駆動信号を出力する出力端子と、

外部から第1クロックが入力される第1クロック端子又は前記第1クロックと180°の位相差を有する第2クロックが入力される第2クロック端子に接続されて、前記第1クロック又は前記第2クロックに相応するキャリア信号を次ステージの入力端子に提供する第1キャリアバッファ部と、

前記出力端子に前記第1クロック又は第2クロックに相応する前記スキャンライン駆動信号を提供するブルアップ部と、

前記出力端子に第1電源電圧を提供するブルダウン部と、

前記入力端子から入力される信号に応答して前記ブルアップ部をターンオンさせ、前記次ステージのスキャンライン駆動信号に応答して前記ブルアップ部をターンオフさせるブルアップ駆動部と、

前記入力端子から入力される信号に応答して前記ブルダウン部をターンオフさせ、前記次ステージのスキャンライン駆動信号に応答して前記ブルダウン部をターンオンさせるブルダウン駆動部と、

10

20

前ステージの第1キャリーバッファ部から提供され、前記プルアップ部に印加される前記キャリー信号のレベルをダウンさせる第2キャリーバッファ部と、
を含み、

前記第1キャリーバッファ部は、ドレインに印加される前記第1クロック又は前記第2クロックを、ゲートに印加される前記プルアップ駆動部からの入力信号に応答して、ソースを通じて前記次ステージに出力する第1トランジスタを含み、前記第2キャリーバッファ部は、ドレインが前記入力端子又は前記前ステージの前記第1キャリーバッファ部の前記第1トランジスタのソースに接続され、ゲートが前記プルダウン部に接続され、ソースが前記第1電源電圧の提供を受ける第4トランジスタを含むことを特徴とするシフトレジスタ。

10

【請求項2】

請求項1記載のシフトレジスタにおいて、前記第2キャリーバッファ部は、ドレインとゲートとが互いに前記第4トランジスタのソースに接続され、ソースが前記第1電源電圧の提供を受ける第5トランジスタをさらに含むことを特徴とするシフトレジスタ。

【請求項3】

請求項1記載のシフトレジスタにおいて、前記第2キャリーバッファ部は、ドレインが前記第4トランジスタのゲートと接続され、ゲートが前記第4トランジスタのドレインと接続され、ソースが前記第1電源電圧の提供を受ける第6トランジスタをさらに含むことを特徴とするシフトレジスタ。

【請求項4】

請求項1記載のシフトレジスタにおいて、前記第2キャリーバッファ部は、ドレインとゲートとが互いに前記第4トランジスタのソースに接続され、ソースが前記第1電源電圧の提供を受ける第5トランジスタと、ドレインが前記第4トランジスタのゲートと接続され、ゲートが前記第4トランジスタのドレインと接続され、ソースが前記第1電源電圧の提供を受ける第6トランジスタと、
をさらに含むことを特徴とするシフトレジスタ。

20

【請求項5】

透明基板上に形成された、複数のデータラインと複数のゲートラインとを含む表示セルアレイ回路、データ駆動回路、及びゲート駆動回路を含む液晶表示装置において、前記ゲート駆動回路は、複数のステージが配置されて、第1ステージへのスキャン開始信号の入力を受け、各ステージに対応する前記複数のゲートラインを順次を選択するスキャンライン駆動信号を出力するシフトレジスタを含み、
前記第1ステージを除く各ステージはそれぞれ、
入力端子と、

30

前記スキャンライン駆動信号を出力する出力端子と、

外部から第1クロックが入力される第1クロック端子又は前記第1クロックと180°の位相差を有する第2クロックが入力される第2クロック端子に接続され、前記第1クロック又は前記第2クロックに相応するキャリー信号を次ステージの入力端子に提供する第1キャリーバッファ部と、

前記出力端子に前記第1クロック又は前記第2クロックに相応するスキャンライン駆動信号を提供するプルアップ部と、

40

前記出力端子に第1電源電圧を提供するプルダウン部と、

前記入力端子から入力される信号に応答して前記プルアップ部をターンオンさせ、前記次ステージのスキャンライン駆動信号に応答して前記プルアップ部をターンオフさせるプルアップ駆動部と、

前記入力端子から入力される信号に応答して前記プルダウン部をターンオフさせ、前記次ステージのスキャンライン駆動信号に応答して前記プルダウン部をターンオンさせるプルダウン駆動部と、

前ステージの第1キャリーバッファ部から提供された前記プルアップ部に印加される前記キャリー信号のレベルをダウンさせる第2キャリーバッファ部と、

50

を含み、

前記第 1 キャリーバッファ部は、ドレインに印加される前記第 1 クロック又は前記第 2 クロックを、ゲートに印加される前記プルアップ駆動部からの入力信号に応答して、ソースを通じて前記次ステージに出力する第 1 トランジスタを含み、前記第 2 キャリーバッファ部は、ドレインが前記入力端子又は前記前ステージの前記第 1 キャリーバッファ部の前記第 1 トランジスタのソースに接続され、ゲートが前記プルダウン部に接続され、ソースが前記第 1 電源電圧の提供を受ける第 4 トランジスタを含むことを特徴とする液晶表示装置。

【請求項 6】

請求項 5 に記載の液晶表示装置において、前記第 2 キャリーバッファ部は、ドレインとゲートとが互いに前記第 4 トランジスタのソースに接続され、ソースが前記第 1 電源電圧の提供を受ける第 5 トランジスタをさらに含むことを特徴とする液晶表示装置。

10

【請求項 7】

請求項 5 に記載の液晶表示装置において、前記第 2 キャリーバッファ部は、ドレインが前記第 4 トランジスタのゲートと接続され、ゲートが前記第 4 トランジスタのドレインと接続され、ソースが前記第 1 電源電圧の提供を受ける第 6 トランジスタをさらに含むことを特徴とする液晶表示装置。

【請求項 8】

請求項 5 に記載の液晶表示装置において、前記第 2 キャリーバッファは、ドレインとゲートとが互いに前記第 4 トランジスタのソースに接続され、ソースが前記第 1 電源電圧の提供を受ける第 5 トランジスタと、ドレインが前記第 4 トランジスタのゲートと接続され、ゲートが前記第 4 トランジスタのドレインと接続され、ソースが前記第 1 電源電圧の提供を受ける第 6 トランジスタと、

20

をさらに含むことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シフトレジスタとこれを有する液晶表示装置に関するものであり、より詳細には、大画面、高解像度の a - Si TFT LCD に適用可能であるシフトレジスタとこれを有する液晶表示装置に関するものである。

30

【0002】

【従来の技術】

一般に、薄膜トランジスタ (TFT) を用いる液晶表示装置は、a - Si TFT LCD と poly - Si TFT LCD に区分される。poly - Si TFT LCD は消費電力が小さく、価格が高くないが、a - Si TFT LCD に比べて TFT 製造工程が複雑であるという短所がある。だから、poly - Si TFT LCD は IMT - 2000 フォンのディスプレイのように小型ディスプレイ装置に主に適用される。

a - Si TFT LCD は大面積が容易であり、収率が高くて主にノートブック PC、LCD モニター、HDTV などの大画面ディスプレイ装置に適用される。

【0003】

40

図 1 は、poly - TFT LCD の TFT 基板の構成を示す概略図であり、図 2 は従来の a - Si TFT LCD の TFT 基板の構成を示す概略図である。

図 1 に示すように、poly - Si TFT LCD はピクセルアレイが形成されたガラス基板 10 上にデータ駆動回路 12 及びゲート駆動回路 14 を形成し、端子部 16 と集積プリント回路基板 20 をフィルムケーブル 18 に接続する。このような構造は、製造原価を節減し、駆動回路の一体化により電力損失を最小化することができる。

【0004】

しかし、図 2 に示すように、a - Si TFT LCD は可撓性印刷回路基板上に COF (CHIP ON FILM) 方式にデータ駆動チップ 34 を形成し、可撓性印刷回路基板を通じてデータ印刷回路基板 36 とピクセルアレイのデータライン端子部を接続する。

50

また、可撓性印刷回路基板には、前述したCOF方式によりゲート駆動チップ40を形成し、可撓性印刷回路基板を通じてゲート印刷回路基板42とピクセルアレイのゲートライン端子部を接続する。

即ち、a-Si TFT LCDでは、a-Si 工程の長所である高い生産性にもかかわらず、poly-Si TFT LCDでの費用側面と薄い(Slim)構造の面で不利である。

【0005】

また、a-Si TFT LCDを高解像度、大画面用に具現する場合、特に、ピクセルのゲートラインに存在する容量性負荷(capacitive load)に充電された電荷を速い時間内に放電することができるゲート駆動回路を必要とする。しかし、従来のゲート駆動回路を利用する場合、ディスプレイ不良が発生されない高解像度大画面ディスプレイの具現が困難であった。

【0006】

【発明が解決しようとする課題】

本発明の目的は、大画面、高解像度のa-Si TFT LCDに適用可能であるシフトレジスタを提供することにある。

本発明の他の目的は、シフトレジスタを備える液晶表示装置を提供することにある。

本発明の別の目的は、大画面、高解像度のa-Si TFT LCDに適用可能であるシフトレジスタ駆動方法を提供することにある。

【0007】

【発明を解決するための手段】

上述した目的を達成するための本発明によるシフトレジスタは、縦続接続された複数のステージからなり、各ステージは複数のスキャンラインを順次を選択するための複数のスキャンライン駆動信号を順次に出力するシフトレジスタにおいて、前記各ステージは、次ステージに第1クロック又は前記第1クロックと180°位相差を有する第2クロックに相応するキャリア信号を提供するキャリアバッファ部と、出力端子に前記第1クロック又は第2クロックに相応するスキャンライン駆動信号を提供するプルアップ部と、前記出力端子に第1電源電圧を提供するプルダウン部と、前ステージのキャリアバッファ部から提供されるキャリア信号に 응답して前記プルアップ部をターンオンさせ、次ステージのスキャンライン駆動信号に 응답して前記プルアップ部をターンオフさせるプルアップ駆動部と、前ステージのキャリアバッファ部から提供されるキャリア信号に 응답して前記プルダウン部をターンオフさせ、次ステージのスキャンライン駆動信号に 응답して前記プルダウン部をターンオンさせるプルダウン駆動部とを含む。

【0008】

上述した目的を達成するための本発明による液晶表示装置は、透明基板上に形成された表示セルアレイ回路、データ駆動回路、ゲート駆動回路を含み、前記表示セルアレイ回路は複数のデータラインと複数のゲートラインを含む液晶表示装置において、前記ゲート駆動回路は複数のステージからなって各ステージのゲートライン駆動信号により前記複数のゲートラインを順次を選択するシフトレジスタにより構成し、前記各ステージは、次ステージに第1クロック及び第1クロックと180°位相差を有する第2クロックに相応するキャリア信号を提供するキャリアバッファ部と、出力端子に前記第1及び第2クロックに相応するゲートライン駆動信号を提供するプルアップ部と、前記出力端子に第1電源電圧を提供するプルダウン部と、前ステージのキャリアバッファ部から提供されるキャリア信号に 응답して前記プルアップ部をターンオンさせ、次ステージへのゲートライン駆動信号に 응답して前記プルアップ部をターンオフさせるプルアップ駆動部と、前記前ステージのキャリアバッファ部から提供されるキャリア信号に 응답して前記プルダウン部をターンオフさせ、前記次ステージへのゲートライン駆動信号に 응답して前記プルダウン部をターンオンさせるプルダウン駆動部を含む。

【0009】

上述した目的を達成するための本発明によるシフトレジスタ駆動方法は、縦続接続された

10

20

30

40

50

複数のステージからなり、各ステージは複数のスキャンラインを順次に選択するための複数のスキャンライン駆動信号を順次に出力するシフトレジスタを駆動するシフトレジスタ駆動方法において、前記各ステージは、次ステージに第1クロック又は前記第1クロックと180°位相差を有する第2クロックに相応するキャリア信号を提供するステップと、前ステージから提供されるキャリア信号に応答して前記第1クロック又は第2クロックに相応するスキャンライン駆動信号を出力するステップと、次ステージのスキャンライン駆動信号に応答して前記スキャンライン駆動信号を非アクティブ化させる。

【0010】

上述した目的を達成するための本発明によるシフトレジスタは、複数のステージが配置され、第一ステージに開示信号の入力を受けて各ステージは複数のスキャンラインを選択するためのスキャンライン駆動信号を順次に出力するシフトレジスタにおいて、前記各ステージは、次ステージに前記第1クロック及び前記第1クロックと180°の位相差を有する第2クロックに相応するキャリア信号を提供する第1キャリアバッファ部と、出力端子に前記第1クロック又は第2クロックに相応するスキャンライン駆動信号を提供するプルアップ部と、前記出力端子に第1電源電圧を提供するプルダウン部と、前ステージの第1キャリアバッファ部から提供されるキャリア信号に応答して前記プルアップ部をターンオンさせ、次ステージのスキャンライン駆動信号に応答して前記プルアップ部をターンオフさせるプルアップ駆動部と、前ステージの第1キャリアバッファ部から提供されるキャリア信号に応答して前記プルダウン部をターンオンさせ、次ステージのスキャンライン駆動信号に応答して前記プルダウン部をターンオンさせるプルダウン駆動部と、前ステージの第1キャリアバッファ部から提供され、前記プルアップ部に印加される前記キャリア信号のレベルをダウンさせる第2キャリアバッファ部とを含む。

【0011】

上述した目的を達成するための本発明による液晶表示装置は、透明基板上に形成された表示セルアレイ回路、データ駆動回路、ゲート駆動回路を含み、前記表示セルアレイ回路は複数のデータラインと複数のゲートラインを含む液晶表示装置において、前記ゲート駆動回路は複数のステージが配置されて各ステージのゲートライン駆動信号により前記複数のゲートラインを順次に選択するシフトレジスタにより構成し、前記各ステージは、次ステージに第1クロック及び第1クロックと180°の位相差を有する第2クロックに相応するキャリア信号を提供する第1キャリアバッファ部と、出力端子に前記第1クロック又は第2クロックに相応するスキャンライン駆動信号を提供するプルアップ部と、前記出力端子に第1電源電圧を提供するプルダウン部と、前ステージの第1キャリアバッファ部から提供されるキャリア信号に応答して前記プルアップ部をターンオンさせ、次ステージのゲートライン駆動信号に応答して前記プルアップ部をターンオフさせるプルアップ駆動部と、前記前ステージの第1キャリアバッファ部から提供されるキャリア信号に応答して前記プルダウン部をターンオンさせ、前記次ステージのゲートライン駆動信号に応答して前記プルダウン部をターンオンさせるプルダウン駆動部と、前記前ステージの第1キャリアバッファ部から提供された前記プルアップ部に印加される前記キャリア信号のレベルをダウンさせる第2キャリアバッファ部とを含む。

【0012】

上述した目的を達成するための本発明によるシフトレジスタは、第1及び第2クロック信号を交代に入力を受けて複数のスキャンライン駆動信号を提供する縦続接続された複数のステージにより構成されるシフトレジスタにおいて、前記各ステージは、前記第1及び第2クロック信号のうちの対応されるクロック信号の入力を受けて出力端子にスキャンライン駆動を提供するプルアップスイッチング素子と、スキャン開始信号又は直前ステージのスキャンライン駆動信号に応答してプルアップスイッチング素子をターンオンさせる第1プルアップ駆動スイッチング素子と、直後ステージのスキャンライン駆動信号に応答して前記プルアップスイッチング素子をターンオフさせる第2プルアップ駆動スイッチング素子と、前記出力端子に第1電源電圧を提供する第1プルダウンスイッチング素子と、前記スキャン開始信号又は前記直前ステージのゲートライン駆動信号の前縁に応答して前記第

10

20

30

40

50

1 プルダウンスイッチング素子をターンオフさせるプルダウン駆動スイッチング素子と、前記直後ステージのスキャンライン駆動信号に応答してターンオンされ、前記第1プルダウンスイッチング素子と共に前記出力端子に前記第1電源電圧を提供する第2プルダウンスイッチング素子とを含む。

【0013】

上述した目的を達成するための本発明による液晶表示装置は、透明基板上に形成された表示セルアレイ回路、データ駆動回路、ゲート駆動回路を含み、前記表示セルアレイ回路は複数のデータラインと複数のゲートラインを含む液晶表示装置において、前記ゲート駆動回路は、第1及び第2クロック信号を交代に入力を受けて複数のゲートラインを駆動するための複数のゲートライン駆動信号を提供する縦続接続された複数のステージにより構成され、前記各ステージは、前記第1及び第2クロック信号のうちの対応されるクロック信号の入力を受けて出力端子にスキャンライン駆動を提供するプルアップスイッチング素子と、スキャン開始信号又は直前ステージのゲートライン駆動信号に応答してプルアップスイッチング素子をターンオンさせる第1プルアップ駆動スイッチング素子と、直後ステージのゲートライン駆動信号に応答して前記プルアップスイッチング素子をターンオフさせる第2プルアップ駆動スイッチング素子と、前記出力端子に第1電源電圧を提供する第1プルダウンスイッチング素子と、前記スキャン開始信号又は前記直前ステージのゲートライン駆動信号に応答して前記第1プルダウンスイッチング素子をターンオフさせるプルダウン駆動スイッチング素子と、前記直後ステージのゲートライン駆動信号に応答してターンオンされ、前記第1プルダウンスイッチング素子と共に前記出力端子に前記第1電源電圧を提供する第2プルダウンスイッチング素子とを含む。

【0014】

上述した目的を達成するための本発明によるシフトレジスタは、第1及び第2クロック信号を交代に入力を受けて複数の薄膜トランジスタに接続された複数のゲートラインを駆動するための複数のゲートライン駆動信号を縦続接続された複数のステージにより構成されるシフトレジスタにおいて、前記各ステージは、第2電源電圧は第1電極に入力され、開始信号又は直前ステージのスキャンライン駆動信号のうちの少なくとも一つが第2電極に入力され、第3電極が第1ノードに接続された第1プルアップ駆動スイッチング素子と、前記第1及び第2クロック信号のうちの対応されるクロック信号が第4電極に入力され、前記第1ノードに第5電極が接続され、出力端子に第6電極が接続されたプルアップスイッチング素子と、前記出力端子に第7電極が接続され、前記2ノードに第8電極が接続され、第1電源電圧が第9電極に入力される第1プルダウンスイッチング素子と、前記出力端子に第10電極が接続され、直後ステージのゲートライン駆動信号が第11電極に入力され、前記第1電源電圧が第12電極に入力される第2プルダウンスイッチング素子と、前記第1ノードと前記出力端子間に接続されたキャパシタと、前記第1ノードに第13電極が接続され、直後ステージのゲートライン駆動信号が第14電極に接続され、前記第1電源電圧が第15電極に入力される第2プルアップ駆動スイッチング素子と、前記第1ノードに第16電極が接続され、前記第2ノードに第17電極が接続され、前記第1電源電圧を第18電極に入力される第3プルアップ駆動スイッチング素子と、前記第2電源電圧に第19電極と第20電極が共通に接続され、第21電極が第2ノードに接続された第1プルダウン駆動スイッチング素子と、前記第2ノードに第22電極が接続され、前記第1ノードに第23電極が接続され、前記第1電源電圧が第24電極に入力される第2プルダウン駆動スイッチング素子とを含む。

【0015】

上述した目的を達成するための本発明によるシフトレジスタ駆動方法は、縦続接続された複数のステージで第1及び第2クロック信号を交代に入力を受けて複数のスキャンラインを駆動するための複数のスキャンライン駆動信号を順次に出力するシフトレジスタを駆動する方法において、前記各々のステージで第1ハイレベルを有する第1電源電圧に相応する第1ハイレベルを有する第1又は第2クロック信号の入力を受けて前記各ステージに提供するステップと、前記第1ハイレベルより所定サイズほどさらに大きい第2ハイレベル

を有する第2電源電圧を発生して前記各ステージに提供するステップと、前記第1又は第2クロック信号のデューティ期間の間に現ステージに接続されたスキャンラインをプルアップさせるスキャンライン駆動信号を発生するステップと、直後ステージのスキャンライン駆動信号に応答して現ステージのスキャンライン駆動信号をローレベルにダウンさせて前記現ステージに接続されたスキャンラインに提供するプルダウン開始ステップと、前記プルダウン開始後、前記現ステージのスキャンライン駆動信号を前記ローレベルに所定時間の間に維持するプルダウン維持ステップとを含む。

【0016】

【発明の実施の形態】

以下、図面を参照して本発明の望ましい一実施形態をより詳細に説明する。

図3は本発明によるa-Si TFT 液晶表示装置の分解斜視図を示す。

図3に示すように、液晶表示装置100は、液晶表示パネルアセンブリ110バックライトアセンブリ120、シャーシ130及びカバー140を含む。

【0017】

液晶表示パネルアセンブリ110は、液晶表示パネル112、可撓性印刷回路基板116、集積化された制御及びデータ駆動チップ118を含む。液晶表示パネル112は、TFT基板112aとカラーフィルタ基板112bを含む。TFT基板112aには、a-Si TFT 工程により表示セルアレイ回路、データ駆動回路、ゲート駆動回路及び外部接続端子が形成される。カラーフィルタ基板112bにはカラーフィルタ及び透明共通電極が形成される。TFT基板112aとカラーフィルタ基板112bは互いに対向され、これら間に液晶が注入された後に封入される。

【0018】

可撓性印刷回路基板116に設けられた制御及びデータ駆動チップ118とTFT基板112aの回路は、可撓性印刷回路基板116により電氣的に接続される。可撓性印刷回路基板116はデータ信号、データタイミング信号、ゲートタイミング信号及びゲート駆動電圧をTFT基板112aのデータ駆動回路及びゲート駆動回路に提供する。

バックライトアセンブリ120は、ランプアセンブリ122、導光板124、光学シート126、反射板128及びモールドフレーム129を含むことからなる。

【0019】

図4は本発明によるa-Si TFT LCDのTFT基板の構成を示す図面である。

図4に示すように、本発明のTFT基板112a上には、表示セルアレイ回路150、データ駆動回路160、ゲート駆動回路170、データ駆動回路外部接続端子162、163、ゲート駆動回路外部接続端子部169がTFT工程時に共に形成される。

表示セルアレイ回路150はコラム方向に延びられたm個のデータライン(DL1~DLm)とロー方向に延びられたn個のゲートライン(GL1~GLn)を含む。

【0020】

本発明の実施形態は、2インチ液晶表示パネルでデータライン及びゲートラインの数は525(即ち、176*3)*192解像度を有する。

データラインとゲートラインの各交差点にはスイッチングトランジスタ(ST)が形成される。スイッチングトランジスタ(STi)のドレインはデータライン(DLi)に接続され、ゲートはゲートライン(GLi)に接続される。スイッチングトランジスタ(STi)のソースは透明画素電極(PE)に接続される。透明画素電極(PE)とカラーフィルタ基板112bに形成された透明共通電極(CE)の間に液晶(LC)が位置することになる。

これにより、透明画素電極(PE)と透明共通電極(CE)間に印加された電圧により液晶配列が制御されて通過される光量を制御して、各ピクセルのグレイ表示をすることになる。

【0021】

データ駆動回路160は、シフトレジスタ164と528個のスイッチングトランジスタ(SWT)を含む。528個のスイッチングトランジスタ(SWT)は66個ずつ8個の

10

20

30

40

50

データラインブロック (BL1 ~ BL8) を形成する。

各データラインブロック (BLi) は、66個のデータ入力端子により構成された外部入力端子163に66個の入力端子が共通に接続され、対応する66個のデータラインに66個の出力端子が接続される。また、シフトレジスタ164の8個の出力端子のうちの対応する一つの出力端子にブロック選択端子が接続される。

【0022】

528個のスイッチングトランジスタ (SWT) 各々は、対応するデータラインにソースが接続され、66個のデータ入力端子のうちの対応する入力端子にドレインが接続され、ゲートにブロック選択端子に接続された a - Si TFT MOSトランジスタにより構成される。

10

したがって、528個のデータラインは、66個ずつ8個のブロックに分割され、シフトレジスタ164の8個のブロック選択信号により順次に各ブロックが選択される。

シフトレジスタ164は、3端子の外部接続端子162を通じて第1クロック (CKH)、第2クロック (CKHB)、ブロック選択開始信号 (STH) が提供される。シフトレジスタ164の出力端子は各々対応するラインブロックのブロック選択端子に接続される。

【0023】

図5は前述した図4のデータ駆動回路のシフトレジスタのブロック図である。

図5に示すように、本発明によるシフトレジスタ164は、9個のステージ (SRH1 ~ SRH9) が縦続接続される。即ち、各ステージの出力端子 (OUT) が次ステージの入力端子 (IN) に接続される。ステージの数はデータラインブロックに対応する8個のステージ (SRH1 ~ SRH8) と一つのダミーステージ (SRH9) により構成される。各ステージは入力端子 (IN)、出力端子 (OUT)、制御端子 (CT)、クロック入力端子 (CK)、第1電源電圧端子 (VSS)、第2電源電圧端子 (VDD) を有する。8個のステージ (SRH1 ~ SRH8) は各データラインブロック (BL1 ~ BL8) のブロック選択端子にブロック選択開始信号 (DE1 ~ DE8) を各々提供する。ブロック選択開始信号は各ラインブロックのイネーブル信号である。

20

【0024】

奇数番目ステージ (SRH1、SRH3、SRH5、SRH7、SRH9) には第1クロック (CKH) が提供され、偶数番目ステージ (SRC2、SRC4、SRC6、SRC8) には第2クロック (CKHB) が提供される。第1クロック (CKH) と第2クロック (CKHB) は互いに反対される位相を有する。第1クロック (CKH) 及び第2クロック (CKHB) のデューティ期間は $1/66\text{ms}$ 以下にする。

30

【0025】

各ステージの各制御端子 (CT) には、次ステージの出力信号が制御信号に制御端子 (CT) に入力される。即ち、制御端子 (CT) に入力される制御信号は、自身の出力信号のデューティ期間遅延された信号になる。

したがって、各ステージの出力信号 (ゲートライン駆動信号) が順次にアクティブ区間 (即ち、ハイ状態) を有して発生されるので、各出力信号のアクティブ区間で対応されるデータラインブロックが選択され、イネーブルされることになる。

40

ダミーステージ (SRH9) は前ステージ (SRH8) の制御端子 (CT) に制御信号を提供するためのものである。

【0026】

図6は前述した図4のゲート駆動回路に利用されるシフトレジスタを説明するためのブロック図である。

図6に示すように、前述した図4のゲート駆動回路170は一つのシフトレジスタにより構成され、前述したシフトレジスタは複数のステージ (SRC1 ~ SRC192、ダミーステージ) が縦続接続される。即ち、各ステージの出力端子 (OUT) が次ステージの入力端子 (IN) に接続される。ステージはゲートラインに対応する192個のステージ (SRC1 ~ SRC192) と一つのダミーステージ (SRC193) により構成される。

50

各ステージは入力端子 (I N)、出力端子 (O U T)、制御端子 (C T)、クロック入力端子 (C K H)、第 1 電源電圧端子 (V S S)、第 2 電源電圧端子 (V D D) を有する。

【 0 0 2 7 】

第 1 ステージ (S R C 1) の入力端子 (I N) には、スキャン開始信号 (S T V) が入力される。スキャン開始信号 (S T V) は垂直同期信号 (V s y n c) に同期されたパルスである。

各ステージの出力信号 (G O U T 1 ~ G O U T 1 9 2) は、対応される各ゲートラインに接続される。奇数番目ステージ (S R C 1、S R C 3、. . .) には第 1 クロック (C K V) が提供され、偶数番目ステージ (S R C 2、S R C 4、. . .) には第 2 クロック (C K V B) が提供される。ここで、第 1 クロック (C K V) と第 2 クロック (C K V B) は互いに反対される位相を有する。また、第 1 クロックと第 2 クロックのデューティ期間は 1 6 . 6 / 1 9 2 m s の期間になる。

したがって、データ駆動回路のシフトレジスタ 1 6 4 のクロックのデューティ期間に比べて、ゲート駆動回路のシフトレジスタ 1 6 4 のクロックのデューティ期間は約 8 倍以上になる。

【 0 0 2 8 】

各ステージ (S R C 1、S R C 2、S R C 3、. . .) の制御端子 (C T) には次ステージ (S R C 2、S R C 3、S R C 4、. . .) の出力端子 (G O U T 2、G O U T 3、G O U T 4) が制御信号に制御端子 (C T) に入力される。即ち、制御端子 (C T) に入力される制御信号は自身の出力信号のデューティ期間遅延された信号になる。

したがって、各ステージの出力信号が順次にアクティブ区間 (ハイ状態) を有して発生されるので、各出力信号のアクティブ区間で対応される水平ラインが選択されることになる。

【 0 0 2 9 】

図 7 は、図 6 に示したシフトレジスタの各ステージの具体的な回路構成を示し、図 8 は図 7 による出力波形図を示す。

図 7 に示すように、シフトレジスタの各ステージは、プルアップ部 1 7 1、プルダウン部 1 7 2、プルアップ駆動部 1 7 3 及びプルダウン駆動部 1 7 4 を含む。

プルアップ部 1 7 1 は、パワークロック入力端子 (C K V) にドレインが接続され、第 1 ノード (N 1) にゲートが接続され、出力端子 (G O U T [N]) にソースが接続された第 1 N M O S トランジスタ (M 1) により構成される。

【 0 0 3 0 】

プルダウン部 1 7 2 は、出力端子 (G O U T [N]) にドレインが接続され、第 4 ノード (N 4) にゲートが接続され、ソースが第 1 電源電圧端子 (V S S) に接続された第 2 N M O S トランジスタ (M 2) により構成される。

プルアップ駆動部 1 7 3 は、キャパシタ (C)、第 3 乃至第 5 トランジスタ (M 3 ~ M 5) により構成される。キャパシタ (C) は第 1 ノード (N 1) と出力端子 (G O U T [N]) 間に接続される。第 3 トランジスタ (M 3) はドレインが第 2 電源電圧 (V O N) に接続され、ゲートが入力端子 (I N)、即ち前ステージの出力信号 (G O U T [N - 1]) に接続され、ソースが第 1 ノード (N 1) に接続される。第 4 トランジスタ (M 4) はドレインが第 1 ノード (N 1) に接続され、ゲートが第 2 ノード (N 2) に接続され、ソースが第 1 電源電圧 (V O F F) に接続される。第 5 トランジスタ (M 5) はドレインが第 1 ノード (N 1) に接続され、ゲートが第 2 ノード (N 2) に接続され、ソースが第 1 電源電圧 (V O F F) に接続される。ここで、第 3 トランジスタ (M 3) のサイズは第 5 トランジスタ (M 5) のサイズより 2 倍程度大きく形成される。

【 0 0 3 1 】

プルダウン駆動部 1 7 4 は、第 6 及び第 7 トランジスタ (M 6、M 7) により構成される。第 6 トランジスタ (M 6) はドレインとゲートが共通され第 2 電源電圧 (V O N) に接続され、ソースが第 2 ノード (N 2) に接続される。第 7 トランジスタ (M 7) はドレインが第 2 ノード (N 2) に接続され、ゲートが第 1 ノード (N 1) に接続され、ソースが

第1電源電圧（V_{OFF}）に接続される。ここで、第6トランジスタ（M₆）のサイズは第7トランジスタ（M₇）のサイズより16倍程度大きく形成される。

【0032】

図8に示すように、第1及び第2パワークロック（CKV、CKVB）とスキャン開始信号（ST）がシフトレジスタに供給されると、第1ステージ（SRC1）ではスキャン開始信号（ST）の前縁に応答して第1パワークロック（CKV）のハイレベル区間を所定時間（T_{dr1}）遅延させて出力端子（OUT）に出力信号（GOUT1）に発生する。以上で説明したように、アレイ基板が配置されるガラス上のシフトレジスタにはスキャン開始信号（STV）と共に第1及び第2パワークロック（CKV、CKVB）が供給され、ゲート駆動回路として動作を実行する。

10

【0033】

図9は前記図6による駆動波形を説明するための波形図である。以下、図9を参照して図7のa-SiTFTのゲートを駆動するためのシフトレジスタの各ステージの動作を説明する。

図9に示すように、前述したシフトレジスタは入力される2Hを1周期にして、第1パワークロック（CKV）又は第1パワークロック（CKV）に位相が反転する第2パワークロック（CKVB）のうちのいずれか一つの印加を受けて、複数のゲート信号（GOUT1、GOUT2、GOUT3、...）をTFT-LCDゲートラインに順次出力する。ここで、第1及び第2パワークロック（CKV、CKVB）はa-TFTを駆動するためにタイミングコントローラ（図示せず）の出力である0～3V振幅の信号を、例えば、-8～24V振幅の信号に増幅した信号である。

20

【0034】

図7に示すように、前ステージの出力信号（GOUT[N-1]）は現ステージのキャパシタ（C）を充電させることにより、現ステージをセットさせる。また、次ステージの出力（GOUT[N+1]）は現ステージのキャパシタ（C）を放電させることにより、現ステージをリセットさせる。即ち、現ステージの出力信号を非アクティブ化させる。ここで、第1クロック信号（CKV）と第2クロック信号（CKVB）は互いに反対の位相を有する。

まず、第1及び第2クロック信号（CKV、CKVB）とスキャン開始信号（STV）が第1ステージに供給されると、スキャン開始信号（STV）の上昇エッジに응答して第1クロック信号（CKV）のハイレベル区間が所定時間遅延された後、出力端子に出力信号（GOUT[1]）が発生される。

30

【0035】

プルアップ駆動部173のキャパシタ（C）が入力端子（IN）を通じてトランジスタ（NT1）のゲートに入力されたスキャン開始信号（STV）の立上がりエッジで充電され始める。キャパシタ（C）の充電電圧（V_{c1}）がプルアップトランジスタ（M1）ゲートソース間スレッシュホールド電圧以上に充電された以後に、プルアップトランジスタ（M1）がターンオンされ、第1クロック信号（CKV）のハイレベル区間が出力端子に示される。その結果、このような遅延特性が示される。

【0036】

出力端子（OUT）にクロック信号のハイレベル区間が示されると、この出力電圧がキャパシタ（C）にブートストラップされ、プルアップトランジスタ（M1）のゲートライン駆動電圧がターンオン電圧（V_{on}）以上に上昇することになる。したがって、NMOSトランジスタであるプルアップトランジスタ（M1）が完全（FULL）導通状態を維持することになる。ここで、トランジスタ（M3）のサイズはトランジスタ（M4）のサイズより約2倍程度大きいために、スキャン開始信号（STV）によりトランジスタ（M4）がターンオンされても、トランジスタ（NT2）をターンオン状態に遷移させる。

40

【0037】

一方、プルダウン駆動部174は、開始信号が入力される前には第6トランジスタ（M6）により第1ノード（N1）が第2電源電圧（V_{ON}）に上昇されて第2トランジスタ（

50

M2)はターンオンされる。したがって、出力端子(OUT)の出力信号の電圧が第1電源電圧(VOFF)状態にある。スキャン開始信号(STV)が入力されると、第7トランジスタ(M7)がターンオンされて第2ノード(N2)の電位が第1電源電圧(VOFF)にダウンされる。以後、第6トランジスタ(M6)がターンオン状態であっても、第7トランジスタ(M7)のサイズが第6トランジスタ(M6)のサイズより約16倍程度大きいために、第2ノード(N2)は第1電源電圧(VOFF)状態に続けて維持される。したがって、プルダウントランジスタ(M2)はターンオン状態でターンオフ状態に遷移される。

即ち、開始信号が入力されると、プルアップトランジスタ(M1)はターンオンされ、プルダウントランジスタ(M2)はターンオフされ、出力端子には第1クロック信号(CKV)が第2クロック信号(CKVB)のデューティ期間遅延されて示される。

10

【0038】

出力端子(OUT)の出力信号の電圧がターンオフ電圧(VOFF=VSS)状態に下降されると、第7トランジスタ(M7)がターンオフされる。ここで、第6トランジスタ(M6)を通じて第2ノード(N2)に第2電源電圧(VON)のみ供給される状態であるので、第2ノード(N2)の電位は、第1電源電圧(VOFF)から第2電源電圧(VON)に上昇され始める。第2ノード(N2)の電位が上昇され始めると、第4トランジスタ(M4)がターンオンされ始め、これによりキャパシタ(C)の充電電圧は第4トランジスタ(M4)を通じて放電され始める。これにより、プルアップトランジスタ(M1)もターンオフされ始める。

20

【0039】

続いて、制御端子(CT)に提供される次ステージの出力信号GOUT(N+1)がターンオン電圧に上昇することになるので、第5トランジスタ(M5)がターンオンされる。ここで、第5トランジスタ(M5)のサイズは第4トランジスタ(M4)より約2倍程度大きいために、第1ノード(N1)の電位は第4トランジスタ(M4)のみターンオンされた場合より、さらに速く第1電源電圧(VOFF)にダウンされる。また、第2ノード(N2)の電位が第2電源電圧(VON)に上昇されると、プルダウントランジスタ(M2)はターンオンされて出力端子OUTはターンオン電圧(VON)でターンオフ電圧(VOFF)にダウンされる。

【0040】

30

制御端子(CT)に印加される次ステージの出力信号GOUT(N+1)がローレベルに下降されて第5トランジスタ(M5)がターンオフされても、第4ノード(N4)は第6トランジスタ(M6)を通じて第2電源電圧(VON)にバイアスされた状態を維持することになる。したがって、制御端子(CT)に印加される次ステージの出力信号GOUT(N+1)がローレベルに下降されて第5トランジスタ(M5)がターンオフされても第4ノード(N4)の電位が第2電源電圧(VON)に維持されるので、プルダウントランジスタ(M2)がターンオフされる誤動作の憂慮なしに安定された動作が確保される。上述した動作により各ステージが動作して出力信号GOUT[1]~GOUT[4]が図8に示したように順次に安定されるように発生される。

【0041】

40

以上で説明したように、前ステージの出力信号によりキャパシタ(C)が充電された後、プルアップ部又はプルダウン部に接続されたパワークロックがハイレベルになると、前述した電圧がステージの出力電圧になり、上述した出力電圧により次ステージのゲートラインに印加波形が発生される瞬間次ステージ出力は放電トランジスタを動作させてキャパシタ電圧を放電させ、シフトレジスタの一動作サイクルを終了することになる。

【0042】

しかし、シフトレジスタをゲート駆動回路に利用する場合には、525(176*3)*192解像度を有する液晶表示パネルに対して説明したように、小型又は中小型画面には適しているが、高解像度を有する大画面には適していない。図6に示すように、シフトレジスタに備えられる各ステージは入力される2H周期の第1及び第2パワークロック(C

50

K V、C K V B)のうち、いずれか一つを液晶表示パネルのゲートラインに印加するようにする動作を実行する。n 番目ステージの動作を簡略に説明すると、次の通りである。即ち、n - 1 番目ゲートオン信号を利用して n 番目ゲートオン信号を発生させ、n + 1 番目ゲートオン信号を制御信号 (C T) にして、ステージを制御し、その他の時間はゲートオフ電圧 (V o f f) レベルを発生させるものである。

【0043】

ここで、問題になることは、n 番目ステージの入力信号に使用される n - 1 番目ゲートオン信号が n - 1 番目ゲートラインと接続されているために、当該ラインにかかるロードが n 番目ステージの入力端 (I N) に影響を及ぼす。これにより、信号遅延が発生され、他のステージに接続される時もロードがかかる。

10

即ち、ゲートラインには、図 10 に示すように、複数の抵抗成分とキャパシタンス性分が存在し、n 番目ステージの入力信号が n - 1 番目ステージの出力信号の伝達を受ける。ここで、n - 1 番目ゲートラインとも接続されているために、ゲートラインに存在する R C ロードに影響を受けて信号遅延が生ずる。

また、各々のステージは互いに縦続接続されているために、追加的にゲートラインのロードに影響を受けると、画面下側に行くほど信号遅延が激しくなって、結局には表示が不可能になるという問題点がある。中小型の場合には、R C ロードが小さくゲートライン駆動信号がオンレベルを維持する時間が長いために、前述した問題は無視できるが、大型液晶表示パネルに適用する時にはその問題が無視できない。

【0044】

20

このような問題点を解決するための手段として、次ステージを駆動させる信号として前ステージのゲートライン駆動信号を利用せずに、外部で別途に印加される信号を利用することにより、信号遅延により発生される問題点を解決するための方法を提案する。

図 11 は本発明によるシフトレジスタを説明するためのブロック図として、特に、ゲート駆動回路に動作するシフトレジスタを説明するためのブロック図である。

【0045】

図 11 に示すように、本発明によるゲート駆動回路は一つのシフトレジスタにより構成され、シフトレジスタは複数のステージ (S R C 1、S R C 2、S R C 3、... S R C_N、S R C_{N+1}) が接続され、ステージ間には複数のキャリーバッファ (C B 1、C B 2、... C B_N) が備えられる。即ち、各ステージの出力端子 (O U T) は前ステージの制御端子 (C T) に接続される。ここで、ステージはゲートラインに対応する N 個のステージ (S R C₁ ~ S R C_N) と一つのダミーステージ (S R C_{N+1}) により構成される。各ステージは入力端子 (I N)、出力端子 (O U T)、制御端子 (C T)、クロック入力端子 (C K)、第 1 電源電圧端子 (V S S)、第 2 電源電圧端子 (V D D) 及びキャリー出力端子 (C R R) を有する。

30

【0046】

第 1 ステージ (S R C 1) の入力端子 (I N) にはスキャン開始信号 (S T V) が入力される。ここで、スキャン開始信号 (S T V) は外部のグラフィックコントローラなどから提供される垂直同期信号 (V s y n c) に同期されたパルスである。

第 2 以後のステージ (S R C 2、S R C 3、S R C 4、...) の入力端子 (I N) には前ステージのキャリー出力端子 (C R R) から提供されるキャリー電圧をキャリーバッファを経て提供を受ける。

40

【0047】

各ステージの出力信号 (G O U T₁ ~ G O U T_N) は対応される各ゲートラインに接続される。奇数番目ステージ (S R C 1、S R C 3、...) には第 1 クロック (C K V) が提供され、偶数番目ステージ (S R C 2、S R C 4、...) には第 2 クロック (C K V B) が提供される。ここで、第 1 クロック (C K V) と第 2 クロック (C K V B) は互いに反対される位相を有する。また、第 1 クロック (C K V) と第 2 クロック (C K V B) のデューティ期間は約 16.6 / 192 [m s] の期間になる。

【0048】

50

各ステージ（SRC1、SRC2、SRC3、．．．）の各制御端子（CT）には次ステージ（SRC2、SRC3、SRC4、．．．）の出力信号（GOUT2、GOUT3、GOUT4）が制御信号に制御端子（CT）に入力される。即ち、制御端子（CT）に入力される制御信号は自信の出力信号のデューティ期間ほど遅延された信号になる。したがって、各ステージの出力信号が順次にアクティブ区間（ハイ状態）を有して発生されるので、各出力信号のアクティブ区間で対応される水平ラインが選択されることになる。

【0049】

このように、ステージ間に備えられるキャリーバッファ（CB1、CB2、．．．、CB_N）はロードがかかるゲートライン駆動信号代わりに外部で直接入力されるクロックをキャリーに使用する。キャリーバッファ（CB1、CB2、．．．、CB_N）は各ステージ内に備えることが望ましい。次の図面を参照して該当ステージ内に備えられるキャリーバッファについて説明する。

【0050】

図12は本発明によるシフトレジスタの単位ステージを説明するための図面である。

図12に示すように、シフトレジスタの各ステージはプルアップ部171、プルダウン部172、プルアップ駆動部173、プルダウン駆動部174及びキャリーバッファ部275を含む。特に、図7に示した現ステージ内に別途の薄膜トランジスタを追加して次ステージに伝達される信号を分離する。

プルアップ部171は、パワークロック入力端子（CKV）にドレインが接続され、第1ノード（N1）にゲートが接続され、出力端子（GOUT[N]）にソースが接続された第1NMOSTランジスタ（M1）により構成される。

【0051】

プルダウン部172は、出力端子（GOUT[N]）にドレインが接続され、第2ノード（N2）にゲートが接続され、ソースが第1電源電圧端子（VSS）に接続された第2NMOSTランジスタ（M2）により構成される。

プルアップ駆動部273は、キャパシタ（C）、第3～第5NMOSTランジスタ（M3～M5）により構成される。キャパシタ（C）は第1ノード（N1）と出力端子（GOUT[N]）間に接続される。第3NMOSTランジスタ（M3）は、ドレインが第2電源電圧（VON）に接続され、ゲートが入力端子（IN）、即ち、前ステージの出力信号（GOUT[N-1]）に接続され、ソースが第1ノード（N1）に接続される。第4NMOSTランジスタ（M4）はドレインが第1ノード（N1）に接続され、ゲートが第2ノード（N2）に接続され、ソースが第1電源電圧（VOFF）に接続される。第5NMOSTランジスタ（M5）はドレインが第1ノード（N1）に接続され、ゲートが第2ノード（N2）に接続され、ソースが第1電源電圧（VOFF）に接続される。ここで、第3NMOSTランジスタ（M3）のサイズは第5NMOSTランジスタ（M5）のサイズより2倍程度大きく形成される。

【0052】

プルダウン駆動部174は、第6及び第7NMOSTランジスタ（M6、M7）により構成される。第6NMOSTランジスタ（M6）はドレインとゲートが共通されて第2電源電圧（VON）に接続され、ソースが第2ノード（N2）に接続される。第7NMOSTランジスタ（M7）はドレインが第2ノード（N2）に接続され、ゲートが第1ノード（N1）に接続され、ソースが第1電源電圧（VOFF）に接続される。ここで、第6NMOSTランジスタ（M6）のサイズは第7NMOSTランジスタ（M7）のサイズより16倍程度大きく形成される。

【0053】

キャリーバッファ部275は、キャリーバッファトランジスタ（TR1）からなり、次ステージに第1及び第2クロック（CKV/CKVB）のうち、対応されるクロックの伝達を制御する。具体的に、キャリーバッファトランジスタ（TR1）のゲートはプルダウン駆動部174の入力端に接続され、ドレインは外部から入力されるクロック端に接続され

10

20

30

40

50

、ソースは次ステージに備えられるプルアップ駆動部 1 7 3 の第 3 N M O S トランジスタ (M 3) のゲートに接続される。

【 0 0 5 5 】

図 1 3 は本発明によるシフトレジスタを説明するための回路図として、特に、図 1 1 に示したシフトレジスタの各ステージの具体的な回路構成として図 1 2 に示したシフトレジスタの単位ステージを用いた図面である。図面上では説明の便宜のために 2 個のステージのみを図示する。

図 1 3 に示すように、本発明によるシフトレジスタの各ステージは、プルアップ部 2 7 1、プルダウン部 2 7 2、プルアップ駆動部 2 7 3、プルダウン駆動部 2 7 4 及びキャリーバッファ部 2 7 5 を含む。図 1 2 と比較する時、同一の構成要素に対しては同一の図面符号を使用し、その説明は省略する。

10

【 0 0 5 6 】

図示したように、ゲートライン駆動信号を出力する各々ステージにロードがかかる前ステージの出力信号をキャリーに使用せずに、外部で入力されるパワークロックをキャリーに利用することにより、各ステージから出力されるゲートライン駆動信号には前ステージの出力信号と無関係なゲートライン駆動信号が得られる。

図 1 3 に示したステージのうちの上ステージを前ステージにし、下ステージを現ステージと定義し、各ステージに備えられる構成要素の図面符号を同一に付与して、本発明の実施形態によるシフトレジスタの動作を説明する。

【 0 0 5 7 】

20

前ステージに備えられたキャリーバッファトランジスタ (T R 1) は、ゲートライン駆動信号 (G O U T [N]) をアクティブ化させる信号、即ち、プルアップトランジスタ (M 1) の制御信号であるロック (C K V) をサンプリングし、サンプリングされた信号をキャリー電圧にして、現ステージに伝達する。即ち、常に、一定なクロックレベルをキャリー電圧に使用することになるので、ステージ出力電圧低下時に発生される連鎖反応を除去することができる。

バッファ機能を実行する第 3 N M O S トランジスタ (M 3) は、ターンオフ状態に維持しているうちに、キャリーバッファトランジスタ (T R 1) を経てキャリー電圧が印加されると、アイドル状態に遷移され、一定時間の経過と共にクロックのようなキャリー電圧が印加されると、ドレインを通じて印加される第 2 電源電圧 (V O N) による電圧がキャパシタに充電されるように経路を形成する。続いて、一定時間が経過して第 3 N M O S トランジスタ (M 3) のゲートにローレベルのクロック電圧、例えば、第 1 電源電圧 (V O F F) レベルのクロック電圧が印加される場合に、ターンオフされる。動作時、前ステージに備えられたキャリーバッファトランジスタ (T R 1) はプルアップ駆動部 2 7 3 の出力に応答してゲートライン駆動信号 (G O U T [N]) をアクティブ化させる信号、即ち、プルアップトランジスタ (M 1) の制御信号であるパワークロック (C K V 又は C K V B) をサンプリングし、サンプリングされた信号をキャリー電圧にして、現ステージに伝達する。即ち、常に、一定なクロックレベルをキャリー電圧に使用することになるので、ステージ出力電圧低下時に発生できた連鎖反応を除去することができる。

30

【 0 0 5 8 】

40

図 1 4 は本発明によるシフトレジスタを用いた液晶表示装置を説明するための図面である。

図 1 4 に示すように、ゲート駆動回路 1 7 4 を構成する一つのシフトレジスタに備えられる複数のステージ (S R C 1、S R C 2、S R C 3、. . .) 各々は液晶表示パネル 1 5 0 に備えられるゲートラインをアクティブ化させるために、ゲート出力端 (O U T) を通じて複数のゲートライン駆動信号 (G O U T 1、G O U T 2、G O U T 3、. . .) を順次に印加する。

【 0 0 5 9 】

また、複数のステージ (S R C 1、S R C 2、S R C 3、. . .) 各々は、次ステージのゲートライン駆動信号を発生する動作をアクティブ化させるために、キャリー出力端 (C

50

A)を通じて、次ステージの入力端(IN)にキャリア信号を発生する。ここで、出力されるキャリア信号は互いに縦続的に接続されたステージとは独立的に外部で入力される第1クロック(CKV)又は第1クロック(CKV)に位相が反転された第2クロック(CKVB)である。

このように、現ステージの駆動のために、前ステージの出力端子(OUT)を出力するゲートライン駆動信号の入力を受けるのではなく、前ステージのキャリア出力端を通じて出力されるキャリア信号の入力を受けるので、ゲートラインの数が増加して発生されるディスプレイの悪影響を最少化することができる。

【0060】

キャリアバッファ部が配置されるレイアウト図を示す図15～図17を参照して説明する。

10

図15及び図16は、本発明によるシフトレジスタの単位ステージのうちのプルアップ部、プルダウン部及びキャリアバッファのみを示すレイアウト図であり、図17はキャリアバッファが配置される領域のみを拡大した図面である。

【0061】

大画面に該当するゲートラインのために、図12で示したプルアップ機能を実行するトランジスタ(以下、プルアップトランジスタ(M1))やプルダウン機能を実行するトランジスタ(以下、プルダウントランジスタ(M2))は、プルアップ駆動機能を実行する第3～第5NMOSTランジスタ(M3～M5)やプルダウン駆動機能を実行する第6及び第7NMOSTランジスタ(M6、M7)より相対的に大きいサイズに設計する。

20

このように、プルアップトランジスタ(M1)やプルダウントランジスタ(M2)のサイズを大きくするために、図15～図17に示すように、絶縁基板上で一定領域を定義するゲート配線とアクティブ層を順次に形成し、ゲート配線上にフィンガータイプに複数のドレイン電極と複数のソース電極を形成してプルアップトランジスタ(M1[N]、M1[N+1])とプルダウントランジスタ(M2[N]、M2[N+1])を形成する。ここで、説明の便宜のためにN番目ステージを現ステージとし、N+1番目ステージを次ステージにして、2個のステージのみを示す。

【0062】

具体的に、プルアップトランジスタ(M1[N]、M1[N+1])のゲート配線は、一定面積を定義する一定領域全体にわたって形成され、アクティブ層はゲート配線上に形成され、ドレイン電極は図面上で下方向に向かうように延びるメインドレイン配線300から複数個に分岐され、アクティブ層上に形成され、前記ソース電極のうちの分岐された各々ソースラインは、複数個に分岐されたドレインライン間及び最外郭側に形成され、一定コンタクトホールを通じて液晶表示パネルに形成されたゲートラインに接続される。複数個に分岐されたドレインラインやゲートラインの幅(W)は最小デザインルールにより5 μ mであることが望ましく、メインドレイン配線の幅は5 μ mより大きいことが望ましく、ゲート配線上に形成されるドレインラインとソースライン間の間隔(L)は小さいほど優れている性能のTFTを得ることができる。

30

【0063】

また、プルダウントランジスタ(M2[N]、M2[N+1])のゲート配線は、一定面積を定義する一定領域全体にわたって形成され、アクティブ層はゲート配線上に形成され、ドレイン電極は図面上で上方向に向かうように延びられるメインドレイン配線から複数個に分岐され、アクティブ層上に形成され、一定コンタクトホールを通じて液晶表示パネルに形成されたゲートラインに接続される。ソース電極は複数個に分岐されたドレインライン間及び最外郭側に形成される。

40

【0064】

特に、プルアップトランジスタ(M1[N]、M1[N+1])のソース電極やプルダウントランジスタ(M2[N]、M2[N+1])のドレイン電極は複数個であるので、一つの配線に共通してゲートラインに接続させるために第1コンタクトホール(CNT1)を通じて接続させ、プルアップトランジスタ(M1[N]、M1[N+1])やプルダウ

50

ントランジスタ ($M2[N]$ 、 $M2[N+1]$) 各々に形成されるソース電極の形成高さ
と液晶表示パネルに形成されたゲートラインの形成高さは相異なるので、第1コンタ
クトホール ($CNT1$) に接続された導電性物質である第1ITO層 ($ITO1$) と第2コン
タクトホール ($CNT2$) を利用したブリッジ接続方式として相異なる高さで形成された
ソース電極とゲートラインを接続させる。

【0065】

一方、現ステージのプルアップトランジスタ ($M1$) のドレイン電極に印加されるパワ
ークロック (CKV 又は $CKVB$) を次ステージのプルアップ駆動部、即ち、第3NMOS
トランジスタ ($M3$) のゲートに印加するために、プルアップトランジスタ ($M1$) 周囲
にキャリーバッファトランジスタ ($TR1$) を形成する。

10

具体的には、キャリーバッファトランジスタ ($TR1$) のゲート電極は、プルアップトラ
ンジスタ ($M1[N]$ 、 $M1[N+1]$) のゲート配線に共通に形成し、ドレイン電極は
プルアップトランジスタ ($M1[N]$ 、 $M1[N+1]$) のドレイン電極を形成するメイ
ン配線から分岐されるように形成し、ソース電極はプルアップトランジスタ ($M1[N]$
、 $M1[N+1]$) とプルダウントランジスタ ($M2[N]$ 、 $M2[N+1]$) の縦端を
迂回して次ステージの第3NMOSトランジスタ ($M3$) のゲートに接続されるように形
成する。

【0066】

特に、キャリーバッファトランジスタ ($TR1$) のソース電極から延びたソースラインの
形成高さと次ステージの第3NMOSトランジスタ ($M3$) のゲート電極に接続されたゲ
ート配線の形成高さが相異なるので、キャリーバッファトランジスタ ($TR1$) のソー
スラインに第3コンタクトホール ($CNT3$) を経て接続された導電性物質である第2ITO
($ITO2$) と第4コンタクトホール ($CNT4$) を利用したブリッジ接続方式により
、相異なる高さで形成されたキャリーバッファトランジスタ ($TR1$) のソースラインと
第3NMOSトランジスタ ($M3$) のゲート電極に接続されたゲートラインを接続させる
。

20

【0067】

一方、図6及び図7のシフトレジスタをゲート駆動回路に利用する場合には、 $525(176 \times 3) \times 192$ 解像度を有する液晶表示パネルについて説明したように、小型又は中
小型画面には適しているが、高解像度を有する大画面には適していない。

30

その理由は、大画面に該当するゲートラインのためにプルアップ/プルダウン機能を実行
する各トランジスタ ($M1/M2$) 大きさを増加させなければならないが、シフトレジス
タを一定空間に集積して設計するには、適していない大きさになる。

したがって、ゲートラインを十分に駆動しないプルアップ/プルダウントランジスタ ($M1/M2$) の大きさとアモルファス特性上、温度及び工程的にTFETの臨界電圧 (V_{th}) の変化が多結晶シリコン (POLY-Si) 又は単結晶シリコン素子に比べて相当に大
きいので、信頼性及び収率に問題になる。

【0068】

図18～図20は、図7のシフトレジスタから出力されるゲートライン駆動信号のシミュ
レーション結果を説明するための図面である。

40

図18に示すように、常温及び定常的な臨界電圧でシフトレジスタの各ステージから出力
されるゲートライン駆動信号 ($GOUT1$ 、 $GOUT2$ 、 $GOUT3$ 、...) は、方形
波の傾きに隣接した傾きと共に約25ボルトの同一レベルを有する。

一方、図19に示すように、温度が増加するに連れ臨界電圧が小さくなるので、シフトレ
ジスタの各ステージから出力されるゲートライン駆動信号 ($GOUT1'$ 、 $GOUT2'$
、 $GOUT3'$ 、...) は方形波の傾きに近似する傾きを有するが、第1ゲートライン
駆動信号 ($GOUT1'$) が約20ボルトレベルを有し、第2ゲートライン駆動信号 ($GOUT2'$) からは順次に減少される電圧レベルを有する。

【0069】

特に、特定ゲートラインには、ゲートライン駆動信号が印加される以前にスパーク性オー

50

バライド (O v e r r i d e) が印加されることが確認できた。このようなオーバーライドにより順次にゲートライン駆動信号のレベルが減少されて、各ステージの出力波形には誤動作が発生することになる。

一方、図 20 に示すように、温度が減少するにつれて臨界電圧が大きくなるので、シフトレジスタの各ステージから出力されるゲートライン駆動信号 (G O U T 1 "、G O U T 2 "、G O U T 3 "、. . .) は緩慢な傾きを有し、また第 1 ゲートライン駆動信号 (G O U T 1 ") が約 2.2 ボルトレベルを有し、第 2 ゲートライン駆動信号 (G O U T 2 ") からは順次に減少される電圧レベルを有する。

【 0 0 7 0 】

以上の波形図で説明したように、常温及び正常的な臨界電圧 (V_{th}) では、シフトレジスタが正常的に動作し、シフトレジスタの各ステージから出力されるゲートライン駆動信号は均一な電圧レベルとして出力される。しかし、温度が増加又は減少するにつれて臨界電圧 (V_{th}) が変化すると、シフトレジスタの各ステージから出力されるゲートライン駆動信号は非正常的な波形を有する。このような、非正常的な波形は結局、液晶表示パネルに備えられるスイッチング素子を正常的にターンオンさせることができず、正常的な画面をディスプレイさせることができないという要因になる。

【 0 0 7 1 】

特に、前記の結果は、図 6 に示すように、前ステージで出力されるゲートライン駆動信号がキャリアになり、現ステージで出力されるゲートライン駆動信号に悪い影響を及ぼす回路構造から起因したものとして、臨界電圧 (V_{th}) の変動が発生し、連続的に各ステージが駆動される場合にゲートライン駆動信号を出力することができないステージが存在することが確認できる。

前記の結果は、ゲートラインの長さに比べてゲートライン駆動信号を出力するプルアップ部 171 とプルダウン部 172 の容量が足りなく、ステージ数が増える大画面、高解像度の液晶表示パネルで、さらに顕著に顕われる。

【 0 0 7 2 】

大画面、高解像度の液晶表示パネルに適用時に必ず必要である要素である臨界電圧 (V_{th}) に対して鈍感なシフトレジスタを添付する図面を参照して説明する。

図 21 は本発明の第 2 実施形態によるシフトレジスタを説明するための回路図である。図面上では説明の便宜のために 2 個のステージのみを図示する。

図 21 に示すように、本発明の第 2 実施形態によるシフトレジスタの各ステージは、プルアップ部 171、プルダウン部 172、プルアップ駆動部 173、プルダウン駆動部 174、第 1 キャリーバッファ 275 及び第 2 キャリーバッファ 276 を含む。図 7 と比較する時、プルアップ部 171、プルダウン部 172、プルアップ駆動部 173 及びプルダウン駆動部 174 は同一であるので、同一の符号を付与し、その詳細な説明は省略する。

【 0 0 7 3 】

第 1 キャリーバッファ 275 は、第 1 トランジスタ ($T R 1$) からなり、次ステージに第 1 及び第 2 クロック ($C K V / C K V B$) のうちの対応されるクロックの伝達を制御する。

より詳細には、第 1 トランジスタ ($T R 1$) のゲートはプルダウン駆動部 174 の入力端に接続され、ドレインは外部から入力されるクロック端に接続され、ソースは次ステージの第 2 キャリーバッファ 276 に接続される。

【 0 0 7 4 】

第 2 キャリーバッファ 276 は、インバータ機能を実行するプルダウン駆動部 174 により制御される第 2 トランジスタ ($T R 2$) からなり、ターンオン状態で前ステージの第 1 キャリーバッファ 275 から提供されプルアップ部 171 に印加される第 1 及び第 2 クロックのうちの対応されるクロックによりバッファトランジスタ ($M 3$) が動作してプルダウン駆動部 174 が反転される瞬間にターンオフされ、キャリア電圧が伝達される時間の間にキャリアレベルが低下されることを防止する。

【 0 0 7 5 】

第2トランジスタ(T R 2)のドレインは前ステージの第1トランジスタ(T R 1)のソース及び現ステージのプルアップ駆動部173の入力端に各々接続され、ゲートはプルダウン部172、即ち、第2NMOSTランジスタ(M 2)のゲートに接続され、ソースは第1電源電圧端子(V S S)を通じて第1電源電圧と接続される。

また、第2キャリーバッファ276は、1H時間後にプルダウン駆動部174の動作によりターンオン状態を維持してバッファトランジスタ(M 3)をターンオフさせる第1電源電圧(V O F F)を印加する。第1電源電圧端子(V S S)は前記した図5で説明した第1電源電圧端子(V S S)と同一である。

このように、ゲートライン駆動信号を出力する各々のステージにロードがかかる前ステージの出力信号をキャリーに使用せずに、外部で入力されるクロックをキャリーに利用することにより、各ステージから出力されるゲートライン駆動信号には前ステージの出力信号と無関係なゲートライン駆動信号が得られる。

【0076】

図21に示したステージのうちの上ステージを前ステージと定義し、下ステージを現ステージと定義し、各ステージに備えられる構成要素の図面符号を同一に付与して、本発明の第2実施形態によるシフトレジスタの動作を説明する。

前ステージに備えられた第1トランジスタ(T R 1)はゲートライン駆動信号(G O U T [N])をアクティブ化させる信号、即ちプルアップトランジスタ(M 1)の制御信号であるクロック(C K V)をサンプリングし、サンプリングされた信号をキャリー電圧にして現ステージに伝達する。即ち、常に一定なクロックレベルをキャリー電圧に使用することになるので、ステージ出力電圧低下時に発生することができた連鎖反応を除去することができる。

【0077】

第2トランジスタ(T R 2)は、現ステージのプルアップ駆動部173に備えられるキャパシタが充電されると、ハイインピーダンス(即ち、ターンオフ)状態になると、現ステージがアイドル(I D L E)状態である時は、第2トランジスタ(T R 2)にかかる電圧(V O F F)がバッファトランジスタ(M 3)のゲートに印加されてバッファトランジスタ(M 3)をターンオフ状態に維持させる。

より詳細には、現ステージのプルアップ駆動部173に備えられるトランジスタ(M 3)はターンオフ状態を維持するうちに、前ステージの第1トランジスタ(T R 1)を経てキャリー電圧が入力される時、アイドル状態に遷移される。ここで、トランジスタ(M 3)のゲートに印加される電圧は第1トランジスタ(T R 1)の抵抗値と第2トランジスタ(T R 2)の抵抗値とまだターンオン状態である第2トランジスタ(T R 2)の抵抗値により電圧分割されたクロック電圧である。

【0078】

続いて、一定時間が経過して第2トランジスタ(T R 2)がターンオフされ、バッファトランジスタ(M 3)のゲートにクロックのようなキャリー電圧が印加されると、ドレインを通じて印加される電圧(V O N)による電圧がキャパシタに充電されるように経路を形成する。

続いて、一定時間が経過してバッファトランジスタ(M 3)のゲートにローレベルのクロック電圧、例えば、V O F Fレベルのクロック電圧が印加される場合にはターンオフされる。

【0079】

図22は本発明の第3実施形態によるシフトレジスタを説明するための回路図である。図面上では説明の便宜のために2個のステージのみを図示する。

図22に示すように、本発明の第3実施形態によるシフトレジスタの各ステージは、プルアップ部171、プルダウン部172、プルアップ駆動部173、プルダウン駆動部174、第1キャリーバッファ275及び第2キャリーバッファ376を含む。図7と比較する時、プルアップ部171、プルダウン部172、プルアップ駆動部173及びプルダウン駆動部174は同一であるので、同一の符号を使用し、その詳細な説明は省略する。

10

20

30

40

50

【 0 0 8 0 】

第 1 キャリーバッファ 2 7 5 は第 1 トランジスタ (T R 1) からなり、第 1 及び第 2 クロック (C K V / C K V B) のうちの対応されるクロックが次ステージに伝達されるように制御する。

より詳細には、第 1 トランジスタ (T R 1) のゲートはプルダウン駆動部 1 7 4 の入力端に接続され、ドレインは外部から入力されるクロック端 (C K V 又は C K V B) に接続され、ソースは次ステージの第 2 キャリーバッファ 3 7 6 に接続される。

【 0 0 8 1 】

第 2 キャリーバッファ 3 7 6 は、第 2 及び第 3 トランジスタ (T R 2 、 T R 3) からなり、初期にターンオン状態で前ステージの第 1 キャリーバッファ 2 7 5 から提供されてプルアップ部 1 7 1 に印加される第 1 及び第 2 クロックのうちの対応されるクロックによりバッファトランジスタ (M 3) が動作してインバータ動作を実行するプルダウン駆動部 1 7 4 が反転される瞬間にターンオフされて、キャリア電圧が伝達される時間の間にキャリアレベルが低下されることを防止し、1 H 時間後にプルダウン駆動部 1 7 4 の動作によりターンオン状態を維持してバッファトランジスタ (M 3) をターンオフさせる電圧を印加する。

10

【 0 0 8 2 】

第 2 トランジスタ (T R 2) のドレインは前ステージの第 1 トランジスタ (T R 1) のソース及び現ステージのプルアップ駆動部 1 7 3 の入力端に各々接続され、ゲートはプルダウン部 1 7 2 、即ち、トランジスタ (M 2) のゲートに接続され、ソースは第 3 トランジスタ (T R 3) に接続される。第 1 電源電圧端子 (V O F F) は前記した図 5 で説明した第 1 電源電圧端子 (V S S) と同一である。

20

また、第 3 トランジスタ (T R 3) のドレインとゲートは共通され、第 2 トランジスタ (T R 2) のソースに接続され、ソースは第 1 電源電圧 (V O F F) を通じて第 1 電源電圧と接続される。

【 0 0 8 3 】

以下、図 2 2 に示したステージのうちの上ステージを前ステージと定義し、下ステージを現ステージと定義し、各ステージに備えられる構成要素の図面符号を同一に付与して本発明の第 3 実施形態によるシフトレジスタの動作を説明する。

前ステージに備えられた第 1 トランジスタ (T R 1) は、ゲートライン駆動信号 (G O U T [N]) をアクティブ化させる信号、即ち、プルアップトランジスタ (M 1) の制御信号であるクロック (C K V) をサンプリングし、サンプリングされた信号をキャリア電圧にして現ステージに伝達する。即ち、常に一定なクロックレベルをキャリア電圧に使用することになるので、ステージ出力電圧低下時に発生することができた連鎖反応を除去することができる。

30

【 0 0 8 4 】

第 2 トランジスタ (T R 2) は現ステージのプルアップ駆動部 1 7 3 に備えられるキャパシタが充電されると、ハイインピーダンス (即ち、ターンオフ) 状態になり、現ステージがアイドル (I D L E) 状態である時は、第 3 トランジスタ (T R 3) にかかる電圧 (V O F F + V t h) がバッファトランジスタ (M 3) のゲートに印加されてバッファトランジスタ (M 3) をターンオフ状態に維持させる。

40

より詳細には、現ステージのプルアップ駆動部 1 7 3 に備えられるトランジスタ (M 3) はターンオフ状態を維持するうちに、前ステージの第 1 トランジスタ (T R 1) を経てキャリア電圧が入力される時、アイドル状態に遷移される。ここで、トランジスタ (M 3) のゲートに印加される電圧は第 1 トランジスタ (T R 1) の抵抗値とまだターンオン状態である第 2 トランジスタ (T R 2) の抵抗値、また、第 3 トランジスタ (T R 3) のスレッシュホールド電圧により電圧分割されたクロック電圧である。

【 0 0 8 5 】

続いて、一定時間が経過して第 2 トランジスタ (T R 2) がアイドル状態でターンオフ状態に遷移され、バッファトランジスタ (M 3) のゲートに最も高いキャリア電圧が印加さ

50

れると、ドレインを通じて印加される電圧（ V_{ON} ）による電圧がキャパシタに充電されるように経路を形成する。

そして、一定時間が経過してバッファトランジスタ（ $M3$ ）のゲートにローレベルのクロック電圧、例えば、 V_{OFF} レベルのクロック電圧が印加される場合にはターンオフされる。ここで、現ステージのプルアップ駆動部173に備えられるバッファトランジスタ（ $M3$ ）のゲートに印加される電圧レベルにより、バッファトランジスタ（ $M3$ ）のターンオン/ターンオフ時点が異なる。

【0086】

このような、ターンオン/ターンオフ時点は該当バッファトランジスタ（ $M3$ ）のスレッシュホールド電圧に反比例する。即ち、周辺温度などが上昇してスレッシュホールド電圧値が低くなる場合には、ターンオン時点が定常温度駆動時点より早まり、周辺温度などが下降してスレッシュホールド電圧値が高くなる場合には、ターンオン時点が定常温度駆動時点より遅延されるので、温度変化によりキャパシタ充電量が異なり、これによるゲートライン駆動信号が出力されることができる。

これは第2トランジスタ（ $TR2$ ）が十分にターンオフ状態ではない遷移過程で臨界電圧（ V_{th} ）が低くなる場合に発生するオーバーライド（*override*）現象を防止することができる。前述したオーバーライド現象は前記した図19で説明したシミュレーション結果で示すように、各ステージ出力波形が発生される以前の小さいスパーク性波形である。前述したスパーク性波形は前ステージの放電トランジスタ（ $M5$ ）を動作させてキャパシタ電位であるプルアップ機能を実行するトランジスタ（ $M1$ ）のコントローラ電圧を低下させて前ステージの出力電圧が低くなる原因を提供する。

【0087】

以上で説明した本発明の第3実施形態では、バッファトランジスタ（ $M3$ ）のゲートに印加される電圧は、第2及び第3トランジスタ（ $TR2$ 、 $TR3$ ）による抵抗値とスレッシュホールド電圧、また、第1トランジスタ（ $TR1$ ）による抵抗値により分割されたクロックが印加されるので、温度補償動作を実行することができる。即ち、バッファトランジスタ（ $M3$ ）が温度によりスレッシュホールド電圧が変更されても第3トランジスタ（ $TR3$ ）も温度によりスレッシュホールド電圧が変更され、温度に応じるキャリア電圧がバッファトランジスタのゲートに印加されて互いに相殺されるので、温度によりゲートライン駆動信号の出力が変更される問題点を解決することができる。

【0088】

図23及び図24は図22に示した回路の出力波形図である。

図18に示すように、常温及び正常的な臨界電圧ではシフトレジスタの各ステージから出力されるゲートライン駆動信号（ $GOUT1$ 、 $GOUT2$ 、 $GOUTn3$ 、...）は、方形波に近似した波形を有する。

図23に示すように、温度が増加するにより臨界電圧が小さくなるので、シフトレジスタの各ステージから出力されるゲートライン駆動信号（ $GOUT1'$ 、 $GOUT2'$ 、 $GOUT3'$ 、...）は方形波に近似した同一傾きを有し、約25ボルトの同一レベルを有する。ここで、任意のゲートラインには任意のゲートライン駆動信号が出力される以前にスパーク性波形であるオーバーライドが発生するが、図19に示したオーバーライドよりは減少されたレベルの波形であることが確認できる。このように、減少されるレベルのオーバーライドによりゲートライン駆動信号のレベルは減少されなくなる。

【0089】

一方、図24に示すように、温度が減少するにつれて、臨界電圧が大きくなるので、シフトレジスタの各ステージから出力されるゲートライン駆動信号（ $GOUT1''$ 、 $GOUT2''$ 、 $GOUT3''$ 、...）は方形波の傾きに比べて緩慢な傾きを有しているが、約25ボルトの同一レベルを有する。前述した図20と比較する時、波形の傾きは方形波の傾きに近く、レベルも減少されないことが確認できる。

図23及び図24に波形図から分かるように、シフトレジスタを構成するステージ内にキャリアバッファを具現するので、*a-Si TFT*の臨界電圧（ V_{th} ）が正常的である

時は勿論、温度が変動して誤動作を誘発する臨界電圧が変動しても、シフトレジスタは正常的に動作することが分かる。

【 0 0 9 0 】

上記した本発明の第 3 実施形態によると、シフトレジスタを構成する各ステージに第 1 ~ 第 3 トランジスタ (T R 1 ~ T R 3) により構成されるキャリアバッファを構成することにより、一定な第 1 又は第 2 クロック (C K V 又は C K V B) を次ステージに伝達することができることは勿論、 a - S i T F T の臨界電圧 (V t h) 変動により補償されるキャリア電圧を発生させることができる。

これにより、大画面及び高解像度 T F T L C D に適用時、信頼性及び生産性側面で収率が向上される臨界電圧 (V t h) に鈍感なシフトレジスタを具現することができる。

10

【 0 0 9 1 】

図 2 5 は本発明の第 4 実施形態によるシフトレジスタを説明するための回路図である。図面上では説明の便宜のために 2 個のステージのみを図示する。

図 2 5 に示すように、本発明の第 4 実施形態によるシフトレジスタの各ステージは、プルアップ部 1 7 1、プルダウン部 1 7 2、プルアップ駆動部 1 7 3、プルダウン駆動部 1 7 4、第 1 キャリアバッファ 2 7 5 及び第 2 キャリアバッファ 4 7 6 を含む。図 7 と比較する時、プルアップ部 1 7 1、プルダウン部 1 7 2、プルアップ駆動部 1 7 3 及びプルダウン駆動部 1 7 4 は同一であるので、同一である符号を使用し、その詳細な説明は省略する。また、第 1 キャリアバッファ 2 7 5 は図 2 1 及び 2 2 で各々説明した第 1 キャリアバッファ 2 7 5 と図面符号のみ相異し、同一の動作を実行するので、その詳細な説明は省略する。

20

【 0 0 9 2 】

第 2 キャリアバッファ 4 7 6 は、第 2 トランジスタ (T R 2) と第 4 トランジスタ (T R 4) からなり、初期にターンオン状態を維持しているうちに、前ステージの第 1 キャリアバッファ 2 7 5 から提供されてプルアップ部 1 7 1 に印加される第 1 及び第 2 クロックのうちの対応されるクロックによりバッファトランジスタ (M 3) が動作してインバータ動作を実行するプルダウン駆動部 1 7 4 が反転される瞬間にターンオフされて、キャリア電圧が伝達される時間の間にキャリアレベルが低下されることを防止し、 1 H 時間後に再度インバータ動作によりターンオン状態を維持してバッファトランジスタ (M 3) をターンオフさせる電圧を印加する。

30

【 0 0 9 3 】

第 2 トランジスタ (T R 2) はドレインが第 1 トランジスタ (T R 1) のソース及び現ステージのプルアップ駆動部 1 7 3 の入力端に接続され、ゲートがプルダウン部 1 7 2、即ち、トランジスタ (M 2) のゲートに接続され、ソースが第 1 電源電圧 (V O F F) を通じて第 1 電源電圧と接続される。ここで、第 1 電源電圧端子 (V O F F) は前記した図 5 で説明した第 1 電源電圧端子 (V O F F) と同一である。

また、第 4 トランジスタ (T R 4) はドレインが第 2 トランジスタ (T R 2) のゲートに接続され、ゲートが第 2 トランジスタ (T R 2) のドレインに接続され、ソースが第 1 電源電圧 (V O F F) を通じて第 1 電源電圧と接続される。

40

【 0 0 9 4 】

以下、図 2 5 に示したステージのうちの上ステージを前ステージと定義し、下ステージを現ステージと定義し、各ステージに備えられる構成要素の図面符号を同一に付与して本発明の第 4 実施形態によるシフトレジスタの動作を説明する。

前ステージに備えられた第 1 トランジスタ (T R 1) は、ゲートライン駆動信号 (G O U T [N]) をアクティブ化させる信号、即ち、プルアップトランジスタ (M 1) の制御信号であるクロック (C K V) をサンプリングし、サンプリングされた信号をキャリア電圧にして現ステージに伝達する。即ち、全てステージに、常に一定なクロックレベルをキャリア電圧に使用することになるので、ステージ出力電圧低下時に発生することができた連鎖反応を除去することができる。

【 0 0 9 5 】

50

第2トランジスタ(T R 2)は、現ステージのプルアップ駆動部173に備えられるキャパシタが充電されると、ハイインピーダンス(即ち、ターンオフ)状態になり、現ステージがアイドル(I D L E)状態である時は、第2トランジスタ(T R 2)にかかる電圧(V O F F)がバッファトランジスタ(M 3)のゲートに印加されてバッファトランジスタ(M 3)をターンオフ状態に維持させる。

より詳細には、現ステージのプルアップ駆動部173に備えられる第3N M O Sトランジスタ(M 3)はターンオフ状態を維持するうち、前ステージの第1トランジスタ(T R 1)を経てキャリア電圧が入力される時、トランジスタ(M 3)のゲートに印加される電圧は第1トランジスタ(T R 1)の抵抗値と、まだターンオン状態である第2トランジスタ(T R 2)の抵抗値により電圧分割されたクロック電圧である。

10

【0096】

続いて、一定時間が経過して第2トランジスタ(T R 2)がターンオフされ、バッファトランジスタ(M 3)のゲートにクロックのようなキャリア電圧が印加されると、ドレインを通じて印加される電圧(V O N)による電圧がキャパシタに充電されるように経路を形成する。

その後、一定時間が経過してバッファトランジスタ(M 3)のゲートにローレベルのクロック電圧、例えば、V O F Fレベルのクロック電圧が印加される場合にはバッファトランジスタ(M 3)はターンオフされる。

第4トランジスタ(T R 4)は、前ステージからキャリア電圧が発生されてゲートに印加されるにつれてターンオンされ、第2トランジスタ(T R 2)のゲートライン駆動電圧をより速く低下させて、第2トランジスタ(T R 2)がターンオン状態でターンオフに切替えるスイッチング速度を増加させる加速スイッチ役割を実行する。このような加速スイッチを通じてキャリアバッファの速度を高速化することができる。

20

【0097】

図26は本発明の第5実施形態によるシフトレジスタを説明するための回路図である。図面上では説明の便宜のために2個のステージのみを図示する。

図26に示すように、本発明の第5実施形態によるシフトレジスタの各ステージは、プルアップ部171、プルダウン部172、プルアップ駆動部173、プルダウン駆動部174、第1キャリアバッファ275及び第2キャリアバッファ576を含む。図7と比較する時、プルアップ部171、プルダウン部172、プルアップ駆動部173及びプルダウン駆動部174は同一であるので、同一である符号を使用し、その詳細な説明は省略する。

30

【0098】

第1キャリアバッファ275は、第1トランジスタ(T R 1)からなり、次ステージに第1及び第2クロック(C K V / C K V B)のうちの対応されるクロックの伝達を制御する。より詳細には、第1トランジスタ(T R 1)のゲートはプルダウン駆動部174の入力端に接続され、ドレインは外部から入力されるクロック端(C K V又はC K V B)に接続され、ソースは次ステージの第2キャリアバッファ576に接続される。

第2キャリアバッファ576は、第2～第4トランジスタ(T R 2～T R 4)からなり、初期にターンオン状態で前ステージの第1キャリアバッファ275から提供されてプルアップ部171に印加される第1及び第2クロックのうちの対応されるクロックによりバッファトランジスタ(M 3)が動作して、プルダウン駆動部174が反転される瞬間にターンオフされてキャリア電圧が伝達される時間の間にキャリアレベルが低下されることを防止し、1H時間後に再度プルダウン駆動部174の動作によりターンオン状態を維持してバッファトランジスタ(M 3)をターンオフさせる電圧を印加する。

40

【0099】

第2トランジスタ(T R 2)はドレインが第1トランジスタ(T R 1)のソース及び現ステージのプルアップ駆動部173の入力端に接続され、ゲートがプルダウン部172、即ち、トランジスタ(M 2)のゲートに接続され、ソースが第3トランジスタ(T R 3)のドレインに接続される。

50

また、第3トランジスタ(T R 3)のドレインとゲートは共通されて、第2トランジスタ(T R 2)のソースに接続され、ソースは第1電源電圧端子(V O F F)を通じて第1電源電圧と接続される。ここで、第1電源電圧端子(V O F F)は図5で説明した第1電源電圧端子(V S S)と同一である。

【0100】

第4トランジスタ(T R 4)は、ドレインが第2トランジスタ(T R 2)のゲートに接続され、ゲートが第2トランジスタ(T R 2)のドレインに接続され、ソースが第1電源電圧端子(V O F F)を通じて第1電源電圧と接続される。動作時、第4トランジスタ(T R 4)は前ステージからキャリア電圧が発生されてゲートに印加されるにつれてターンオンされ、第2トランジスタ(T R 2)のゲートライン駆動電圧をより速く低下させて第2トランジスタ(T R 2)がターンオン状態でターンオフに切替えるスイッチング速度を増加させる加速スイッチ役割を実行する。このような加速スイッチを通じてキャリアバッファの速度を高速化することができる。

10

【0101】

以上で説明した本発明の第5実施形態によると、第2トランジスタ(T R 2)のターンオン/ターンオフを制御することができる第4トランジスタ(T R 4)を備えることにより、第2トランジスタ(T R 2)のターンオンでターンオフするスイッチング速度を増加させることができる加速スイッチを追加してキャリアバッファの速度を向上させることができる。

【0102】

20

図27は、図26のキャパシタノードの充電電位を示すグラフとして、特に、グラフAは、本発明の第2及び第3実施形態のように加速スイッチである第4トランジスタ(T R 4)を追加した時の、グラフBは本発明の第4及び第5実施形態のように加速スイッチである第4トランジスタ(T R 4)を追加しない時の、各キャパシタノードの充電電位の変化を示す波形図である。

図27に示すように、第4トランジスタ(T R 4)を追加することにより、第2トランジスタ(T R 2)のターンオフ時間を短縮させてバッファトランジスタ(M 3)を速く駆動することができるために、キャパシタノードの充電電位を相対的に高めることができる。これは充電時間が足りなくなる高解像度駆動時に有利であり、またバッファトランジスタ(M 3)を最大限りのコントローラ電圧に駆動することができるので、シフトレジスタの性能を向上させることができる。

30

【0103】

以上の多様な実施形態で説明したように、前ステージの出力を次ステージのキャリアに使用する方法代わりに、前ステージで独立的にキャリアを発生するキャリアバッファを毎ステージに別途に内蔵することにより、シフトレジスタの臨界電圧(V t h)散布による誤動作を防止することができる。このような、誤動作防止により相対的に広い温度環境で信頼性が高く、生産時の臨界電圧(V t h)の変動に対しても鈍感になり、収率が高いシフトレジスタを装着した液晶表示モジュールを提供することができる。

【0104】

図28は、図7のシフトレジスタを駆動した場合のゲートライン駆動電圧のシミュレーション出力波形図である。即ち、図28はゲートライン駆動のための各ステージにクロックパルス信号V[CKVB]を印加する場合のインバータ、即ち、プルダウン駆動部174の出力電圧(N2ノード電圧)波形を示す。また、インバータ出力電圧の変化による第1端、第2ステージの出力電圧であるゲートライン駆動信号V[Gout(1)]、V[Gout(2)]の波形を示す。

40

図28に示すように、プルダウントランジスタ(M 2)を駆動するインバータ出力電圧の波形を示したシミュレーション結果を見ると、インバータ出力電圧がローレベルからハイレベルに上昇する曲線の傾き(s l o p e)が相対的に緩慢して結果的にインバータが緩く動作することが分かる。

【0105】

50

インバータ出力電圧の上昇曲線の傾きは、主に、インバータ回路に内在する抵抗成分（ R ）とプルダウントランジスタ（ $M2$ ）に存在する寄生キャパシタ（ $C1$ ）の大きさの影響を受ける。即ち、抵抗成分とキャパシタの大きさの掛けた $RC1$ 値が大きいほどインバータ出力電圧の上昇曲線の傾きは緩慢になり、結果的にインバータ動作が遅くなる。

特に、大画面の液晶表示装置のゲート駆動回路の場合、大画面用ゲートラインを駆動する場合には、プルアップトランジスタ（ $M1$ ）及びプルダウントランジスタ（ $M2$ ）のサイズが大きくなってプルアップトランジスタ（ $M1$ ）及びプルダウントランジスタ（ $M2$ ）の寄生容量が増加することになる。ここで、トランジスタのサイズとは、トランジスタのチャンネル幅（ W ）とチャンネル長さ（ L ）の比である W/L を意味する。したがって、インバータの抵抗成分とプルダウントランジスタ（ $M2$ ）の寄生キャパシタ成分の大きさの掛けた $RC1$ 値が増加してインバータ出力電圧の上昇曲線の傾きが緩慢になる。

10

【0106】

この場合、インバータを速く動作させるためには、インバータのサイズを増加させなければならず、インバータのサイズを増加させるとレイアウト空間が足りなくなり、消費電力の増加が随われる。だから、最小限のサイズによりインバータを設計しなければならないという制限がある。このように、最小限のサイズによりインバータを設計する場合、インバータの動作速度が遅くなる。

図23に示すように、インバータの動作速度が遅い場合、特に、インバータ出力電圧がローレベルからハイレベルに徐々に変わると、シフトレジスタの出力電圧であるゲートライン駆動信号 - 例えば $V[Gout(1)]$ 、 $V[Gout(2)]$ - のパルス幅である 1 クロックパルス幅（ $1H$ ）以上になる。ここで、データ駆動回路160から供給されるグレイ電圧の幅が1クロックパルス幅（ $1H$ ）である。

20

【0107】

例えば、第1端シフトレジスタの出力端（ OUT ）と接続されるピクセルは、次端ゲートラインに該当されるグレイ電圧の影響を受けるので、第1端シフトレジスタの出力 $V[Gout(1)]$ のパルス幅が1クロックパルス幅（ $1H$ ）以上になる場合、イメージ表示に不良が発生することになる。一般に、グレイ電圧の最小値は0Vであるので、0V以上になる有効ゲートライン駆動信号 $V[Gout(n)]$ のパルス幅は1クロックパルス幅（ $1H$ ）以下になることが望ましい。特に、表示不良を減少させるためには、インバータ出力電圧がローレベルからハイレベルに変える区間に対応してゲートライン駆動信号がハイレベルからローレベルに速く低下されるようにして、有効ゲートライン駆動信号 $V[Gout(n)]$ のパルス幅が1クロックパルス幅（ $1H$ ）以下になるようにすることが望ましい。

30

【0108】

図29は、レイアウト空間などを考慮して最小限のサイズにインバータを設計しながらも、画面表示不良が発生されることを防止するための本発明の第6実施形態によるシフトレジスタの具体回路図である。

図29に示すように、シフトレジスタの単位ステージ回路は、図7のシフトレジスタの単位ステージ回路と比較する時、次のような差異がある。

第1に、既存と同一のサイズのインバータ808とプルアップ及びプルダウントランジスタ（ $M1$ 、 $M2$ ）を使用し、特に、プルダウントランジスタ（ $M2$ ）を所定のサイズ比に分けて第1プルダウントランジスタ（ $M2a$ ）及び第2プルダウントランジスタ（ $M2b$ ）に分離する。例えば、図7のプルダウントランジスタ（ $M2$ ）のサイズが1であるとすると、第1プルダウントランジスタ（ $M2a$ ）のサイズと第2プルダウントランジスタ（ $M2b$ ）のサイズを0.1:0.9になるようにすることができる。望ましくは、第2プルダウントランジスタ（ $M2b$ ）のサイズが第1プルダウントランジスタ（ $M2a$ ）のサイズより大きいようにする。

40

【0109】

第2に、第1プルダウントランジスタ（ $M2a$ ）は、図7のプルダウントランジスタ（ $M2$ ）と同様に、インバータ808出力電圧により駆動されるようにし、第2プルダウント

50

ランジスタ (M2b) はキャパシタ (C) に充電された電荷を放電させるための第2プルアップトランジスタ (M5) と同時に次端ゲートライン駆動信号 $V[Gout(n+1)]$ に駆動される。

随って、第2プルダウントランジスタ (M2b) が次端ゲートライン駆動信号 $V[Gout(n+1)]$ により駆動されるために、有効ゲートライン駆動信号 $V[Gout(n)]$ のパルス幅が1クロックパルス幅 (1H) 以下になるようにすることができる。また、インバータ808の容量性負荷 (capacitive load) になる第1プルダウントランジスタ (M2a) のサイズが既存より減少されてインバータ808が速く動作するようにすることができる。

【0110】

図30は、図29のステージを駆動した場合のゲートライン駆動電圧のシミュレーション出力波形図である。特に、図30は第1プルダウントランジスタ (M2a) のサイズと第2プルダウントランジスタ (M2b) のサイズが0.1:0.9である場合のステージの出力電圧のシミュレーション出力波形図を示す。

図30に示すように、有効ゲートライン駆動信号 $V[Gout(n)]$ のパルス幅が1クロックパルス幅 (1H) 以下になり、図30のインバータ808の出力電圧波形図が図28のインバータ808出力電圧波形図より速い動作特性を示すことが分かる。

【0111】

図31は、図28のシミュレーション結果と図30のシミュレーション結果を同時に示しており、これにより、インバータ動作速度及びステージ出力波形が改善されたことが分かる。図28のステージでインバータ808の出力波形は $V[INVERTER']$ 、ステージ出力波形は $V[Gout']$ であり、図29のインバータ808の出力波形は $V[INVERTER]$ 、ステージ出力波形は $V[Gout]$ である。

【0112】

図31に示すように、図29のインバータ808の出力波形 $V[INVERTER]$ のローレベルからハイレベルに上昇する区間で上昇曲線の傾きが図28のインバータの出力波形である $V[INVERTER]$ より大きくなることが分かる。また、ステージ出力波形でハイレベルからローレベルに落ちる部分のうち、特に、グラフAとA'を比較すると、図29のステージ出力波形 $V[Gout]$ が図28のステージ出力波形は $V[Gout']$ よりさらに速くハイレベルからローレベルに落ちることにより、結果的に有効ゲートライン駆動信号 $V[Gout(n)]$ のパルス幅が1クロックパルス幅 (1H) 以下になるようにする。

【0113】

図32は、図6のシフトレジスタを駆動するための電源発生装置とクロック発生器の一例を示すブロック図である。

図32に示すように、図6のシフトレジスタ170を駆動するための電源発生装置として、例えば、DC/DCコンバータ710を使用し、DC/DCコンバータ710の出力電圧 Von をクロック発生器720及びシフトレジスタ170に印加する。クロック発生器720では Von 電圧と $Voff$ 電圧の供給を受けてクロック CKV 、 $CKVB$ を生成してシフトレジスタ170に提供する。

即ち、クロック発生器720及びシフトレジスタ170を駆動するための電源として同一の電圧源である Von を使用する。

【0114】

図33は、図32のように、クロック発生器に提供された電圧源と同一の電圧源であるシフトレジスタに提供された場合のシフトレジスタの出力電圧であるゲートライン駆動電圧のシミュレーション出力波形図である。

図33に示すように、クロック発生器に提供された電圧源と同一の電圧源 Von がシフトレジスタに提供された場合、第1ステージのインバータ808、即ち、プルダウントランジスタ (M6、M7) の出力電圧の変化による第1ステージのゲートライン駆動電圧 $V[Gout(1)']$ の変化と、第2ステージのインバータ808の出力電圧の変化による

10

20

30

40

50

第 2 ステージのゲートライン駆動電圧 $V[Gout(2)']$ の波形変化が分かる。

【 0 1 1 5 】

前記のように、クロック発生器に提供された電圧源と同一な電圧源 Von がシフトレジスタに提供された場合には、クロック信号の最高電位値が Von 電圧のハイレベル値と同一になる。

図 3 2 のように、電圧源をシフトレジスタ 1 7 0 に印加して高解像度、大画面 TFT LCD に適用する場合には、ゲートラインの容量性負荷の増加により TFT LCD の画面表示に以上が発生することになる。

【 0 1 1 6 】

図 3 3 のグラフから分かるように、1 H クロックパルス幅に対して $V[Gout(1)']$ は 1 H 以上のパルス幅を有する。一般に、グレイ電圧の最小値は 0 V であるので、0 V 以上になる有効ゲートライン駆動信号 $V[Gout(n)]$ のパルス幅は 1 クロックパルス幅 (1 H) 以下になることが望ましい。特に、表示不良を減少させるためにはインバータ 8 0 8、即ち、プルダウントランジスタ (M 6、M 7) の出力電圧がローレベルからハイレベルに変える区間に対応してゲートライン駆動信号がハイレベルからローレベルに速く落ちるようにして、有効ゲートライン駆動信号 $V[Gout(n)]$ のパルス幅が 1 クロックパルス幅 (1 H) 以下になるようにすることが望ましい。

【 0 1 1 7 】

$V[Gout(1)']$ のパルス幅が 1 H 以上になる理由は、プルダウントランジスタ (M 2) を駆動するインバータ 8 0 8、即ち、プルダウントランジスタ (M 6、M 7) の動作が前記グラフのように遅いためである。特に、図 3 3 の A 1' と A 2' 部分から分かるように、インバータ 8 0 8 の出力電圧がローレベルからハイレベルに上昇する動作が徐々に進行されるので、これに相応して $V[Gout(1)']$ と $V[Gout(2)']$ の下降エッジ部分 (A 1'、A 2') で速くローレベルに落ちなく、その結果、 $V[Gout(1)']$ と $V[Gout(2)']$ の有効パルス幅が 1 H 以上になる。

【 0 1 1 8 】

$V[Gout(n)']$ の有効パルス幅が 1 H より所定値以上に大きくなる場合、データ駆動回路 1 6 0 から提供されるグレイ電圧のパルス幅が 1 H であるので、各ステージにゲートラインを経て接続されるピクセルは次端ゲートラインに該当するグレイ電圧の影響を受けて画面表示不良が発生する可能性が高い。

【 0 1 1 9 】

従って、 $V[Gout(n)']$ の有効パルス幅が 1 H に近いように設定し、又は可能限 1 H を大きく越えないようにするための方法のうちの一つは、インバータ 8 0 8 の出力電圧がローレベルからハイレベルに上昇する動作を速くすることである。即ち、インバータ 8 0 8 の出力電圧がローレベルからハイレベルに上昇する曲線の傾きが大きくなるようにすることである。インバータ 8 0 8 の出力電圧の上昇曲線の傾きが大きくなるようにする方法のうちの一つは、インバータの出力電圧の大きさを全体的に増加させて、同一な時間の間にインバータ 8 0 8 の出力電圧がローレベルからさらに増加された値を有するハイレベルに上昇するようにするものである。

【 0 1 2 0 】

図 3 4 は、本発明のシフトレジスタを駆動するための電源発生装置とクロック発生器の他の例を示すブロック図である。

図 3 4 に示すように、DC / DC コンバータ 9 1 0 で出力電圧 Von を発生させてクロック発生器 7 2 0 を駆動するためにクロック発生器 7 2 0 に印加し、 Von 電圧と相異なる別個の電圧源 $Vona$ を発生させてシフトレジスタ 1 7 0 を駆動するためにシフトレジスタ 1 7 0 に印加する。即ち、クロック発生器 7 2 0 に提供された電圧源 Von と相異なる別個の電圧源 $Vona$ を利用してシフトレジスタ 1 7 0 を駆動する。

【 0 1 2 1 】

インバータ 8 0 8 の出力電圧の最大値が図 3 3 に示した場合より大きくなるようにするためには、 $Vona$ 電圧の大きさは Von 電圧の大きさより大きいことが望ましい。 Von

10

20

30

40

50

電圧の大きさより大きい $V_{on a}$ を発生させるための電源発生回路の一例を示すことが図 35 である。

図 35 は、図 34 の DC / DC コンバータの内部回路構成の一例を示す。

図 35 に示すように、直流電圧源 V_{DD} の入力を受けて複数のダイオード (D_1 、 D_2 、 D_3 、 D_4) とキャパシタ (C_2 、 C_3 、 C_4 、 C_5) からなった電流ポンプ回路を利用して V_{on} 電圧に $V_{DD} + V$ を発生させ、 $V_{on a}$ 電圧に $V_{DD} + 2V$ を発生させる。

【0122】

V_{DD} の直流電圧をダイオード D_1 のアノードを通じて入力受けて、 V の電圧はキャパシタ C_2 を通じて入力受けてダイオード D_2 を経てダイオード D_2 のカソード端で $V_{on} = V_{DD} + V$ の電圧を発生させる。同様に、 V_{on} 電圧をダイオード D_3 のアノードを通じて入力受け、 V の電圧はキャパシタ C_4 を通じて入力受けてダイオード D_4 を経てダイオード D_4 のカソード端で V_{on} 電圧に V が増加された $V_{on a} = V_{DD} + 2V$ の電圧を発生させる。即ち、前記のような電流ポンプ回路を利用して $V_{on a} > V_{on}$ である $V_{on a}$ と V_{on} 二つの電圧を発生させることができる。

【0123】

また、従来に知られた電圧シフト回路などを利用して V_{on} 電圧が可変されるように調節し、 $V_{on a}$ 電圧は V_{on} 電圧と独立的に可変されるように調節され、 $V_{on a} > V_{on}$ になるようにすることができる。

$V_{on a} > V_{on}$ である $V_{on a}$ 電圧源がシフトレジスタ 170 に印加された場合、図 7 及び図 34 から分かるように、インバータ 808 はトランジスタ M6 のドレインを通じて電圧源 $V_{on a}$ により駆動される。その結果、インバータ 808 の出力電圧が V_{on} 電圧により駆動される場合に比べてさらに大きくなり、インバータ 808 の出力電圧波形はローレベルからハイレベルにさらに大きい傾きに上昇することになる。従って、 $V[Gout(n)]$ の有効パルス幅が 1H に近いようにし、又は 1H を大きく越えないようにして、画面表示不良が発生しないようにすることができる。

【0124】

図 36 は、図 34 の電源発生装置とクロック発生器を使用してシフトレジスタを駆動した場合のシフトレジスタの出力電圧であるゲートライン駆動電圧のシミュレーション出力波形図である。

図 33 の場合、約 2.5V 程度の V_{on} 電圧がインバータ 808 に印加されてインバータ 808 の出力電圧の最大値が約 1.5V 程度であるが、図 36 の場合、約 4.5V 程度の $V_{on a}$ 電圧がインバータ 808 に印加されてインバータ 808 の出力電圧の最大値が約 3.5V 程度である。その結果、インバータ 808 の出力電圧がローレベルからハイレベルに上昇する部分のうち、B1、B2 部分を見ると、ゲートライン駆動信号 $V[Gout(1)]$ 、 $V[Gout(2)]$ の有効パルス幅が図 33 の場合より狭くなることが分かる。

【0125】

図 37 は、図 33 と図 34 の電源発生装置とクロック発生器を使用してシフトレジスタを駆動した場合のシフトレジスタの出力電圧であるゲートライン駆動電圧を共に示したシミュレーション出力波形図である。

図 37 に示すように、クロック発生器に提供された電圧源 (V_{on}) と同一な電圧源がシフトレジスタ 170 に印加された場合のゲートライン駆動信号 $V[Gout']$ に示し、クロック発生器に提供された電圧源 (V_{on}) よりさらに大きい電圧源 ($V_{on a}$) がシフトレジスタ 170 に印加された場合のゲートライン駆動信号 $V[Gout]$ に示した。インバータ 808 の出力電圧がローレベルからハイレベルに上昇する部分でのゲートライン駆動信号の下降エッジ部分である A 部分と A' 部分を比較すると、ゲートライン駆動信号 $V[Gout]$ の有効パルス幅がゲートライン駆動信号 $V[Gout']$ の有効パルス幅よりさらに狭くなることが分かる。従って、ゲートライン駆動信号がハイレベルからローレベルに速く落ちるようにして、結果的に TFT-LCD の画面表示不良が発生することを防止することができる。

【0126】

前記では液晶表示パネルのゲートラインを駆動するためのシフトレジスタに対して説明したが、本発明は有機ELディスプレイパネル(organic electroluminescence display panel)のスクアンラインを駆動する場合にも適用することができる。

【0127】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の技術思想内で、本発明を修正又は変更できるであろう。

【0128】

【発明の効果】

本発明によると、シフトレジスタを構成する各ステージに独立的にキャリア電圧を発生するキャリアバッファトランジスタを内蔵することにより、大画面、高解像度のa-Si TFT LCDに適用時にRC遅延を最少化することができる。即ち、現ステージの出力端に接続されたゲートラインに伝達される信号と次ステージの入力端に伝達されるキャリア信号を分離する薄膜トランジスタを現在のステージに追加することにより、ゲートラインのRCロードが次ステージに及ぼす影響を除去することができる。

【0129】

また、液晶表示パネルのゲートラインが増加しても、任意のゲートラインに印加されるゲートライン駆動信号を次ステージの起動信号に利用せずに、共通に供給されるパワークロックを利用するので、正常的なディスプレイを実行することができる。

さらに、シフトレジスタを構成する各ステージに独立的にキャリアを発生するキャリアバッファを内蔵することにより、大画面、高解像度のTFT LCDに適用時に臨界電圧(V_{th})に鈍感なシフトレジスタを提供する。即ち、シフトレジスタの臨界電圧(V_{th})散布による誤動作を防止することができるので、相対的に広い温度環境で信頼性を高めることができる。

さらにまた、生産時に臨界電圧(V_{th})散布に対しても鈍感になって収率高いシフトレジスタを提供することができる。

【0130】

本発明によると、a-Si TFT LCDのゲートライン駆動のためのゲート駆動シフトレジスタのプルダウントランジスタを所定のサイズ比を有する第1及びプルダウントランジスタ2個に分離する。従って、ゲート駆動シフトレジスタ内部にあるインバータの容量性負荷になるプルダウントランジスタのサイズを減少させることができるので、インバータが速く動作するようにすることができる。その結果、高解像度、大画面ディスプレイ時にディスプレイ不良が発生されることを防止することができる。

【0131】

また、本発明によると、シフトレジスタにクロック発生器に提供された電圧源(V_{on})と別途のさらに大きい電圧源(V_{ona})を印加させることにより、高解像度、大画面ディスプレイ具現時にもディスプレイ不良が発生されないようにすることができる。

【図面の簡単な説明】

【図1】poly-TFT LCDのTFT基板の構成を示す概略図である。

【図2】従来のa-Si TFT LCDのTFT基板の構成を示す概略図である。

【図3】本発明によるa-Si TFT 液晶表示装置の分解斜視図を示す。

【図4】本発明によるa-Si TFT LCDのTFT基板の構成を示す図である。

【図5】図4のデータ駆動回路のシフトレジスタのブロック図である。

【図6】図4のゲート駆動回路に用いられるシフトレジスタを説明するためのブロック図である。

【図7】図6に示したシフトレジスタの各ステージの具体的な回路構成を示す図である。

【図8】図7の回路の出力波形図である。

【図9】図6の回路の駆動波形を説明するための波形図である。

10

20

30

40

50

【図 1 0】図 6 に示したシフトレジスタを用いる液晶表示装置を説明するための図である。

【図 1 1】本発明の一実施形態によるシフトレジスタを説明するためのブロック図である。

【図 1 2】図 1 1 のシフトレジスタの単位ステージを説明するための回路図である。

【図 1 3】図 1 1 のシフトレジスタの最終ステージとダミーステージを示した回路図である。

【図 1 4】図 1 1 のシフトレジスタを用いた液晶表示装置を説明するための図である。

【図 1 5】図 1 1 のシフトレジスタの単位ステージのうちのプルアップ部、プルダウン部及びキャリーバッファのみを示すレイアウト図である

10

【図 1 6】図 1 1 のシフトレジスタの単位ステージのうちのプルアップ部、プルダウン部及びキャリーバッファのみを示すレイアウト図である。

【図 1 7】キャリーバッファが配置される領域のみを拡大した図面である。

【図 1 8】図 7 のシフトレジスタから出力されるゲートライン駆動信号のシミュレーション結果を説明するための図である。

【図 1 9】図 7 のシフトレジスタから出力されるゲートライン駆動信号のシミュレーション結果を説明するための図である。

【図 2 0】図 7 のシフトレジスタから出力されるゲートライン駆動信号のシミュレーション結果を説明するための図である。

【図 2 1】本発明の第 2 実施形態によるシフトレジスタを説明するための回路図である。

20

【図 2 2】本発明の第 3 実施形態によるシフトレジスタを説明するための回路図である。

【図 2 3】図 2 2 の回路の出力波形図である。

【図 2 4】図 2 2 の回路の出力波形図である。

【図 2 5】本発明の第 4 実施形態によるシフトレジスタを説明するための回路図である。

【図 2 6】本発明の第 5 実施形態によるシフトレジスタを説明するための回路図である。

【図 2 7】図 2 6 の回路のキャパシタノードの充電電位を示す図面である。

【図 2 8】図 7 のシフトレジスタを駆動した場合のゲートライン駆動電圧のシミュレーション出力波形図である。

【図 2 9】本発明の第 6 実施形態によるシフトレジスタの具体回路図である。

【図 3 0】図 2 9 のシフトレジスタを駆動した場合のゲートライン駆動電圧のシミュレーション出力波形図である。

30

【図 3 1】図 7 及び図 2 9 のシフトレジスタを駆動した場合のゲートライン駆動電圧を同時に示したシミュレーション出力波形図である。

【図 3 2】図 6 のシフトレジスタを駆動するための電源発生装置とクロック発生器の一例を示すブロック図である。

【図 3 3】図 3 2 のようにクロック発生器に提供された電圧源と同一の電圧源がシフトレジスタに提供された場合のシフトレジスタの出力電圧であるゲートライン駆動電圧のシミュレーション出力波形図である。

【図 3 4】本発明のシフトレジスタを駆動するための電源発生装置とクロック発生器の他の例を示すブロック図である。

40

【図 3 5】図 3 4 の DC / DC コンバータの内部回路構成の一例を示す図である。

【図 3 6】図 3 4 の電源発生装置とクロック発生器を使用してシフトレジスタを駆動した場合のシフトレジスタの出力電圧であるゲートライン駆動電圧のシミュレーション出力波形図である。

【図 3 7】図 3 3 と図 3 4 の電源発生装置とクロック発生器を使用してシフトレジスタを駆動した場合のシフトレジスタの出力電圧であるゲートライン駆動電圧を共に示したシミュレーション出力波形図である。

【符号の説明】

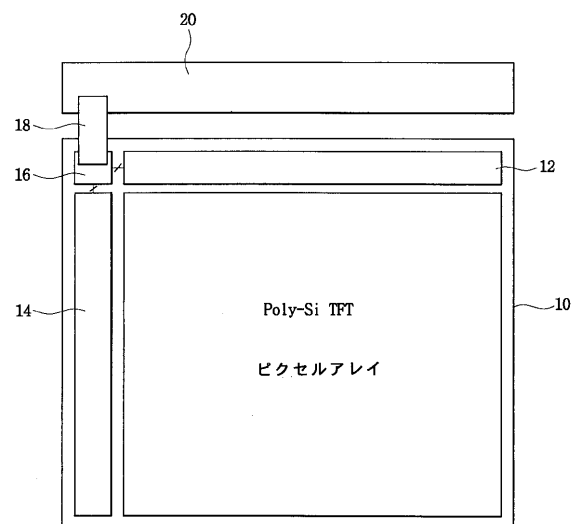
1 0 0 液晶表示装置

1 1 0 液晶表示パネルアセンブリ

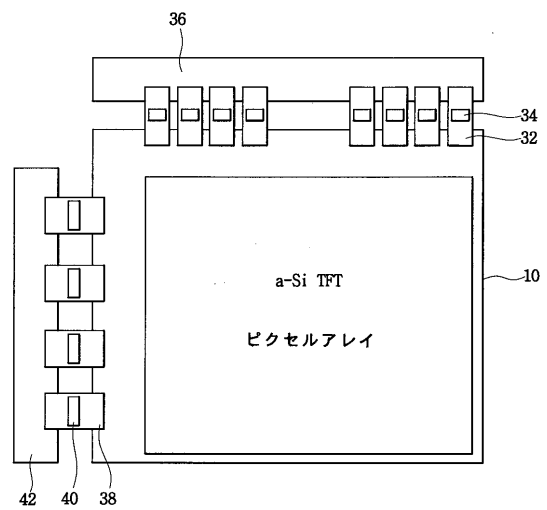
50

- | | | |
|-------------------------|--------------|--|
| 1 2 0 | バックライトアセンブリ | |
| 1 7 0 | シフトレジスタ | |
| 1 7 1 | プルアップ部 | |
| 1 7 2 | プルダウン部 | |
| 1 7 3 | プルアップ駆動部 | |
| 1 7 4 | プルダウン駆動部 | |
| 2 7 5 | 第 1 キャリーバッファ | |
| 2 7 6、3 7 6、4 7 6、5 7 6 | 第 2 キャリーバッファ | |

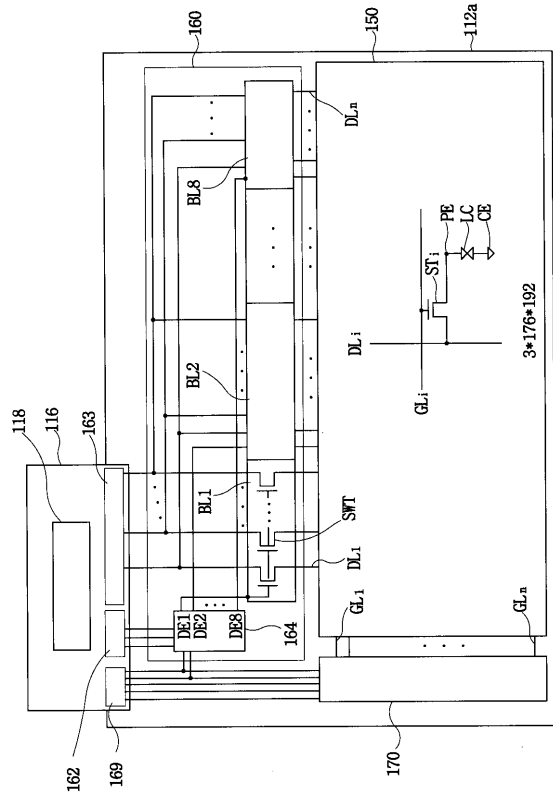
【図 1】



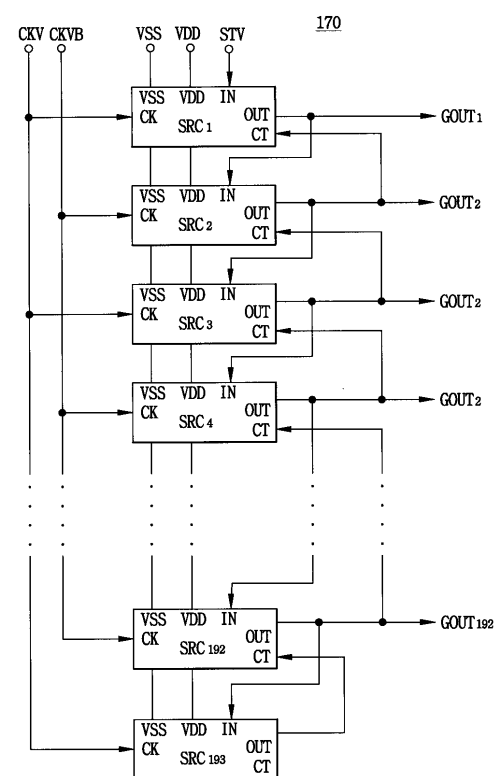
【図 2】



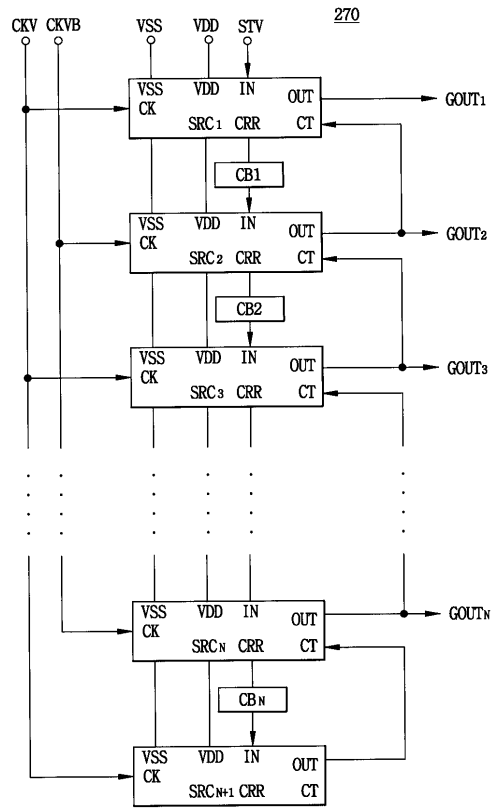
【 図 4 】



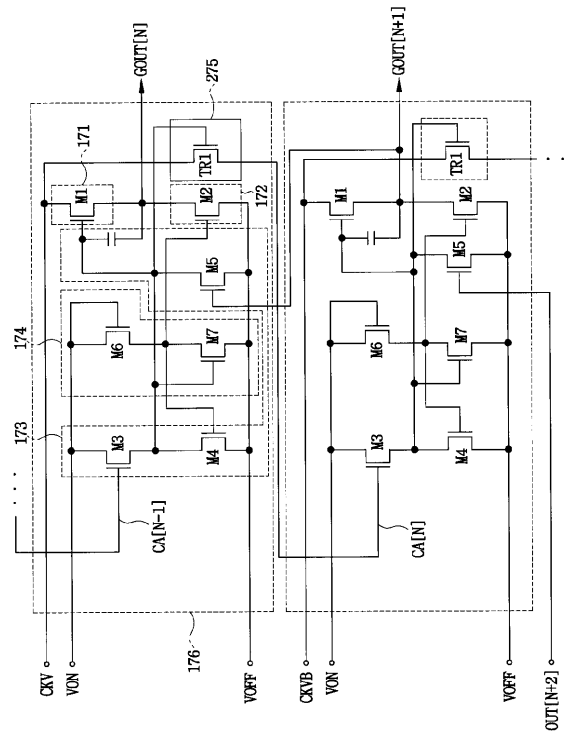
【 図 6 】



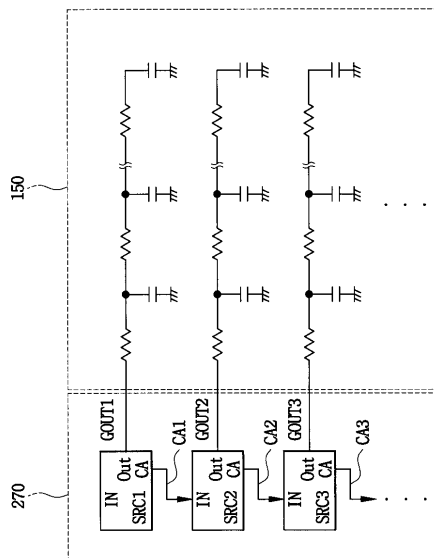
【図 1 1】



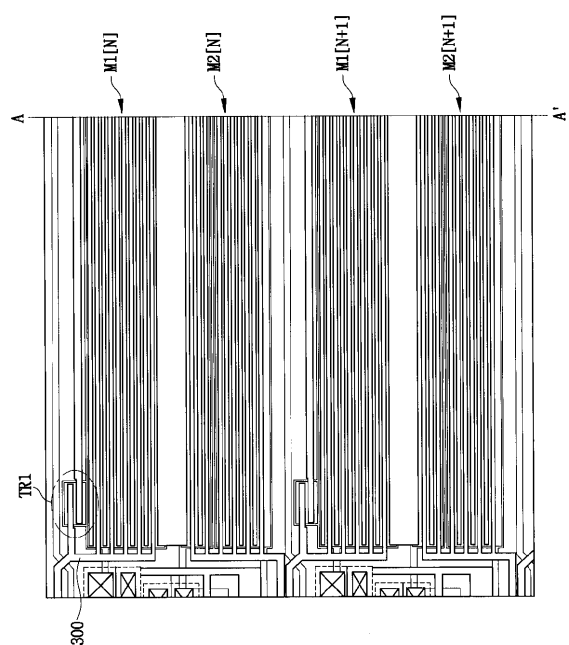
【図 1 3】



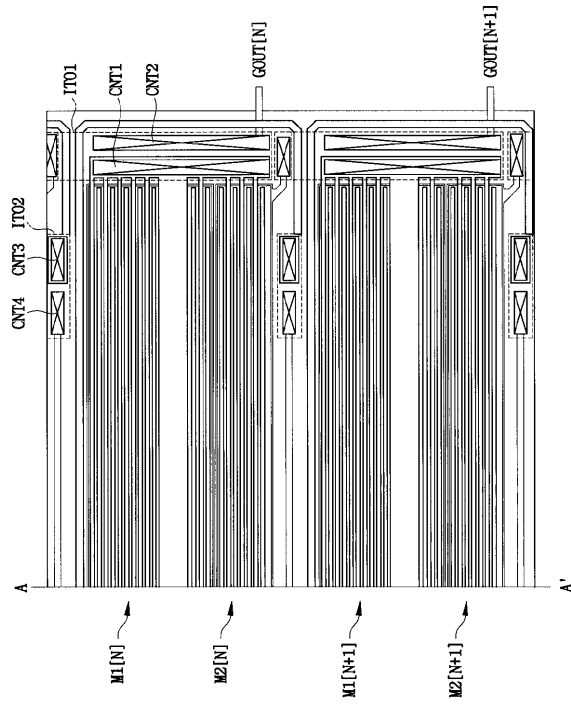
【図 1 4】



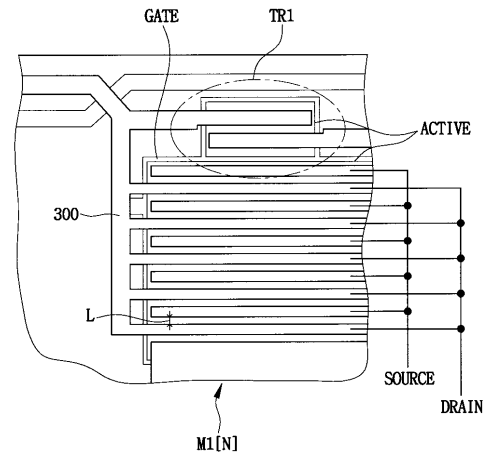
【図 1 5】



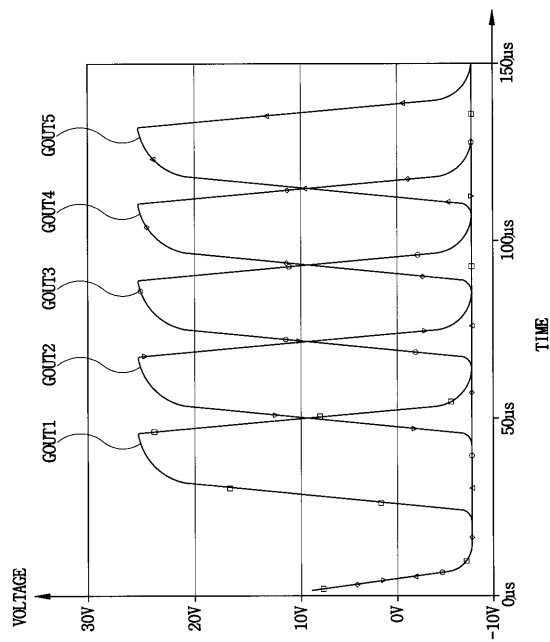
【図 16】



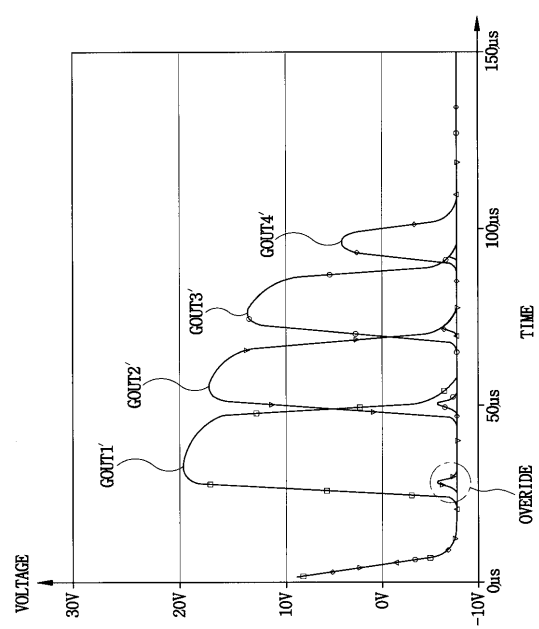
【図 17】



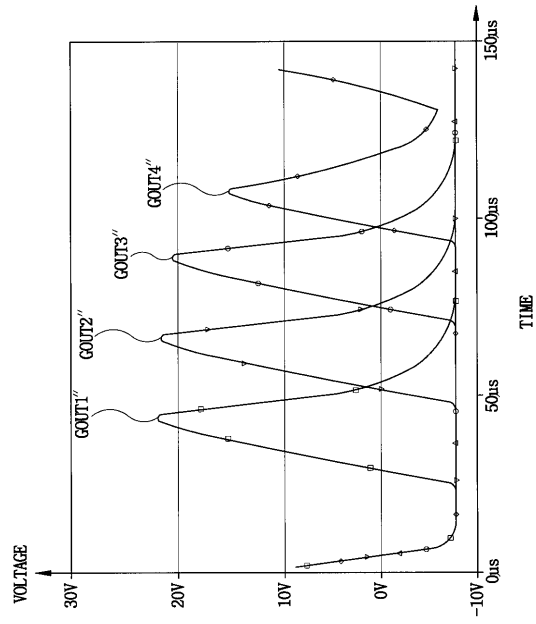
【図 18】



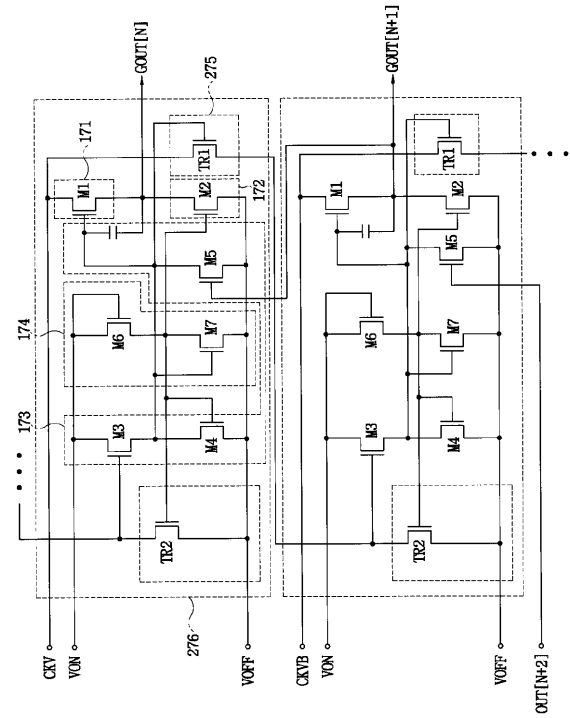
【図 19】



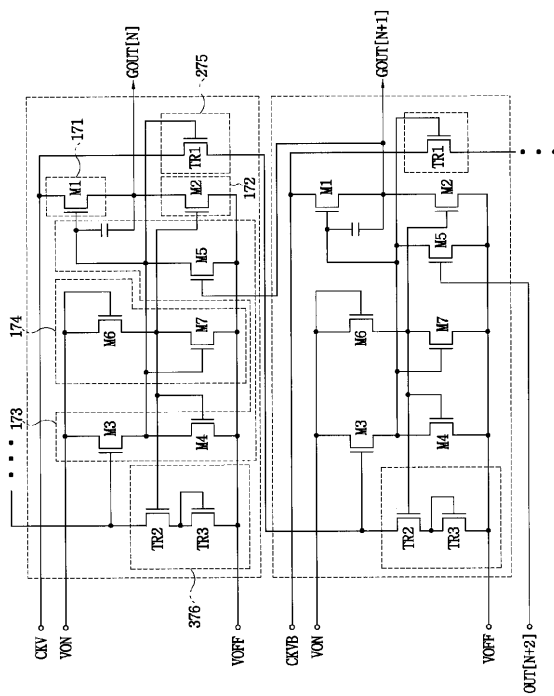
【図 20】



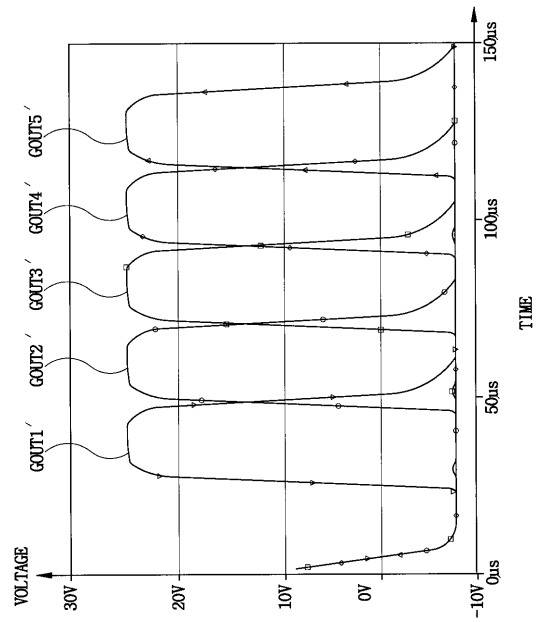
【図 21】



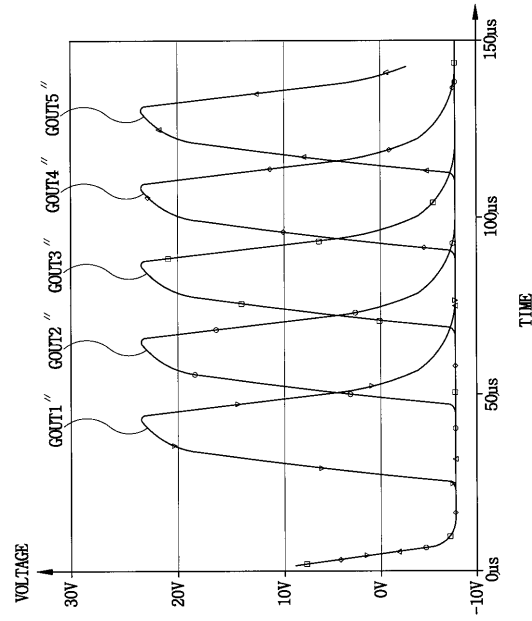
【図 22】



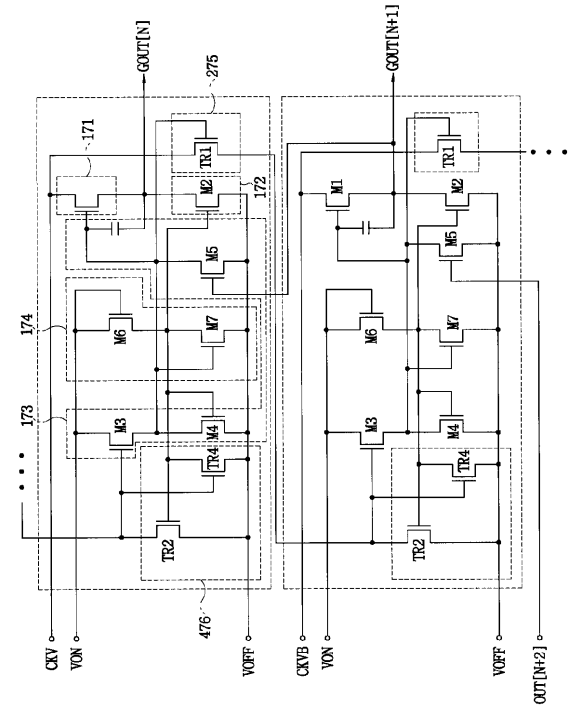
【図 23】



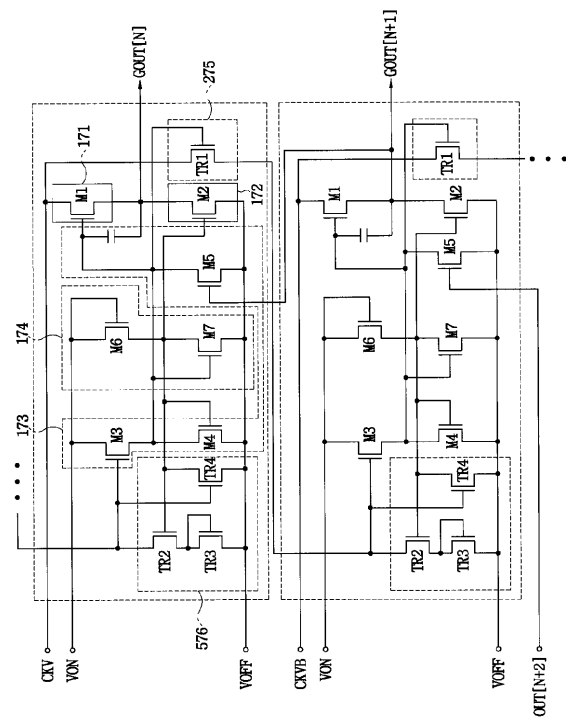
【図 24】



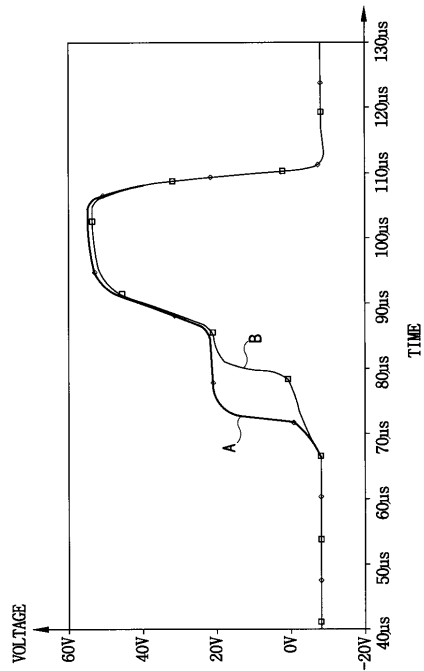
【図 25】



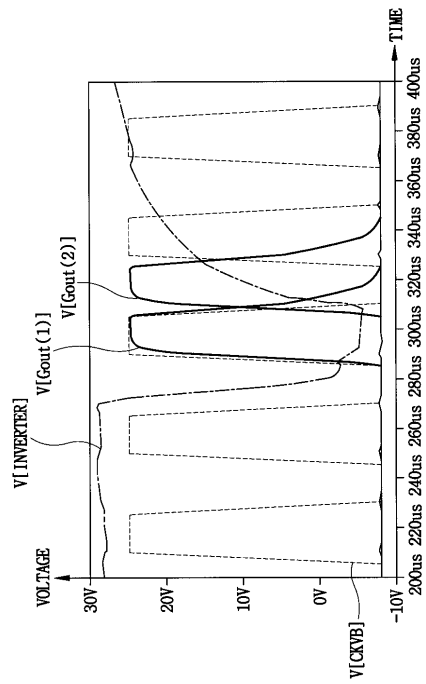
【図 26】



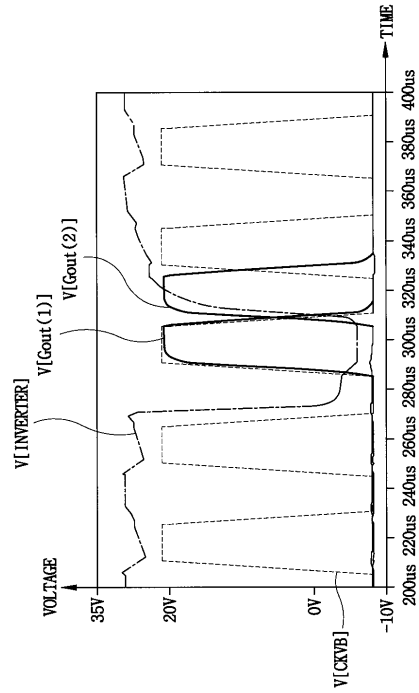
【図 27】



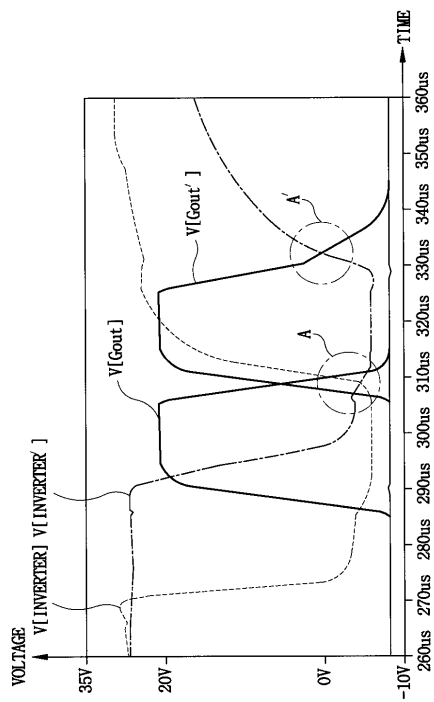
【図 28】



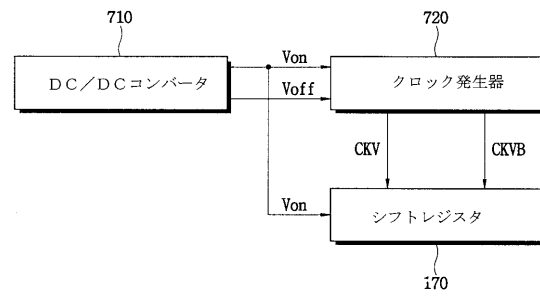
【図 30】



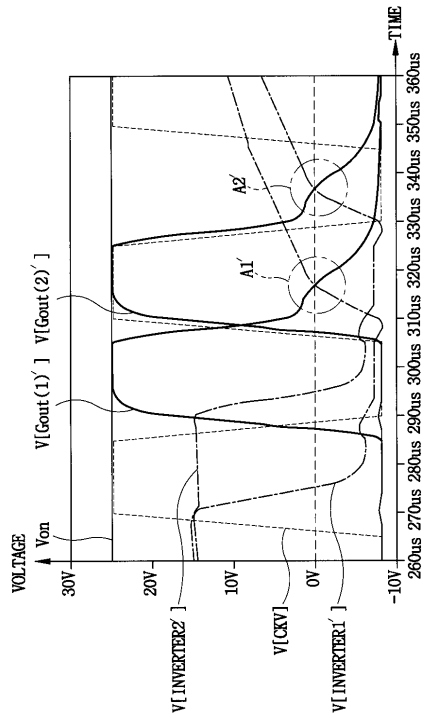
【図 31】



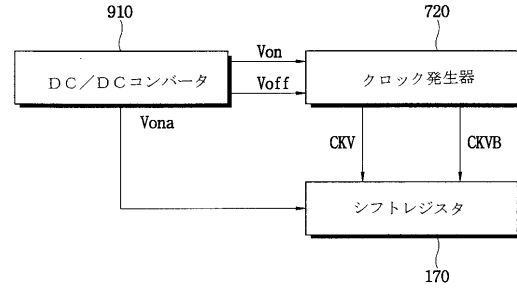
【図 32】



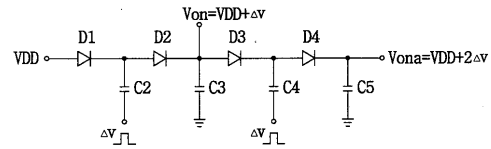
【図 33】



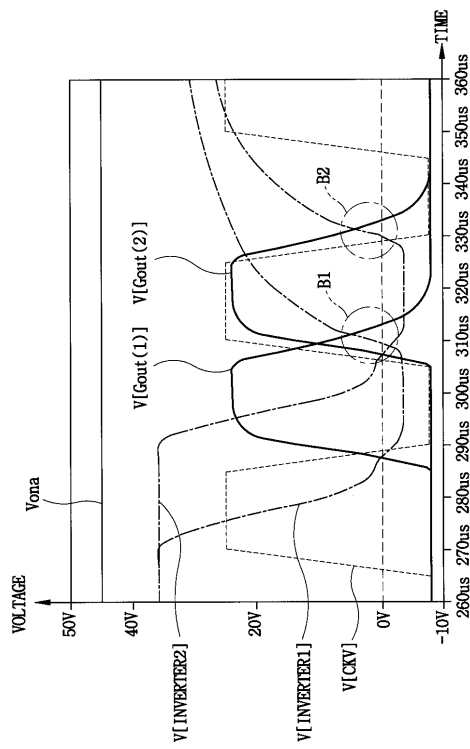
【図 34】



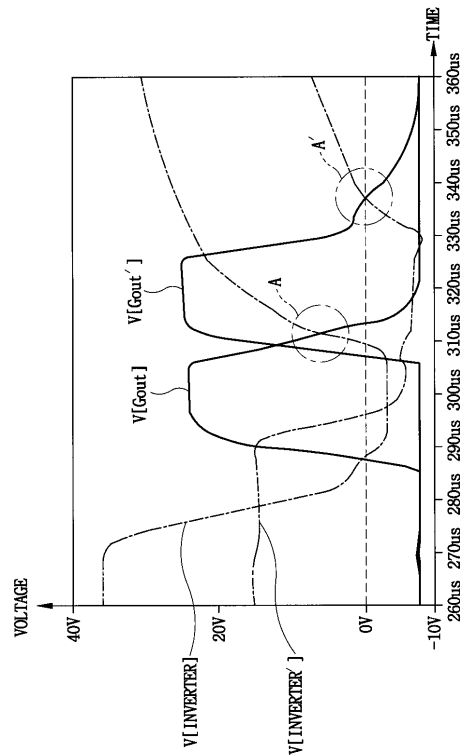
【図 35】



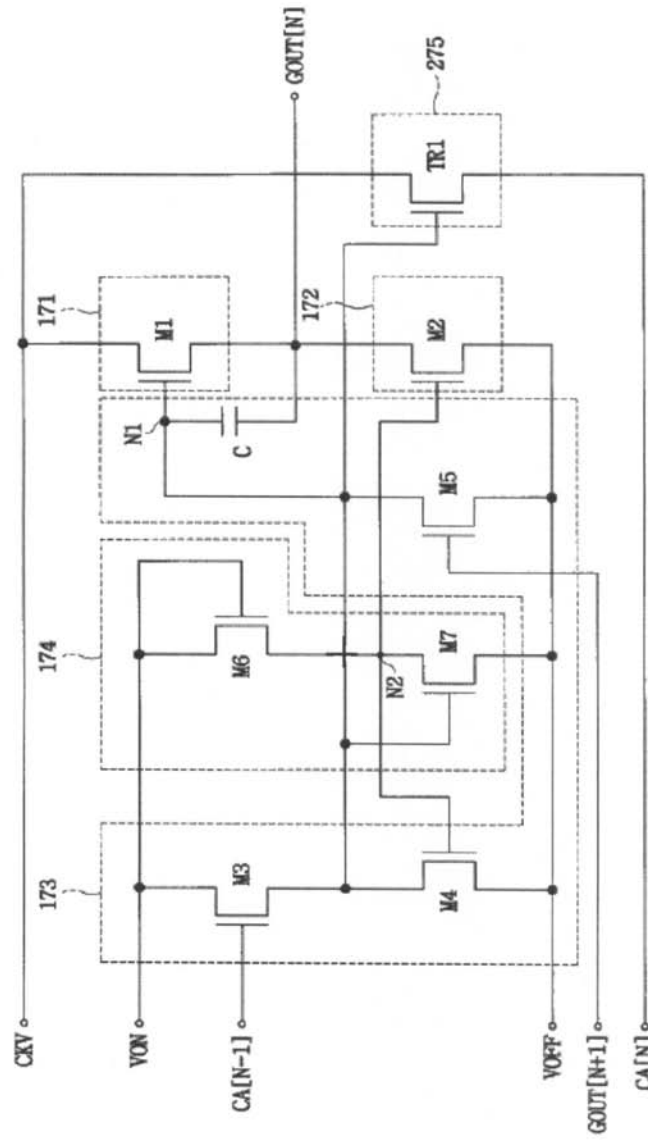
【図 36】



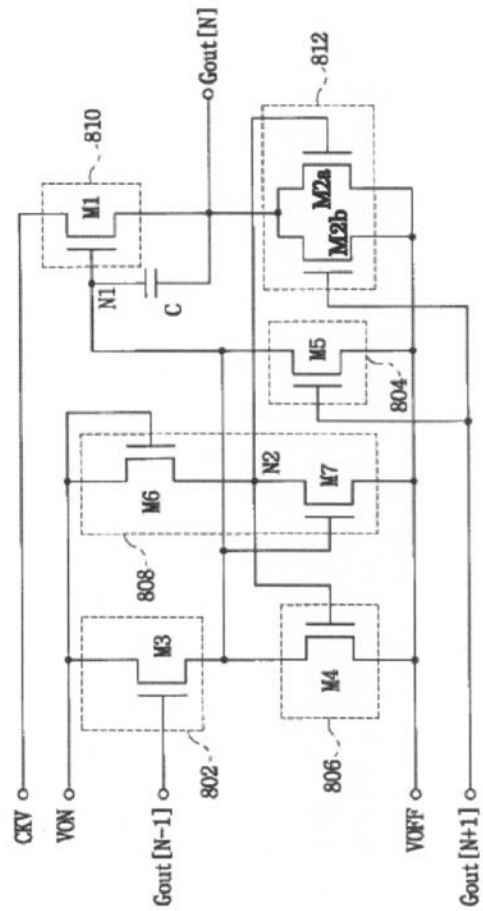
【図 37】



【図 12】



【図 29】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 5 0
G 0 9 G 3/36
G 1 1 C 19/00 J

(31)優先権主張番号 2003-006683

(32)優先日 平成15年2月4日(2003.2.4)

(33)優先権主張国 韓国(KR)

審査官 西島 篤宏

(56)参考文献 特開 2 0 0 1 - 3 5 0 4 3 8 (J P , A)
特開平 1 0 - 0 3 1 2 0 2 (J P , A)
特開平 0 1 - 2 8 6 5 7 6 (J P , A)
特開 2 0 0 0 - 2 3 6 2 3 4 (J P , A)
特開平 0 7 - 1 8 2 8 9 1 (J P , A)
特開平 0 8 - 2 6 3 0 2 7 (J P , A)
特開 2 0 0 0 - 1 5 5 5 5 0 (J P , A)
特開 2 0 0 1 - 1 4 7 4 1 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00-3/38

G02F 1/133,505-1/133,580

专利名称(译)	移位寄存器驱动方法，移位寄存器和具有该方法的液晶显示装置		
公开(公告)号	JP4593889B2	公开(公告)日	2010-12-08
申请号	JP2003170612	申请日	2003-06-16
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	文勝煥 李栢遠		
发明人	文 勝 煥 李 栢 遠		
IPC分类号	G09G3/20 G02F1/133 G09G3/36 G11C19/00		
CPC分类号	G11C19/28 G09G3/3685 G09G2310/0286		
FI分类号	G09G3/20.622.E G09G3/20.622.B G09G3/20.622.C G09G3/20.623.H G09G3/20.680.G G02F1/133.550 G09G3/36 G11C19/00.J G09G3/20.612.D G09G3/20.612.K G09G3/20.621.M G11C19/00 G11C19/28.D G11C19/28.230		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC09 2H093/NC22 2H093/NC34 2H093/ND34 2H093/ND43 2H093/ND44 2H193/ZA04 2H193/ZD23 2H193/ZF23 5B074/AA03 5B074/CA01 5B074/DA03 5B074/EA01 5C006/AC11 5C006/AC22 5C006/AF72 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC08 5C006/BC11 5C006/BC20 5C006/BC23 5C006/BF03 5C006/BF34 5C006/BF42 5C006/BF46 5C006/BF50 5C006/EB04 5C006/FA11 5C006/FA19 5C006/FA51 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD28 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	1020020033455 2002-06-15 KR 1020020037946 2002-07-02 KR 1020020039129 2002-07-06 KR 1020030006683 2003-02-04 KR		
其他公开文献	JP2004078172A		
外部链接	Espacenet		

摘要(译)

要解决的问题：制作适用于大屏幕高分辨率a-Si TFT LCD的移位寄存器驱动方法。解决方案：移位寄存器270由多个级联级构成，并且包含用于产生各级的进位电压的载波缓冲器部分。每级中的下拉晶体管被分成具有规定尺寸比的第一和第二两个下拉晶体管。为移位寄存器提供高于为时钟发生器提供的电压源（Von）的电压源（Vona）。当移位寄存器应用于高分辨率a-Si TFT LCD时，可以最小化RC延迟，并且可以提供对临界电压不敏感的移位寄存器。结果，实现了没有图像显示缺陷的高分辨率和大屏幕显示设备。

【 图 2 】

