

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-223125

(P2009-223125A)

(43) 公開日 平成21年10月1日(2009.10.1)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 612A	2H193
G02F 1/133 (2006.01)	G09G 3/20 612R	5C006
	G09G 3/20 623L	5C080
	G09G 3/20 624B	

審査請求 未請求 請求項の数 10 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2008-69135 (P2008-69135)
 (22) 出願日 平成20年3月18日 (2008. 3. 18)

(71) 出願人 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 100104433
 弁理士 宮園 博一
 (72) 発明者 戸谷 隆史
 長野県安曇野市豊科田沢6925 エプソン
 イメージングデバイス株式会社内
 (72) 発明者 片山 茂憲
 長野県安曇野市豊科田沢6925 エプソン
 イメージングデバイス株式会社内
 Fターム(参考) 2H093 NA80 NC03 NC34 ND40
 2H193 ZA04 ZE31 ZF03
 5C006 AC26 BB16 BC06 BC20 BF09
 BF11 BF27 BF34 BF42
 最終頁に続く

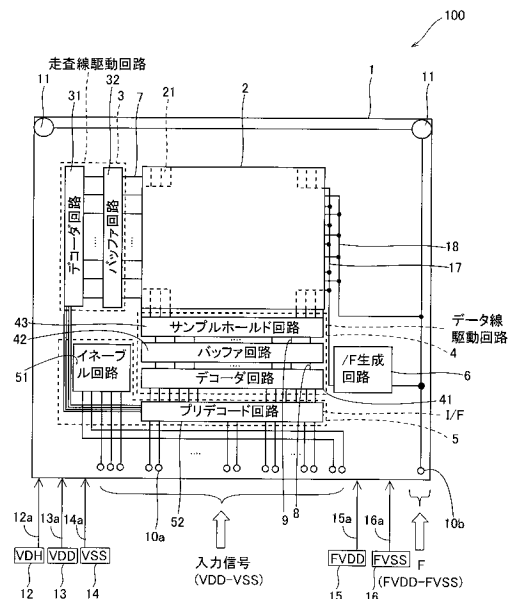
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶を駆動する電源の電圧に歪みが生じることに起因して液晶を駆動する電源を使用する他の回路が誤作動するのを抑制することが可能な液晶表示装置を提供する。

【解決手段】 この液晶表示装置100は、液晶218cを駆動するために画素電極218aと共通電極218bに印加する電圧を供給するFVDD15およびFVSS16に接続された電源線15aおよび16aと、走査線駆動回路3およびデータ線駆動回路4の少なくとも一方を駆動する電圧を供給するVDH12およびVSS14に接続された電源線12aおよび14aとを備え、FVDD15およびFVSS16に接続された電源線15aおよび16aとVDH12およびVSS14に接続された電源線12aおよび14aとを別系統としたことを特徴とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

互いに交差するように配置される走査線およびデータ線と、
前記走査線と前記データ線との交差に対応して配置され、液晶と前記液晶に電圧を印加する画素電極と共通電極とを含む画素と、

前記画素を駆動する走査線駆動回路とデータ線駆動回路とを備えた液晶表示装置において、

前記液晶を駆動するために前記画素電極と前記共通電極に印加する電圧を供給する第 1 電源線と、

前記走査線駆動回路および前記データ線駆動回路の少なくとも一方を駆動する電圧を供給する第 2 電源線とを備え、

前記第 1 電源線と前記第 2 電源線とを別系統としたことを特徴とする、液晶表示装置。

【請求項 2】

前記第 1 電源線は、パルス状の第 1 信号を供給する第 1 信号線と、前記第 1 信号を反転させた第 2 信号を供給する第 2 信号線とを含み、

前記画素電極には、前記第 1 信号線と前記第 2 信号線とが、前記第 1 信号線または前記第 2 信号線のいずれかを選択して接続する選択回路を介して接続され、

前記共通電極には、前記第 1 信号線または前記第 2 信号線のいずれかが接続されていることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 電源線には、第 1 電位を生成する第 1 電源部と、前記第 1 電位とは異なる第 2 電位を生成する第 2 電源部とが接続され、

前記第 1 電源部および前記第 2 電源部によりパルス状の前記第 1 信号が生成されるように構成されている、請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 信号を反転することにより、前記第 2 信号を生成する反転信号生成回路をさらに備える、請求項 3 に記載の液晶表示装置。

【請求項 5】

前記反転信号生成回路は、インバータ回路から構成されている、請求項 4 に記載の液晶表示装置。

【請求項 6】

前記画素が複数設けられる基板をさらに備え、

前記第 1 電源部および前記第 2 電源部の少なくとも一方は、前記基板上に設けられている、請求項 3 ~ 5 のいずれか 1 項に記載の液晶表示装置。

【請求項 7】

前記第 1 信号を反転することにより、前記第 2 信号を生成する反転信号生成回路をさらに備え、

前記反転信号生成回路は、前記基板上に設けられる前記第 1 電源部および前記第 2 電源部の少なくとも一方を用いるように構成されている、請求項 6 に記載の液晶表示装置。

【請求項 8】

前記複数の画素が配置される表示部をさらに備え、

前記第 1 電源部および前記第 2 電源部の一方は、前記表示部を挟んで、前記走査線駆動回路と対向するように設けられている、請求項 6 または 7 に記載の液晶表示装置。

【請求項 9】

前記画素は、前記画素電極に接続される第 1 トランジスタと第 2 トランジスタとを含み、

前記第 1 トランジスタまたは前記第 2 トランジスタの一方には、前記第 1 信号が前記第 1 信号線を介して入力され、前記第 1 トランジスタまたは前記第 2 トランジスタの他方には、前記第 2 信号が前記第 2 信号線を介して入力され、前記第 1 トランジスタおよび第 2 トランジスタの制御入力端子には、前記第 1 信号または前記第 2 信号の一方を選択する前

10

20

30

40

50

記選択回路が接続され、前記選択回路は、前記第1信号または前記第2信号の一方を選択する状態を記憶する記憶素子を備え、

前記共通電極には、前記第1信号が入力されるように構成されている、請求項2～8のいずれか1項に記載の液晶表示装置。

【請求項10】

前記第1電源線と前記第2電源線とは、略同電位の電位が供給されていることを特徴とする、請求項1～9のいずれか1項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。

【背景技術】

【0002】

従来、液晶表示装置の一例として、画素に記憶素子を備えた液晶表示装置が知られている（たとえば、特許文献1参照）。上記特許文献1には、画素電極と、画素電極とスイッチ素子を介して接続されるデジタルメモリとを備え、携帯電話などに用いられる液晶表示装置が開示されている。この液晶表示装置は、通話時には、データ線から画素電極に供給される映像信号により、表示部に画像表示を行い、待ち受け時には、デジタルメモリに保持された映像信号により表示部に画像表示を行う。また、液晶が劣化するのを抑制するために、スイッチ素子をオン/オフさせることにより液晶に印加される電圧を切り替えることにより、液晶を反転駆動するように構成されている。

【0003】

【特許文献1】特開2001-264814号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上記特許文献1に記載の液晶表示装置では、液晶を反転駆動する際に、瞬間的ではあるが、液晶を反転駆動するための高電圧側の電位を供給する電源と低電圧側の電位を供給する電源とが導通し、高電圧側の電位を供給する電源と低電圧側の電位を供給する電源との間に貫通電流が流れるので、電源の電圧に歪みが生じるという不都合がある。その結果、液晶を反転駆動するための高電圧側の電位を供給する電源と低電圧側の電位を供給する電源とを使用する回路が誤作動するという問題点がある。

【0005】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、液晶を駆動する電源の電圧に歪みが生じることに起因して液晶を駆動する電源を使用する他の回路が誤作動するのを抑制することが可能な液晶表示装置を提供することである。

【課題を解決するための手段および発明の効果】

【0006】

上記目的を達成するために、この発明の一の局面における液晶表示装置は、互いに交差するように配置される走査線およびデータ線と、走査線とデータ線との交差に対応して配置され、液晶と液晶に電圧を印加する画素電極と共通電極とを含む画素と、画素を駆動する走査線駆動回路とデータ線駆動回路とを備えた液晶表示装置において、液晶を駆動するために画素電極と共通電極に印加する電圧を供給する第1電源線と、走査線駆動回路およびデータ線駆動回路の少なくとも一方を駆動する電圧を供給する第2電源線とを備え、第1電源線と第2電源線とを別系統としたことを特徴とした。

【0007】

この一の局面による液晶表示装置では、上記のように、液晶を駆動する第1電源線と、第1電源とは別個に設けられた走査線駆動回路およびデータ線駆動回路の少なくとも一方を駆動する第2電源線とを備えることにより、たとえば液晶を反転駆動する場合、第1

10

20

30

40

50

電源線は高電圧側の電位を供給する電源線と低電圧側の電位を供給する電源線とを含み、高電圧側の電位を供給する電源線から低電圧側の電位を供給する電源線に瞬間的に貫通電流が流れて第1電源線の電圧に歪みが生じることが考えられるが、走査線駆動回路およびデータ線駆動回路の少なくとも一方を駆動する第2電源線は、液晶を駆動する第1電源線とは別系統に構成された電源であるので、第1電源線の電圧の歪みによって第2電源線の電圧が歪むことはない。これにより、液晶を駆動する電源の電圧に歪みが生じることによって、走査線駆動回路およびデータ線駆動回路の少なくとも一方が誤作動し、画素が誤作動するのを抑制することができる。また、走査線駆動回路およびデータ線駆動回路の少なくとも一方を駆動する第2電源線が、液晶を駆動する第1電源線とは異なる電源であることにより、第1電源線の電圧の歪みによって第2電源線の電圧が歪むことはないので、走査線駆動回路およびデータ線駆動回路の少なくとも一方の動作マージンが小さくなるのを抑制することができる。

10

【0008】

上記一の局面による液晶表示装置において、好ましくは、第1電源線は、パルス状の第1信号を供給する第1信号線と、第1信号を反転させた第2信号を供給する第2信号線とを含み、画素電極には、第1信号線と第2信号線とが、第1信号線または第2信号線のいずれかを選択して接続する選択回路を介して接続され、共通電極には、第1信号線または第2信号線のいずれかが接続されている。このように構成すれば、液晶に印加される電圧の方向が切り替わるので、液晶が劣化するのを抑制することができる。

【0009】

この場合、好ましくは、第1電源線には、第1電位を生成する第1電源部と、第1電位とは異なる第2電位を生成する第2電源部とが接続され、第1電源部および第2電源部によりパルス状の第1信号が生成されるように構成されている。このように構成すれば、容易に、第1電位と第2電位とからなるパルス状の信号を生成することができる。

20

【0010】

上記第1電源が第1電源部と第2電源部とを含む液晶表示装置において、好ましくは、第1信号を反転することにより、第2信号を生成する反転信号生成回路をさらに備える。このように構成すれば、第1信号と第2信号とを液晶表示装置の外部から入力する場合と異なり、入力信号が1つになるので、接続端子の数を減らすことができる。

【0011】

この場合、好ましくは、反転信号生成回路は、インバータ回路から構成されている。このように構成すれば、容易に、第1信号を反転させた第2信号を生成することができる。

30

【0012】

上記第1電源が第1電源部と第2電源部とを含む液晶表示装置において、好ましくは、画素が複数設けられる基板をさらに備え、第1電源部および第2電源部の少なくとも一方は、基板上に設けられている。このように構成すれば、液晶表示装置の外部だけから電力を供給する場合と異なり、より安定した電源を液晶表示装置に供給することができる。

【0013】

この場合、好ましくは、第1信号を反転することにより、第2信号を生成する反転信号生成回路をさらに備え、反転信号生成回路は、基板上に設けられる第1電源部および第2電源部の少なくとも一方を用いるように構成されている。このように構成すれば、液晶表示装置の外部だけから電力を供給する場合と異なり、反転信号生成回路をより安定して駆動することができる。

40

【0014】

上記第1電源部および第2電源部の少なくとも一方が基板上に設けられている液晶表示装置において、好ましくは、複数の画素が配置される表示部をさらに備え、第1電源部および第2電源部の一方は、表示部を挟んで、走査線駆動回路と対向するように設けられている。このように構成すれば、基板の走査線駆動回路が形成されていない額縁部に第1電源部および第2電源部の一方を設けることができるので、基板が大きくなるのを抑制することができる。

50

【0015】

上記液晶が第1信号と第2信号とにより反転駆動される液晶表示装置において、好ましくは、画素は、画素電極に接続される第1トランジスタと第2トランジスタとを含み、第1トランジスタまたは第2トランジスタの一方には、第1信号が第1信号線を介して入力され、第1トランジスタまたは第2トランジスタの他方には、第2信号が第2信号線を介して入力され、第1トランジスタおよび第2トランジスタの制御入力端子には、第1信号または第2信号の一方を選択する選択回路が接続され、選択回路は、第1信号または第2信号の一方を選択する状態を記憶する記憶素子を備え、共通電極には、第1信号が入力されるように構成されている。このように構成すれば、第1トランジスタと第2トランジスタとのオン/オフを切り替えることにより、画素電極と共通電極との間の電位差を切り替えることができるので、液晶のオン/オフを切り替えることができる。

10

【0016】

上記一の局面による液晶表示装置において、好ましくは、第1電源線と第2電源線とには、略同電位の電位が供給されていることを特徴とする。第1電源線と第2電源線とには、略同電位の電位が供給されているので、第1電源線と第2電源線とを別系統とする必要はないが、第1電源線と第2電源線とを別系統とすることにより、液晶を駆動する第1電源線の電圧の歪みが第2電源線側に影響するのを抑制することができるので、画素が誤動作するのをより抑制することができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施形態を図面に基づいて説明する。

20

【0018】

(第1実施形態)

図1は、本発明の第1実施形態による液晶表示装置の平面図である。図2は、本発明の第1実施形態による画素の回路図である。図3は、本発明の第1実施形態によるノF生成回路の回路図である。まず、図1～図3を参照して、本発明の第1実施形態による液晶表示装置100の構成について説明する。

【0019】

第1実施形態による液晶表示装置100は、図1に示すように、透明のガラス基板1上に形成される表示部2と、走査線駆動回路3と、データ線駆動回路4と、インターフェース回路5(IF)と、ノF生成回路6とにより構成されている。なお、ノF生成回路6は、本発明の「反転信号生成回路」の一例である。

30

【0020】

また、走査線駆動回路3は、デコーダ回路31とバッファ回路32とから構成されている。走査線駆動回路3は、デコーダ回路31に入力された信号が、バッファ回路32を介して表示部2に入力されるように構成されている。

【0021】

また、データ線駆動回路4は、デコーダ回路41と、バッファ回路42と、サンプルホールド回路43とから構成されている。データ線駆動回路4は、後述するプリデコード回路52からデコーダ回路41に入力された信号が、バッファ回路42と、サンプルホールド回路43とを介して表示部2に入力されるように構成されている。

40

【0022】

また、走査線駆動回路3からは、複数のYゲート線7が表示部2に接続されている。なお、Yゲート線7は、本発明の「走査線」の一例である。また、データ線駆動回路4のデコーダ回路41およびバッファ回路42からは、複数のXゲート線8が表示部2に接続されている。なお、Xゲート線8は、本発明の「走査線」の一例である。また、データ線駆動回路4のサンプルホールド回路43からは、複数のデータ線9が表示部2に接続されている。

【0023】

また、インターフェース回路5は、イネーブル回路51とプリデコード回路52とから

50

構成されている。そして、イネーブル回路 5 1 およびプリデコード回路 5 2 には、外部からの信号が入力されるように、接続端子 1 0 a が接続されている。

【 0 0 2 4 】

また、基板 1 上には、後述する共通電極 2 1 8 b と接続されるコンタクト部 1 1 が形成されている。また、基板 1 上には、接続端子 1 0 b が設けられており、接続端子 1 0 b を介して、外部から入力される F 信号が、 / F 生成回路 6 と、表示部 2 と、コンタクト部 1 1 に入力されるように構成されている。なお、F 信号は、本発明の「第 1 信号」の一例である。

【 0 0 2 5 】

また、基板 1 の外部（例えば、外付け制御 IC 上等）には、液晶表示装置 1 0 0 に電力を供給するための電源である V D H 1 2、V D D 1 3、V S S 1 4、F V D D 1 5 および F V S S 1 6 が設けられている。なお、V D H 1 2、V D D 1 3 および V S S 1 4 に接続された電源線 1 2 a、1 3 a および 1 4 a は、本発明の「第 2 電源線」の一例である。また、F V D D 1 5 および F V S S 1 6 に接続された電源線 1 5 a および 1 6 a は、本発明の「第 1 電源線」の一例である。また、F V D D 1 5 および F V S S 1 6 は、それぞれ、本発明の「第 1 電位を生成する第 1 電源部」および「第 2 電位を生成する第 2 電源部」の一例である。V D H 1 2 は、走査線駆動回路 3 とデータ線駆動回路 4 とに高電圧側の電位を供給するための電源である。また、V D D 1 3 は、インターフェース回路 5 に高電圧側の電位を供給するための電源である。また、V S S 1 4 は、走査線駆動回路 3、データ線駆動回路 4、インターフェース回路 5 に低電圧側の電位を供給するための電源である。また、F V D D 1 5 と F V S S 1 6 とは、それぞれ、 / F 生成回路 6 に高電圧側の電位と低電圧側の電位とを供給するための電源である。また、F V D D 1 5 と F V S S 1 6 とは、F 信号を生成するための電源である。なお、第 1 実施形態では、V D H 1 2 と V D D 1 3 と F V D D 1 5 とは、略同電位であるとともに、V S S 1 4 と F V S S 1 6 とは、略同電位である。また、F V D D 1 5 と F V S S 1 6 とは、後述する液晶 2 1 8 c を駆動するための電源であり、第 1 実施形態では、液晶 2 1 8 c を駆動するための電源（F V D D 1 5 および F V S S 1 6）と、走査線駆動回路 3 やデータ線駆動回路 4 など駆動するための電源（V D H 1 2、V D D 1 3 および V S S 1 4）とは異なる電源が用いられるように構成されており、各電源に接続された電源線も別系統となるように構成されている。

【 0 0 2 6 】

また、図 1 に示すように、表示部 2 には、複数の画素 2 1 が設けられている。画素 2 1 は、図 2 に示すように、トランジスタ 2 1 1 ~ トランジスタ 2 1 4 と、S R A M 2 1 5 と、トランスマッションゲート 2 1 6 およびトランスマッションゲート 2 1 7 と、液晶素子 2 1 8 とにより構成されている。なお、S R A M 2 1 5 は、本発明の「記憶素子」の一例である。また、トランスマッションゲート 2 1 6 およびトランスマッションゲート 2 1 7 は、それぞれ、本発明の「第 1 トランジスタ」および「第 2 トランジスタ」の一例である。また、S R A M 2 1 5、トランスマッションゲート 2 1 6、トランスマッションゲート 2 1 7、データ線 9、Y ゲート線 7 および X ゲート線 8 などにより構成される回路は、本発明の「選択回路」の一例である。

【 0 0 2 7 】

トランジスタ 2 1 1 のゲートには、Y ゲート線 7 が接続されているとともに、ソース / ドレインの一方がデータ線 9 (9 a) に接続されている。また、トランジスタ 2 1 1 のソース / ドレインの他方には、トランジスタ 2 1 2 のソース / ドレインの一方が接続されている。また、トランジスタ 2 1 2 のゲートには、X ゲート線 8 が接続されているとともに、ソース / ドレインの他方には、S R A M 2 1 5 が接続されている。また、トランジスタ 2 1 3 のゲートには、X ゲート線 8 が接続されているとともに、ソース / ドレインの一方には、S R A M 2 1 5 が接続されている。また、トランジスタ 2 1 3 のソース / ドレインの他方には、トランジスタ 2 1 4 のソース / ドレインの一方が接続されている。また、トランジスタ 2 1 4 のゲートには、Y ゲート線 7 が接続されているとともに、ソース / ドレインの他方には、データ線 9 (9 b) が接続されている。なお、データ線 9 a とデータ線

10

20

30

40

50

9 b とには、それぞれ、極性の異なる（HレベルまたはLレベルの）データDと/Dとが入力されるように構成されている。

【0028】

また、SRAM 215は、2つのインバータ回路215 aおよびインバータ回路215 bにより構成されている。なお、インバータ回路215 aの出力信号がインバータ回路215 bの入力信号として接続されているとともに、インバータ回路215 bの出力信号がインバータ回路215 aの入力信号として接続されている。

【0029】

また、第1実施形態では、トランスマッションゲート216の入力端子216 a、216 bおよび216 cは、それぞれ、SRAM 215の端子Q、端子/Q、および、/F信号が供給される/F信号線17に接続されている。なお、/F信号は、本発明の「第2信号」の一例であり、/F信号線17は、本発明の「第2信号線」の一例である。また、トランスマッションゲート216の入力端子216 a、216 bは、本発明の「第1トランジスタの制御入力端子」の一例である。また、トランスマッションゲート217の入力端子217 a、217 bおよび217 cは、それぞれ、SRAM 215の端子/Q、端子Q、および、F信号が供給されるF信号線18に接続されている。なお、F信号線18は、本発明の「第1信号線」の一例である。また、トランスマッションゲート217の入力端子217 a、217 bは、本発明の「第2トランジスタの制御入力端子」の一例である。また、トランスマッションゲート216の出力端子216 dとトランスマッションゲート217の出力端子217 dとは、液晶素子218の画素電極218 aに接続されている。

【0030】

また、液晶素子218は、画素電極218 aと、画素電極218 aに対向配置された共通電極218 bと、画素電極218 aおよび共通電極218 bの間に挟持された液晶218 cとにより構成されている。ここで、第1実施形態では、液晶218 cは、パルス状のF信号と/F信号とにより反転駆動されるように構成されている。

【0031】

また、第1実施形態では、図3に示すように、/F生成回路6は、インバータ回路61から構成されている。なお、インバータ回路61は、pチャネルトランジスタ611とnチャネルトランジスタ612とから構成されている。pチャネルトランジスタ611のソース/ドレインの一方とnチャネルトランジスタ612のソース/ドレインの他方とが接続されている。pチャネルトランジスタ611のソース/ドレインの他方には、高電圧側の電位を供給するFVDD15が接続されている。また、nチャネルトランジスタ612のソース/ドレインの一方には、低電圧側の電位を供給するFVSS16が接続されている。pチャネルトランジスタ611とnチャネルトランジスタ612とのゲートには、信号が入力されるように構成されている。また、pチャネルトランジスタ611のソース/ドレインの一方、または、nチャネルトランジスタ612ソース/ドレインの他方を介して、FVDD15またはFVSS16の電位が供給されるように構成されている。

【0032】

図4は、本発明の第1実施形態によるF信号と/F信号との信号波形図である。次に、図1～図4を参照して、本発明の第1実施形態による液晶表示装置100の動作について説明する。

【0033】

まず、走査線駆動回路3およびデータ線駆動回路4からの信号により、図2に示す所定の画素21のYゲート線7およびXゲート線8にHレベルの信号が入力される。これにより、トランジスタ211～トランジスタ214がオン状態となる。その結果、データ線9 aおよびデータ線9 bを介して、SRAM 215の端子Qおよび端子/Qに極性の異なる画像データがそれぞれ入力される。

【0034】

また、図1に示すように、接続端子10 bには、F信号が入力されている。なお、第1実施形態では、F信号は、図4に示すように、FVDD15とFVSS16とによって形

10

20

30

40

50

成された、高電圧側の電位と低電圧側の電位とからなるパルス状の信号である。そして、F信号は、表示部2と、/F生成回路6と、コンタクト部11とに入力される。また、第1実施形態では、/F生成回路6に入力されたF信号は、インバータ回路61によって反転させられ、/F生成回路6において/F信号が生成される。この/F信号は、表示部2に入力される。なお、インバータ回路61に入力されるF信号の極性がHレベルからLレベル、または、LレベルからHレベルに切り替わる際に、瞬間的ではあるが、インバータ回路61のpチャネルトランジスタ611とnチャネルトランジスタ612との両方がオン状態となる。このとき、FVDD15からFVSS16に貫通電流が流れて、FVDD15とFVSS16との電圧に歪みが生じる。

【0035】

そして、図2に示すように、表示部2に入力されたF信号は、トランスミッションゲート217と共通電極218bとに入力される。また、表示部2に入力された/F信号は、トランスミッションゲート216に入力される。

【0036】

ここで、例として、SRAM215の端子Qに、Hレベルのデータが入力され、端子/Qに、Lレベルのデータが入力された場合について説明する。このとき、トランスミッションゲート216がオン状態となるとともに、トランスミッションゲート217は、オフ状態のままである。これにより、画素電極218aには、/F信号が入力される。その結果、共通電極218bには、F信号が入力されているので、液晶218cには、F信号の電位と/F信号の電位との差に相当する電位が印加される。これにより、液晶218cは、オン状態となる。なお、SRAM215の端子Qに、Lレベルのデータが入力され、端子/Qに、Hレベルのデータが入力された場合は、画素電極218aには、F信号が入力され、共通電極218bには、F信号が入力されるので、液晶218cには、電圧が印加されない。その結果、液晶218cは、オフ状態となる。

【0037】

第1実施形態では、上記のように、液晶218cを駆動するFVDD15およびFVSS16に接続された電源線15aおよび16aと、走査線駆動回路3およびデータ線駆動回路4を駆動するVDH12およびVSS14に接続された電源線12aおよび14aとを備えることによって、FVDD15に接続された電源線15aからFVSS16に接続された電源線16aに瞬間的に貫通電流が流れてFVDD15に接続された電源線15aおよびFVSS16に接続された電源線16aの電圧に歪みが生じても、走査線駆動回路3およびデータ線駆動回路4を駆動するVDH12およびVSS14に接続された電源線12aおよび14aは、液晶218cを駆動するFVDD15およびFVSS16に接続された電源線15aおよび16aとは異なるので、FVDD15およびFVSS16に接続された電源線15aおよび16aの電圧の歪みによってVDH12およびVSS14に接続された電源線12aおよび14aの電圧が歪むことはない。これにより、液晶218cを駆動するFVDD15およびFVSS16の電圧に歪みが生じることによって、走査線駆動回路3およびデータ線駆動回路4が誤作動し、画素218cが誤作動するのを抑制することができる。また、走査線駆動回路3およびデータ線駆動回路4を駆動するVDH12およびVSS14に接続された電源線12aおよび14aが、液晶218cを駆動するFVDD15およびFVSS16に接続された電源線15aおよび16aとは異なる電源であることにより、FVDD15およびFVSS16に接続された電源線15aおよび16aの電圧の歪みによってVDH12およびVSS14に接続された電源線12aおよび14aの電圧が歪むことはないので、走査線駆動回路3およびデータ線駆動回路4の動作マージンが小さくなるのを抑制することができる。

【0038】

また、第1実施形態では、上記のように、液晶218cを、パルス状のF信号と、F信号を反転させた/F信号とにより反転駆動するように構成することによって、液晶218cに印加される電圧の方向が切り替わるので、液晶218cが劣化するのを抑制することができる。

10

20

30

40

50

【0039】

また、第1実施形態では、上記のように、FVDD15およびFVSS16によりパルス状のF信号および/F信号を生成することによって、容易に、高電圧側の電位と低電圧側の電位とからなるパルス状の信号を生成することができる。

【0040】

また、第1実施形態では、上記のように、F信号を反転することにより、/F信号を生成する/F生成回路6を備えることによって、F信号と/F信号とを液晶表示装置100の外部から入力する場合と異なり、入力信号が1つになるので、接続端子の数を減らすことができる。

【0041】

また、第1実施形態では、上記のように、/F生成回路6を、インバータ回路61から構成することによって、容易に、F信号を反転させた/F信号を生成することができる。

【0042】

また、第1実施形態では、上記のように、トランスマッションゲート216には、/F信号が入力され、トランスマッションゲート217には、F信号が入力され、共通電極218bには、F信号が入力されるように構成することによって、トランスマッションゲート216とトランスマッションゲート217とのオン/オフを切り替えることにより、画素電極218aと共通電極218bとの間の電位差を切り替えることができるので、液晶218cのオン/オフを切り替えることができる。

【0043】

また、第1実施形態では、上記のように、FVDD15およびFVSS16に接続された電源線15aおよび16aと、走査線駆動回路3およびデータ線駆動回路4を駆動する電圧を供給するVDH12およびVSS14に接続された電源線12aおよび14aとには、略同電位の電位を供給する。電源線15aおよび16aと、電源線12aおよび14aとには、略同電位の電位が供給されているので、電源線15aおよび16aと、電源線12aおよび14aとを別系統とする必要はないが、電源線15aおよび16aと、電源線12aおよび14aとを別系統とすることにより、画素218cが誤作動するのをより抑制することができる。

【0044】

(第2実施形態)

図5は、本発明の第2実施形態による液晶表示装置の平面図である。次に、図5を参照して、この第2実施形態では、上記第1実施形態と異なり、FVDD電源回路20が基板1上に設けられている液晶表示装置110について説明する。

【0045】

第2実施形態による液晶表示装置110は、図5に示すように、基板1上にVDD電源回路19およびFVDD電源回路20が設けられている。ここで、VDD電源回路19およびFVDD電源回路20は、低温ポリシリコンプロセスによりガラス基板上に回路機能を集積するシステム・オン・グラス(SOG)技術により、基板1上に形成される。これによれば、半導体部品点数の削減、組立の簡便化ができ、外部回路基板も縮小でき、全体として小型・軽量化を実現することができる。なお、FVDD電源回路20は、本発明の「第1電源部」の一例である。ここで、第2実施形態では、VDD電源回路19およびFVDD電源回路20は、表示部2を挟んで、走査線駆動回路3と対向するように基板1の額縁部1aに配置されている。また、VDD電源回路19は、インターフェース回路5に接続されており、インターフェース回路5を駆動するための電源として用いられる。また、第2実施形態では、FVDD電源回路20は、/F生成回路6に接続されており、/F信号を生成するための電源として用いられる。また、F信号を生成するために用いられるFVDD15は、基板1の外部(例えば、外付け制御IC上等)に別途設けられている。

【0046】

なお、第2実施形態のその他の構成および動作は、上記第1実施形態と同様である。

【0047】

10

20

30

40

50

第2実施形態では、上記のように、FVDD電源回路20を基板1上に設けることによって、液晶表示装置110の外部だけから電力を供給する場合と異なり、より安定した電源を液晶表示装置110に供給することができる。

【0048】

また、第2実施形態では、上記のように、/F生成回路6は、基板1上に設けられるFVDD電源回路20を用いるように構成することによって、液晶表示装置110の外部だけから電力を供給する場合と異なり、/F生成回路6をより安定して駆動することができる。

【0049】

また、第2実施形態では、上記のように、FVDD電源回路20を、表示部2を挟んで走査線駆動回路3と対向するように設けることによって、基板1の走査線駆動回路3が形成されていない額縁部にFVDD電源回路20を設けることができるので、基板1が大きくなるのを抑制することができる。

10

【0050】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0051】

たとえば、上記第1および第2実施形態では、/F生成回路を1つのインバータにより構成する例を示したが、本発明はこれに限らず、複数のインバータから/F生成回路を構成してもよい。

20

【0052】

また、上記第1および第2実施形態では、共通電極にF信号を印加する例を示したが、本発明はこれに限らず、共通電極に/F信号を印加するようにしてもよい。

【0053】

また、上記第1および第2実施形態では、画素内にSRAMを設ける例を示したが、本発明はこれに限らず、DRAMを設けてもよい。

【0054】

また、上記第2実施形態では、VDD電源回路とFVDD電源回路とを基板の上に形成する例を示したが、本発明はこれに限らず、VSS電源回路とFVSS電源回路とを基板の上に形成してもよい。

30

【0055】

また、上記第1実施形態では、FVDD15およびFVSS16に接続された電源線15aおよび16aと、走査線駆動回路3およびデータ線駆動回路4を駆動する電圧を供給するVDH12およびVSS14に接続された電源線12aおよび14aとは、略同電位の電位を供給する例を示したが、本発明はこれに限らず、FVDD15およびFVSS16に接続された電源線15aおよび16aと、インターフェース回路5を駆動する電圧を供給するVDD13およびVSS14に接続された電源線13aおよび14aに略同電位の電位を供給する構成としてもよい。

40

【図面の簡単な説明】

【0056】

【図1】本発明の第1実施形態による液晶表示装置の平面図である。

【図2】本発明の第1実施形態による画素の回路図である。

【図3】本発明の第1実施形態による/F生成回路の回路図である。

【図4】本発明の第1実施形態によるF信号と/F信号との信号波形図である。

【図5】本発明の第2実施形態による液晶表示装置の平面図である。

【符号の説明】

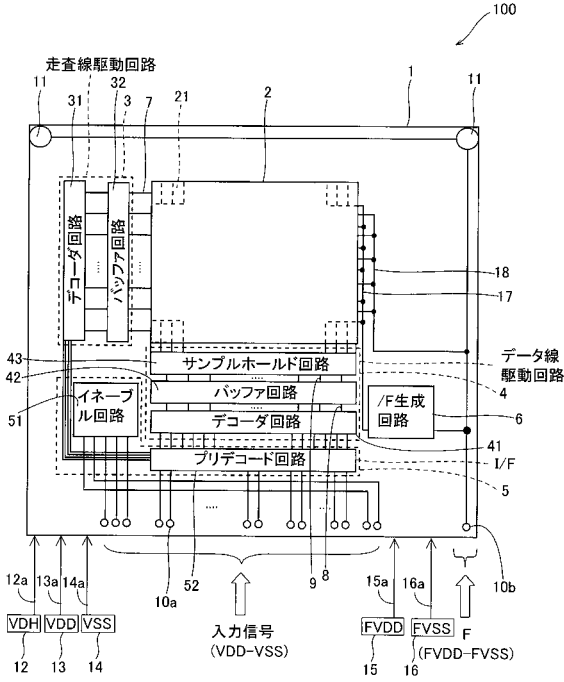
【0057】

1 基板

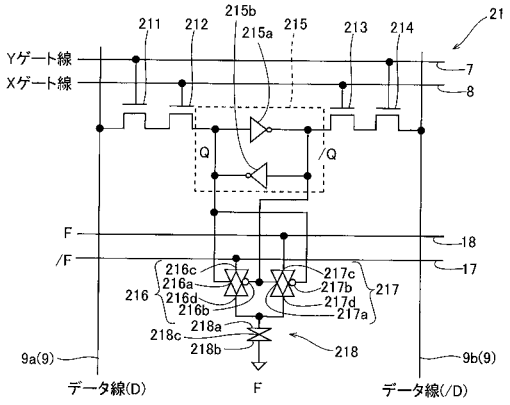
50

2	表示部	
3	走査線駆動回路	
4	データ線駆動回路	
6	/F生成回路(反転信号生成回路)	
7	Yゲート線(走査線)	
8	Xゲート線(走査線)	
9、9a、9b	データ線	
12a	電源線(第2電源線)	
13a	電源線(第2電源線)	
14a	電源線(第2電源線)	10
15	FVDD(第1電源、第1電源部)	
15a	電源線(第1電源線)	
16	FVSS(第1電源、第2電源部)	
16a	電源線(第1電源線)	
17	/F信号線(第2信号線)	
18	F信号線(第1信号線)	
20	FVDD電源回路(第1電源部)	
21	画素	
61	インバータ回路	
215	SRAM(記憶素子)	20
216	トランSMissionゲート(第1トランジスタ)	
216a	入力端子(制御入力端子)	
216b	入力端子(制御入力端子)	
217	トランSMissionゲート(第2トランジスタ)	
217a	入力端子(制御入力端子)	
217b	入力端子(制御入力端子)	
218a	画素電極	
218b	共通電極	
218c	液晶	

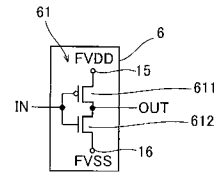
【図1】



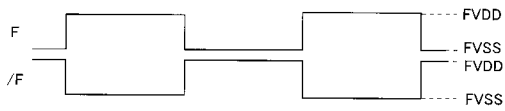
【図2】



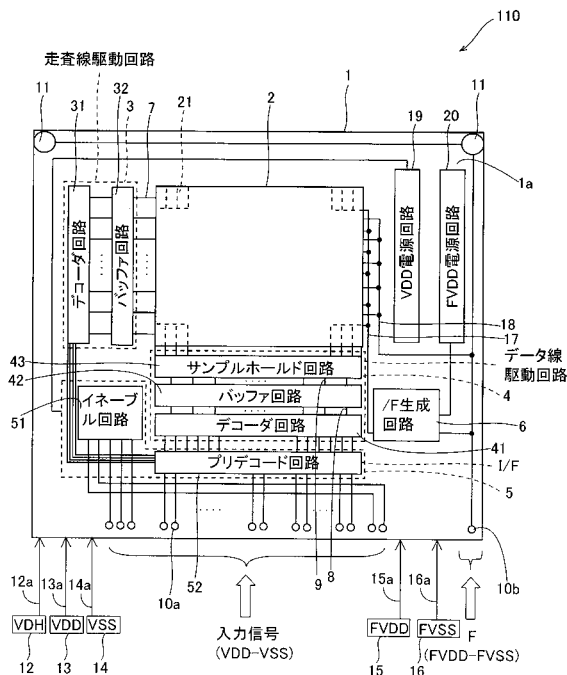
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 4 P
G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 7 0 E
G 0 9 G	3/20	6 2 1 B
G 0 2 F	1/133	5 5 0

Fターム(参考) 5C080 AA10 BB05 DD09 DD27 FF03 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009223125A	公开(公告)日	2009-10-01
申请号	JP2008069135	申请日	2008-03-18
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	戸谷隆史 片山茂憲		
发明人	戸谷 隆史 片山 茂憲		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.612.A G09G3/20.612.R G09G3/20.623.L G09G3/20.624.B G09G3/20.624.P G09G3/20.624.E G09G3/20.670.E G09G3/20.621.B G02F1/133.550		
F-TERM分类号	2H093/NA80 2H093/NC03 2H093/NC34 2H093/ND40 2H193/ZA04 2H193/ZE31 2H193/ZF03 5C006/AC26 5C006/BB16 5C006/BC06 5C006/BC20 5C006/BF09 5C006/BF11 5C006/BF27 5C006/BF34 5C006/BF42 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD27 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA19 2H193/ZB07 2H193/ZC01 2H193/ZF01 2H193/ZF21 2H193/ZF31 2H193/ZF45 2H193/ZF51 2H193/ZP01		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够利用液晶驱动电源抑制其他电路的液晶显示装置，不会因液晶驱动电源的电压发生失真而发生故障。

ŽSOLUTION：液晶显示装置100包括连接到FVDD 15的电源线15a，16a和提供给像素电极218a的电压的FVSS 16和用于驱动液晶218c的公共电极218b，以及电源线12a，14a连接到VDH 12和VSS 14，用于提供电压，用于驱动扫描线驱动电路3和数据线驱动电路4中的至少一个。电源线15a，16a连接到FVDD 15和FVSS 16连接到VDH 12和VSS 14的电源线12a，14a构成为独立的系统。Ž

