

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-39290

(P2006-39290A)

(43) 公開日 平成18年2月9日(2006.2.9)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 6 O L (全 40 頁)

(21) 出願番号 特願2004-220263 (P2004-220263)

(22) 出願日 平成16年7月28日 (2004.7.28)

(71) 出願人 302036002

富士通ディスプレイテクノロジーズ株式会
社
神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 501358079

友達光電股▼ふん▲有限公司
台湾新竹市科学工業園區力行二路1号

(74) 代理人 100091672

弁理士 岡本 啓三

(72) 発明者 鎌田 豪

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通ディスプレイテクノロジーズ
株式会社内

最終頁に続く

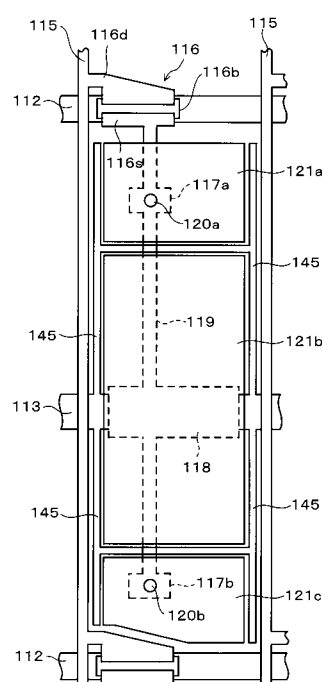
(54) 【発明の名称】 液晶表示装置及びその焼き付き防止方法

(57) 【要約】

【課題】容量結合HT（ハーフトーン）法を使用して白茶けを抑制する液晶表示装置において、焼き付きの発生を回避できる液晶表示装置及びその焼き付き防止方法を提供する。

【解決手段】制御電極118と容量結合した副画素電極（フローティング副画素電極）121bとゲートバスライン112との間に、TFT116に直結した副画素電極121a、121cを配置し、ゲートバスライン112からフローティング副画素電極121bへの電荷の注入を防止する。また、フローティング副画素電極121bとデータバスライン115との間に、補助容量バスライン113と電氣的に接続されたシールドパターン145を形成する。このシールドパターン145により、データバスライン115からフローティング副画素電極121bへの電荷の注入を回避する。

【選択図】図22



【特許請求の範囲】

【請求項 1】

相互に対向して配置された第 1 及び第 2 の基板と、
 前記第 1 及び第 2 の基板間に封入された液晶と、
 前記第 1 の基板に形成されたゲートバスライン及びデータバスラインと、
 前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
 前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、
 前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極とを有する液晶表示装置 10
 において、
 前記制御電極と容量結合した副画素電極と前記ゲートバスライン及び前記データバスラインのうちの少なくとも一方のバスラインとの間を電氣的にシールドするシールド部材を有することを特徴とする液晶表示装置。

【請求項 2】

相互に対向して配置された第 1 及び第 2 の基板と、
 前記第 1 及び第 2 の基板間に封入された液晶と、
 前記第 1 の基板に形成されたゲートバスライン及びデータバスラインと、
 前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
 前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、
 前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、
 前記第 2 の基板に形成されて前記第 1 の基板の前記複数の副画素電極に対向するコモン電極とを有する液晶表示装置の焼き付き防止方法であって、
 前記コモン電極の電位に対する前記ドレインバスラインの中心電位を V_{ddc} 、前記コモン電極の電位に対する前記ゲートバスラインの中心電位を V_{gdc} 、前記制御電極と容量結合した副画素電極と前記データバスラインとの間の抵抗を R_d 、前記制御電極と容量結合した副画素電極と前記ゲートバスラインとの間の抵抗を R_g としたときに、 $V_{ddc} - V_{gdc} \times R_d / R_g$ がほぼ 0 となるように前記制御電極と容量結合した副画素電極の大きさ、
 形状及び位置並びに絶縁膜の厚さを設定することを特徴とする液晶表示装置の焼き付き防止方法。 30

【請求項 3】

相互に対向して配置された第 1 及び第 2 の基板と、
 前記第 1 及び第 2 の基板間に封入された液晶と、
 前記第 1 の基板に形成されたゲートバスライン及びデータバスラインと、
 前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
 前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、
 前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、
 前記第 2 の基板に形成されて前記第 1 の基板の複数の副画素電極に対向するコモン電極とを有する液晶表示装置において、
 前記制御電極と容量結合した副画素電極と、前記薄膜トランジスタに接続された副画素電極との間が、抵抗体を介して接続されていることを特徴とする液晶表示装置。 40

【請求項 4】

相互に対向して配置された第 1 及び第 2 の基板と、
 前記第 1 及び第 2 の基板間に封入された液晶と、
 前記第 1 の基板に形成されたゲートバスライン及びデータバスラインと、
 前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、 50

前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも１つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、

一定の電位に保持され、前記制御電極との間で補助容量を構成する補助容量バスラインとを有する液晶表示装置において、

前記制御電極と容量結合した副画素電極と前記補助容量バスラインとの間、又は前記制御電極と容量結合した副画素電極と前記薄膜トランジスタに接続した副画素電極との間に、前記薄膜トランジスタが接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動するスイッチング素子を有することを特徴とする液晶表示装置。

10

【請求項５】

相互に対向して配置された第１及び第２の基板と、

前記第１及び第２の基板間に封入された液晶と、

前記第１の基板に形成されたゲートバスライン及びデータバスラインと、

前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、

前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも１つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、

一定の電位に保持され、前記制御電極との間で第１の補助容量を構成する補助容量バスラインとを有する液晶表示装置の焼き付き防止方法であって、

20

前記制御電極と容量結合した副画素電極と前記コモン電極との間の容量に並列に第２の補助容量を形成することを特徴とする液晶表示装置の焼き付き防止方法。

【請求項６】

相互に対向して配置された第１及び第２の基板と、

前記第１及び第２の基板間に封入された液晶と、

前記第１の基板に形成されたゲートバスライン及びデータバスラインと、

前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、

前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

30

前記複数の副画素電極のうちの少なくとも１つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、

一定の電位に保持され、前記制御電極との間で第１の補助容量を構成する補助容量バスラインと、

前記制御電極と容量結合する副画素電極と電氣的に接続し、前記補助容量バスラインとの間で第２の補助容量を構成する補助容量電極と

を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

40

本発明は、１画素領域内に複数の副画素電極を有する液晶表示装置及びその焼き付き防止方法に関し、特に副画素電極のうちの少なくとも１つが表示電圧が印加される制御電極と容量結合した液晶表示装置及びその焼き付き防止方法に関する。

【背景技術】

【０００２】

液晶表示装置は、ＣＲＴ（Cathode Ray Tube）に比べて薄くて軽量であり、低電圧で駆動できて消費電力が小さいという利点がある。そのため、液晶表示装置は、テレビ、ノート型ＰＣ（パーソナルコンピュータ）、デスクトップ型ＰＣ、ＰＤＡ（携帯端末）及び携帯電話など、種々の電子機器に使用されている。特に、各画素（サブピクセル）毎にスイッチング素子としてＴＦＴ（Thin Film Transistor：薄膜トランジスタ）を設けたアク

50

ティブマトリクス型液晶表示装置は、その駆動能力の高さからＣＲＴにも匹敵する優れた表示特性を示し、デスクトップ型ＰＣやテレビなど、従来ＣＲＴが使用されていた分野にも広く使用されるようになった。

【０００３】

一般的に、液晶表示装置は、２枚の基板と、これらの基板間に封入された液晶とにより構成されている。一方の基板には画素毎に画素電極及びＴＦＴ等が形成され、他方の基板には画素電極に対向するカラーフィルタと、各画素共通のコモン（共通）電極とが形成されている。カラーフィルタには赤色（Ｒ）、緑色（Ｇ）及び青色（Ｂ）の３種類があり、画素毎にいずれか１色のカラーフィルタが配置されている。隣接して配置された赤色（Ｒ）、緑色（Ｇ）及び青色（Ｂ）の３つの画素で１つのピクセル（Pixel）を構成する。以下、画素電極及びＴＦＴが形成された基板をＴＦＴ基板と呼び、ＴＦＴ基板に対向して配置される基板を対向基板と呼ぶ。また、ＴＦＴ基板と対向基板との間に液晶を封入してなる構造物を液晶パネルという。

10

【０００４】

従来は、２枚の基板間に水平配向型液晶（誘電率異方性が正の液晶）を封入し、液晶分子をツイスト配向させるＴＮ（Twisted Nematic）型液晶表示装置が広く使用されていた。しかし、ＴＮ型液晶表示装置には視野角特性が悪く、画面を斜め方向から見たときにコントラストや色調が大きく変化するという欠点がある。このため、視野角特性が良好なＭＶＡ（Multi-domain Vertical Alignment）型液晶表示装置が開発され、実用化されている。

20

【０００５】

図１（ａ）、（ｂ）は、ＭＶＡ型液晶表示装置の一例を示す模式断面図である。ＴＦＴ基板１０及び対向基板２０はスペーサ（図示せず）を挟んで配置されており、これらの基板１０、２０の間には垂直配向型液晶（誘電率異方性が負の液晶）３０が封入されている。ＴＦＴ基板１０の画素電極１２には、電圧印加時の液晶分子の傾斜方向を決めるドメイン規制用構造物として、スリット１２ａが設けられている。この画素電極１２の表面は、例えばポリイミドからなる垂直配向膜１４に覆われている。

【０００６】

対向基板２０のコモン電極２２の下には、ドメイン規制用構造物として複数の土手状の突起２３が形成されている。これらの突起２３は、図１（ａ）に示すように、基板１０側のスリット１２ａに対し斜め方向にずれた位置に配置されている。コモン電極２２及び突起２３の表面も、例えばポリイミドからなる垂直配向膜２４に覆われている。

30

【０００７】

ＴＦＴ基板１０の下側及び対向基板２０の上側にはそれぞれ偏光板（図示せず）が配置される。これらの偏光板は、吸収軸を相互に直交させて配置される。

【０００８】

このように構成されたＭＶＡ型液晶表示装置において、画素電極１２とコモン電極２２との間に電圧を印加しない状態では、図１（ａ）に示すように、殆どの液晶分子３０ａは基板面に対し垂直に配向する。但し、突起２３の近傍の液晶分子３０ａは、突起２３の傾斜面に垂直な方向に配向する。この場合、ＴＦＴ基板１０の下側から偏光板を通過して液晶層に進入した光は、偏光方向が変化することなく液晶層を通過し、対向基板側２０の上側の偏光板により遮断される。すなわち、この場合は黒表示となる。

40

【０００９】

画素電極１２とコモン電極２２との間に所定の電圧を印加すると、電界の影響により液晶分子３０ａは基板面に対し斜めに配向する。この場合に、図１（ｂ）に示すように、スリット１２ａ及び突起２３の両側では液晶分子３０ａの傾斜方向が異なり、いわゆる配向分割（マルチドメイン）が達成される。この図１（ｂ）に示すように液晶分子３０ａが基板面に対し斜めに配向したときは、ＴＦＴ基板１０の下側から偏光板を通過して液晶層に進入した光は、液晶層で偏光方向が変化し、対向基板２０の上側の偏光板を通過するようになる。偏光板を通過する光の量は、画素電極１２とコモン電極２２との間に印加される電

50

圧に依存する。

【0010】

また、MVA型液晶表示装置では、図1(b)に示すように、電圧を印加したときの液晶分子30aの傾斜方向がスリット12a及び突起23の両側で異なるので、斜め方向への光の漏れが抑制され、優れた視野角特性が得られる。

【0011】

上記の例ではドメイン規制用構造物が突起及びスリットの場合について説明したが、基板表面の窪み(溝)をドメイン規制用構造物とすることもある。また、図1(a),(b)ではTF基板10及び対向基板20の両方にドメイン規制用構造物を設けた例について説明したが、TF基板10及び対向基板20のうちのいずれか一方のみにドメイン規制用構造物を形成してもよい。

【0012】

ところで、従来のMVA型液晶表示装置では、画面を斜め方向から見たときに白っぽくなる現象が発生する。図2は、横軸に印加電圧(V)をとり、縦軸に透過率をとって、画面を正面から見たときのT-V(透過率-電圧)特性と、上60°の方向から見たときのT-V特性とを示す図である。この図2に示すように、しきい値電圧よりも若干高い電圧を画素電極に印加したとき(図中丸で囲んだ部分)には、斜め方向から見たときの透過率が正面から見たときの透過率よりも高くなる。また、印加電圧がある程度高くなると、斜め方向から見たときの透過率は、正面から見たときの透過率よりも低くなる。このため、斜め方向から見たときには赤色画素、緑色画素及び青色画素の輝度差が小さくなり、その結果前述したように画面が白っぽくなる現象が発生する。この現象は、白茶け(discolor)と呼ばれている。白茶けは、MVA型液晶表示装置だけでなく、TN型液晶表示装置でも発生する。

【0013】

米国特許第4840460号の明細書には、1つの画素を複数の副画素に分割して、それらの副画素を容量結合することが提案されている。このような液晶表示装置では、各副画素の容量比によって電位が分割されるため、各副画素に相互に異なる電圧を印加することができる。従って、見かけ上、1つの画素にT-V特性のしきい値が異なる複数の領域が存在することになる。このように1つの画素にT-V特性のしきい値が異なる複数の領域が存在すると、正面から見たときの透過率よりも斜め方向から見たときの透過率が高くなる現象が抑制され、その結果画面が白っぽくなる現象(白茶け)も抑制される。このように1つの画素を容量結合した複数の副画素に分割して表示特性を改善する方法は、容量結合によるHT(ハーフトングレースケール)法と呼ばれる。なお、米国特許第4840460号の明細書に記載された液晶表示装置は、TN型液晶表示装置である。

【0014】

図3は容量結合によるHT法を実現する液晶表示装置のTF基板の一例を示す平面図、図4は図3のI-I線による断面図である。

【0015】

TF基板のベースとなるガラス基板51の上には、水平方向(X方向)に延びる複数のゲートバスライン52と、垂直方向(Y方向)に延びる複数のデータバスライン(ドレイバスライン)55とが形成されている。これらのゲートバスライン52及びデータバスライン55により区画される矩形の領域がそれぞれ画素領域である。また、ガラス基板51の上には、ゲートバスライン52と平行に配置され、各画素領域の中央を横断する補助容量バスライン53が形成されている。

【0016】

ゲートバスライン52及び補助容量バスライン53とデータバスライン55との間には第1の絶縁膜54が形成されており、この第1の絶縁膜54によりゲートバスライン52及び補助容量バスライン53とデータバスライン55との間が電氣的に分離されている。

【0017】

各画素領域には、TF56と、制御電極57と、補助容量電極58と、副画素電極6

10

20

30

40

50

1 a , 6 1 b とが形成されている。T F T 5 6 は、図 3 に示すようにゲートバスライン 5 2 の一部をゲート電極としている。また、図 4 に示すように、T F T 5 6 の活性層となる半導体膜 5 6 a はゲートバスライン 5 2 の上方に形成されており、この半導体膜 5 6 a の上にはチャネル保護膜 5 6 b が形成されている。

【 0 0 1 8 】

T F T 5 6 のドレイン電極 5 6 d はデータバスライン 5 5 に接続しており、ソース電極 5 6 s はゲートバスライン 5 2 を挟んでドレイン電極 5 6 d に対向する位置に配置されている。更に、補助容量電極 5 8 は第 1 の絶縁膜 5 4 を挟んで補助容量バスライン 5 3 に対向する位置に形成されている。更にまた、制御電極 5 7 は、図 3 に示すように、配線 5 9 を介してソース電極 5 6 s と補助容量電極 5 8 とに電氣的に接続されている。

10

【 0 0 1 9 】

これらのデータバスライン 5 5、T F T 5 6、制御電極 5 7、補助容量電極 5 8 及び配線 5 9 は第 2 の絶縁膜 6 0 に覆われており、副画素電極 6 1 a , 6 1 b は第 2 の絶縁膜 6 0 上に形成されている。副画素電極 6 1 a は、第 2 の絶縁膜 6 0 を挟んで制御電極 5 7 と容量結合している。また、副画素電極 6 1 b は、第 2 の絶縁膜 6 0 に形成されたコンタクトホール 6 0 a を介して補助容量電極 5 8 と電氣的に接続している。副画素電極 6 1 a , 6 1 b の表面は配向膜 6 2 に覆われている。

【 0 0 2 0 】

一方、対向基板は、図 4 に示すように、ベースとなるガラス基板 7 1 の一方の面側（図 4 では下側）に形成されたカラーフィルタ 7 2 と、カラーフィルタ 7 2 の面上に形成されたコモン電極 7 3 と、コモン電極 7 3 の表面を覆う配向膜 7 4 とを備えている。

20

【 0 0 2 1 】

これらの T F T 基板及び対向基板はスペーサ（図示せず）を挟んで配置される。そして、T F T 基板と対向基板との間には液晶 8 0 が封入される。

【 0 0 2 2 】

透過型液晶表示装置の場合、副画素電極 6 1 a , 6 1 b は I T O (Indium-Tin Oxide) 等の透明導電体により形成される。また、反射型液晶表示装置の場合、副画素電極 6 1 a , 6 1 b はアルミニウム等の反射率が高い材料により形成される。

【 0 0 2 3 】

図 5 は、上述した T F T 基板を備えた液晶表示装置の 1 画素を示す等価回路図である。この図 5 において、 C_{LC1} は副画素電極 6 1 b とコモン電極 7 3 とにより構成される容量であり、 C_s は補助容量電極 5 8 と補助容量バスライン 5 3 とにより構成される容量であり、 C_c は副画素電極 6 1 a と制御電極 5 7 とにより構成される容量であり、 C_{LC2} は副画素電極 6 1 a とコモン電極 7 3 とにより構成される容量である。この図 5 に示すように、副画素電極 6 1 a とコモン電極 7 3 との間の容量 C_{LC2} と制御容量 C_c とで分圧されるため、副画素電極 6 1 b に印加される電圧を V_{px1} とすると、副画素電極 6 1 a に印加される電圧 V_{px2} は下記（ 1 ）式に示すようになる。

30

【 0 0 2 4 】

【 数 1 】

$$V_{px2} = \frac{C_c}{C_c + C_{LC2}} \times V_{px1} \quad \cdots(1)$$

40

実際の電圧比（ V_{px2} / V_{px1} ）は液晶表示装置の表示特性の設計事項であるが、およそ 0.6 ~ 0.8 が理想的であるとされている。

【 0 0 2 5 】

以下、副画素電極 6 1 a のように容量結合を介して表示電圧が印加される副画素電極を、フローティング副画素電極という。また、副画素電極 6 1 b のように低抵抗の導電体（配線等）を介して T F T に電氣的に接続された副画素電極を、T F T に直結した副画素電極という。

【 0 0 2 6 】

50

特許第3076938号の明細書(特開平5-66412号公報)には、図6に示すように、画素電極を複数(図6では4つ)の副画素電極91a~91dに分割し、各副画素電極91a~91dの下方に絶縁膜を介して制御電極92a~92dをそれぞれ配置したTN型液晶表示装置が開示されている。この液晶表示装置では、TF T90を介して制御電極92a~92dに表示電圧が印加される。各副画素電極91a~91dの大きさは相互に異なっているので、副画素電極91a~91dに印加される電圧も相互に異なり、HT法による効果、すなわち白茶けを抑制する効果を得ることができる。なお、この液晶表示装置では、副画素電極91a~91dの間から光が漏れることを防止するために、副画素電極91a~91dの間にも制御電極93を配置している。

【特許文献1】米国特許第4840460号明細書

10

【特許文献2】特許第3076938号明細書

【発明の開示】

【発明が解決しようとする課題】

【0027】

しかしながら、本願発明者等の実験研究により、上述した従来のフローティング副画素電極を有する液晶表示装置では焼き付きにより表示特性が劣化することが判明した。

【0028】

図7(a)~(c)及び図8は、焼き付きの程度を測定する試験方法を示す模式図である。まず、液晶表示装置に、図7(a)に示すような白黒のチェッカーパターンを一定時間連続して表示する。その後、液晶表示装置の全面に、図7(b)に示すような中間調の表示を行う。このとき、画面に焼き付きが発生すると、図7(c)に示すように、チェッカーパターンが薄く見える。チェッカーパターンの表示から中間調の表示に切り替えた後、例えば図7(c)のX-X線に沿って輝度を測定する。そして、図8に示すように暗い部分の輝度をa、暗い部分と明るい部分との輝度差をbとしたときに、 $100 \times b / (a + b)$ で定義される焼き付き率を計算する。

20

【0029】

上記の方法により、フローティング副画素電極を有しない液晶表示装置の焼き付き率とフローティング副画素電極を有する液晶表示装置の焼き付き率を測定した。その結果、フローティング副画素電極を有しない液晶表示装置の焼き付き率が5%以下であるのに対し、フローティング副画素電極を有する液晶表示装置の焼き付き率は10%以上と高いものであった。

30

【0030】

以上から、本発明の目的は、容量結合HT法を使用して白茶けを抑制する液晶表示装置において、焼き付きの発生を回避できる液晶表示装置及びその焼き付き防止方法を提供することである。

【課題を解決するための手段】

【0031】

上記した課題は、相互に対向して配置された第1及び第2の基板と、前記第1及び第2の基板間に封入された液晶と、前記第1の基板に形成されたゲートバスライン及びデータバスラインと、前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、前記複数の副画素電極のうちの少なくとも1つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極とを有する液晶表示装置において、前記制御電極と容量結合した副画素電極と前記ゲートバスライン及び前記データバスラインのうちの少なくとも一方のバスラインとの間を電氣的にシールドするシールド部材を有する液晶表示装置により解決する。

40

【0032】

本発明においては、制御電極と容量結合した副画素電極とゲートバスライン及びデータバスラインのうちの少なくとも一方のバスラインとの間を、例えば一定の電位に保持される補助容量バスラインに接続されたシールド部材により電氣的にシールドする。このよう

50

に、制御電極と容量結合した副画素電極をシールド部材でシールドすることにより、ゲートバスライン又はデータバスラインから副画素電極への電荷の注入が回避され、その結果焼き付きが防止される。

【0033】

シールド部材として、TFTに直結された副画素電極を使用することもできる。例えば制御電極と容量結合した副画素電極とゲートバスラインとの間にTFTに直結した副画素電極を配置することにより、ゲートバスラインから制御電極と容量結合した副画素電極へ電荷が注入されることを回避できる。

【0034】

上記した課題は、相互に対向して配置された第1及び第2の基板と、前記第1及び第2の基板間に封入された液晶と、前記第1の基板に形成されたゲートバスライン及びデータバスラインと、前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、前記複数の副画素電極のうちの少なくとも1つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、前記第2の基板に形成されて前記第1の基板の前記複数の副画素電極に対向するコモン電極とを有する液晶表示装置の焼き付き防止方法であって、前記コモン電極の電位に対する前記ドレインバスラインの中心電位を V_{ddc} 、前記コモン電極の電位に対する前記ゲートバスラインの中心電位を V_{gdc} 、前記制御電極と容量結合した副画素電極と前記データバスラインとの間の抵抗を R_d 、前記制御電極と容量結合した副画素電極と前記ゲートバスラインとの間の抵抗を R_g としたときに、 $V_{ddc} - V_{gdc} \times R_d / R_g$ がほぼ0となるように前記制御電極と容量結合した副画素電極の位置及び形状を設定する液晶表示装置の焼き付き防止方法により解決する。

【0035】

ゲートバスラインには、フレーム期間のうちの殆どの時間、TFTをオフ状態に維持するために負の電圧が印加されている。一方、データバスラインに流れる信号には、フィードスルー電圧を補償するために正の直流電圧が重畳されている。従って、ドレインバスラインに流れる信号の直流電圧成分（すなわち、コモン電極の電位に対するドレインバスラインの中心電位）の影響と、ゲートバスラインに流れる信号の直流電圧成分（すなわち、コモン電極の電位に対するゲートバスラインの中心電位）の影響とが打ち消しあうように、すなわち $V_{ddc} - V_{gdc} \times R_d / R_g$ がほぼ0となるように副画素電極（制御電極と容量結合した副画素電極）の位置及び形状を設定すれば、焼き付きを防止することができる。

【0036】

上記した課題は、相互に対向して配置された第1及び第2の基板と、前記第1及び第2の基板間に封入された液晶と、前記第1の基板に形成されたゲートバスライン及びデータバスラインと、前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、前記複数の副画素電極のうちの少なくとも1つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、前記第2の基板に形成されて前記第1の基板の複数の副画素電極に対向するコモン電極とを有する液晶表示装置において、前記制御電極と容量結合した副画素電極と、前記薄膜トランジスタに接続された副画素電極との間が、抵抗体を介して接続されている液晶表示装置により解決する。

【0037】

本発明においては、制御電極と容量結合した副画素電極（フローティング副画素電極）と、薄膜トランジスタに直結した副画素電極との間が、例えばアモルファスシリコンからなる高抵抗の抵抗体を介して接続されている。これにより、フローティング副画素電極と制御電極との間の抵抗値が減少し、液晶層に残留する直流電圧が低くなって、焼き付きの発生が防止される。但し、抵抗体の抵抗値が低すぎるとフローティング副画素電極とTFT

Tに直結した副画素電極との間に電流が流れて電位差が小さくなり、白茶けを防止する効果が小さくなる。

【0038】

上記した課題は、相互に対向して配置された第1及び第2の基板と、前記第1及び第2の基板間に封入された液晶と、前記第1の基板に形成されたゲートバスライン及びデータバスラインと、前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、前記複数の副画素電極のうちの少なくとも1つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、一定の電位に保持され、前記制御電極との間で補助容量を構成する補助容量バスラインとを有する液晶表示装置において、前記制御電極と容量結合した副画素電極と前記補助容量バスラインとの間、又は前記制御電極と容量結合した副画素電極と前記薄膜トランジスタに接続した副画素電極との間に、前記薄膜トランジスタが接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動するスイッチング素子を有する液晶表示装置により解決する。

【0039】

本発明においては、フローティング副画素電極と補助容量バスラインとの間、又はフローティング副画素電極と薄膜トランジスタに直結した副画素電極との間に、薄膜トランジスタが接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動するスイッチング素子を配置している。これにより、所定のタイミングでフローティング副画素電極に蓄積された電荷が補助容量バスライン又はTFTに直結した副画素電極に流れ、焼き付きの発生が防止される。

【0040】

上記した課題は、相互に対向して配置された第1及び第2の基板と、前記第1及び第2の基板間に封入された液晶と、前記第1の基板に形成されたゲートバスライン及びデータバスラインと、前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、前記複数の副画素電極のうちの少なくとも1つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、一定の電位に保持され、前記制御電極との間で第1の補助容量を構成する補助容量バスラインとを有する液晶表示装置の焼き付き防止方法であって、前記制御電極と容量結合した副画素電極と前記コモン電極との間の容量に並列に第2の補助容量を形成すること液晶表示装置の焼き付き防止方法により解決する。

【0041】

白表示部及び黒表示部のフローティング副画素電極で電位差が生じる原因の一つは液晶容量が変動するためである。そこで、本発明においては液晶容量と並列に第2の補助容量を形成し、液晶容量の変動による影響を小さくする。

【0042】

通常、補助容量バスラインはコモン電極と同じ電位又はコモン電極に対し一定の電位に保持される。従って、例えばフローティング副画素電極と補助容量バスラインとの間に補助容量電極を形成し、この補助容量電極をフローティング副画素電極と接続すれば、液晶容量と並列に第2の補助容量を形成したことになり、焼き付きの発生を回避することができる。

【発明を実施するための最良の形態】

【0043】

以下、本発明について、更に詳細に説明する。

【0044】

通常、液晶表示装置の焼き付きは、ゲートバスライン及びデータバスライン等に流れる信号に直流電圧成分が存在し、白表示時と黒表示時とで液晶層のCR値（液晶容量及び液晶抵抗の値）が変化することが原因である。以下に、フローティング副画素電極を有する

液晶表示装置で焼き付きが発生する理由について説明する。

【0045】

図9はフローティング副画素電極を備えた液晶表示装置の1画素を示す平面図であり、図10(a)は図9のII-II線の位置における模式断面図、図10(b)は図9のIII-III線の位置における模式断面図、図10(c)は図9のIV-IV線の位置における模式断面図、図10(d)は図9のV-V線の位置における模式断面図である。

【0046】

図9に示す液晶表示装置においては、図10(a)に示すように、副画素電極(フローティング副画素電極)61aとコモン電極73との間に、 C_{LC2} と R_{LC2} とが並列に接続されているとみなすことができる。ここで、 C_{LC2} は副画素電極61aとコモン電極73との間の容量であり、 R_{LC2} は副画素電極61aとコモン電極73との間の抵抗である。

10

【0047】

また、副画素電極61aとゲートバスライン52との間にも、 $C_{gp \times 2}$ と R_{goff} とが並列に接続されているとみなすことができる。ここで、 $C_{gp \times 2}$ は副画素電極61aとゲートバスライン52との間の容量であり、 R_{goff} は副画素電極61aとゲートバスライン52との間の抵抗である。

【0048】

一方、副画素電極(TFT56に直結した副画素電極)61bとコモン電極73との間にも、図10(b)に示すように、 C_{LC1} と R_{LC1} とが並列に接続されているとみなすことができる。ここで、 C_{LC1} は副画素電極61bとコモン電極73との間の容量であり、 R_{LC1} は副画素電極61bとコモン電極73との間の抵抗である。

20

【0049】

また、副画素電極61bとゲートバスライン52の間には、 $C_{gp \times 1}$ と $R_{gp \times 1}$ とが並列に接続されているとみなすことができる。ここで、 $C_{gp \times 1}$ は副画素電極61bとゲートバスライン52との間の容量であり、 $R_{gp \times 1}$ は副画素電極61bとゲートバスライン52との間の抵抗である。

【0050】

ゲートバスライン52には、1フィールド期間の殆どの時間、TFT56をオフ状態に維持するために、コモン電極73の電位に対し-12V程度低い直流電圧(V_{goff})が印加される。この直流電圧に応じた電荷が、容量 $C_{gp \times 2}$ と抵抗 R_{goff} とを介して副画素電極61a、61bに蓄積される。しかし、通常、1フィールド毎に1回ずつTFT56がオンになって副画素電極61bとデータバスライン55とが電氣的に接続されるため、副画素電極61bではTFT56がオフの期間に蓄積された電荷がデータバスライン55に流れ、直流電圧成分は残留しない。一方、副画素電極61aでは、TFT56がオンになっても副画素電極61aに蓄積された電荷はそのまま保持される。このため、副画素電極61aには直流電圧成分が残留する。

30

【0051】

図10(c)に示すように、副画素電極61aとデータバスライン55の間には、 $C_{dp \times 2}$ と $R_{dp \times 2}$ とが並列に接続されているとみなすことができる。ここで、 $C_{dp \times 2}$ は副画素電極61aとデータバスライン55との間の容量であり、 $R_{dp \times 2}$ は副画素電極61aとデータバスライン55との間の抵抗である。

40

【0052】

また、図10(d)に示すように、副画素電極61bとデータバスライン55の間にも、 $C_{dp \times 1}$ と $R_{dp \times 1}$ とが並列に接続されているとみなすことができる。ここで、 $C_{dp \times 1}$ は副画素電極61bとデータバスライン55との間の容量であり、 $R_{dp \times 1}$ は副画素電極61bとデータバスライン55との間の抵抗である。

【0053】

データバスライン55には、フィードスルー電圧を補償するために、コモン電極73の電位に対し1~2V程度高い直流電圧を表示信号(交流信号)に重畳させている。この直流電圧に応じた電荷も、容量 $C_{dp \times 2}$ と抵抗 $R_{dp \times 2}$ とを介して副画素電極61aに蓄積され

50

る。

【 0 0 5 4 】

しかし、前述したように、1フィールド毎に1回ずつT F T 5 6がオンになって、副画素電極6 1 bとデータバスライン5 5とが電氣的に接続されるため、副画素電極6 1 bではT F T 5 6がオフの期間に蓄積された電荷がオンの期間にデータバスライン5 5に流れる。このため、副画素電極6 1 bには直流電圧成分は残留しない。一方、副画素電極6 1 aでは、T F T 5 6がオンになっても、副画素電極6 1 aに蓄積された電荷はそのまま保持される。このため、副画素電極6 1 aには直流電圧成分が残留する。

【 0 0 5 5 】

このように、T F T 5 6に直結した副画素電極6 1 bでは直流電圧成分の蓄積は殆どないのに対し、フローティング副画素電極6 1 aでは電荷が蓄積されて直流電圧成分が残留する。

【 0 0 5 6 】

次に、フローティング副画素電極に蓄積された電荷と焼き付きとの関係について説明する。

【 0 0 5 7 】

図1 1は、フローティング副画素電極により構成される副画素の等価回路を示す図である。制御電極とコモン電極との間の直流電圧成分を ΔV_s とし、フローティング副画素電極の電荷量を Q 、コモン電極の電荷量を Q_1 、制御電極の電荷量を Q_2 とする。過渡状態が終了し定常状態にあるときの Q_1 、 Q_2 、 Q は、下記(2)式に示すようになる。

【 0 0 5 8 】

【数2】

$$\left. \begin{aligned} Q_1 &= \frac{R_{LC2}}{R_{LC2} + R_c} \times \Delta V_s \times C_{LC2} \\ Q_2 &= \frac{R_c}{R_{LC2} + R_c} \times \Delta V_s \times C_c \\ Q &= Q_2 - Q_1 \\ &= \frac{-((R_{LC2} \times C_{LC2}) - (R_c \times C_c))}{R_{LC2} + R_c} \times \Delta V_s \end{aligned} \right\} \dots(2)$$

制御電極とコモン電極との間の直流電圧成分 ΔV_s が取り除かれても、下記(3)式に示す直流電圧成分 ΔV_{LC2} が液晶層に残留する。

【 0 0 5 9 】

【数3】

$$\begin{aligned} \Delta V_{LC2} &= -Q / Q_{C2} \\ &= \frac{((R_{LC2} \times Q_{C2}) - (R_c \times C_c))}{(R_{LC2} + R_c) \times Q_{C2}} \times \Delta V_s \quad \dots(3) \end{aligned}$$

副画素電極の面積を S 、セル厚を d とすると、液晶容量 C_{LC2} は、 $C_{LC2} = \epsilon (S / d)$ で表される。ここで、 ϵ は液晶の誘電率である。液晶分子が基板面に垂直に配向しているときの誘電率と水平に配向しているときの誘電率とは異なるため、チェッカーパターンの白部分を表示している画素と黒部分を表示している画素では液晶容量の値が異なり、その結果液晶層に印加される直流電圧成分 ΔV_{LC2} の値も異なる。チェッカーパターンの表示から中間調の表示に切り替えても液晶層に残留する直流電圧成分は直ぐには変化しないため、白を表示していた画素と黒を表示していた画素とでは液晶層に印加される電圧が異なる。このため、白を表示していた画素と黒を表示していた画素とでは光の透過率が異な

10

20

30

40

50

り、焼き付きが発生する。なお、このような原因で発生した焼き付きは副画素電極と制御電極及びコモン電極との間の時定数に応じた時間で減少するが、表示品質を向上させるためには焼き付きをできるだけ少なくすることが必要である。

【0060】

図12は、横軸に制御電極とコモン電極との間の直流電圧成分 ΔV_s をとり、縦軸に液晶層に残留する直流電圧成分 ΔV_{LC2} をとって、液晶層に表示電圧が印加されたとき（液晶ON）の ΔV_s と ΔV_{LC2} との関係と、液晶層に表示電圧が印加されていないとき（液晶OFF）の ΔV_s と ΔV_{LC2} との関係とを示す図である。但し、ここでは、図9に示す構造の液晶表示装置を想定しており、画素ピッチを $125\mu m$ 、制御電極58と容量結合した副画素電極61aとTFT56に直結した副画素電極61bとの面積比を3：7、副画素電極（フローティング副画素電極）61aに印加される表示電圧と副画素電極（TFTに直結した副画素電極）61bに印加される表示電圧との比を0.72として計算している。

10

【0061】

この図12からわかるように、制御電極とコモン電極との間の直流電圧成分 ΔV_s の数倍の電圧が液晶層に印加されてしまう。このため、制御電極とコモン電極との間の直流電圧成分 V_s を小さくしても、焼き付きを抑制する効果は小さい。

【0062】

本願発明者等は、焼き付けを防止するためには、次のいずれかの対策をとることが必要であると考えた。

20

【0063】

（1）直流電圧成分を有する信号が流れるバスライン（ゲートバスライン及びデータバスライン）とフローティング副画素電極との間を電氣的にシールドして、フローティング副画素電極への電荷の蓄積を抑制する。

【0064】

（2）ゲートバスラインに流れる信号が有する直流電圧成分とデータバスラインに流れる信号が有する直流電圧成分とは逆極性である。これら2つの直流電圧成分の影響が打ち消し合うようにフローティング副画素電極とゲートバスライン及びデータバスラインとの間の抵抗を最適化する。

【0065】

（3）フローティング副画素電極と制御電極との間の抵抗を小さくすると、液晶層に残留する直流電圧成分が小さくなる。しかし、フローティング副画素電極と制御電極との間の抵抗を小さくしすぎると、白茶けを抑制する効果が得られなくなる。白茶け及び焼き付きが発生しないように、フローティング副画素電極と制御電極との間の抵抗を最適化する。

30

【0066】

（4）フローティング副画素電極に蓄積された電荷を一定の周期でデータバスライン又は補助容量バスライン等に流す。

【0067】

（5）フローティング副画素電極とコモン電極との間の容量（液晶容量）と並列に補助容量を形成して、液晶容量の変化の影響を小さくする。

40

【0068】

以下、これらの対策を施した本発明の実施形態の液晶表示装置について説明する。

【0069】

（第1の実施形態）

図13は本発明の第1の実施形態に係る液晶表示装置を示す平面図、図14（a）は図13のVI-VI線による断面図、図14（b）は図13のVII-VII線による断面図である。

【0070】

TFT基板のベースとなるガラス基板111の上には、水平方向（X方向）に延びる複

50

数のゲートバスライン 112 と垂直方向（Y 方向）に延びる複数のデータバスライン 115 とが形成されている。これらのゲートバスライン 112 及びデータバスライン 115 により区画される矩形の領域がそれぞれ画素領域である。また、ガラス基板 111 の上には、ゲートバスライン 112 と平行に配置され、各画素領域の中央を横断する補助容量バスライン 113 が形成されている。

【0071】

ゲートバスライン 112 及び補助容量バスライン 113 とデータバスライン 115 との間には、例えば SiN 又は SiO₂ 等の絶縁材料よりなる第 1 の絶縁膜 114 が形成されており、この第 1 の絶縁膜 114 によりゲートバスライン 112 及び補助容量バスライン 113 とデータバスライン 115 との間が電氣的に分離されている。

10

【0072】

各画素領域には、TFT 116 と、接続電極 117a, 117b と、制御電極 118 と、ITO 等の透明導電体からなる副画素電極 121a ~ 121c とが形成されている。制御電極 118 は補助容量バスライン 115 及び第 1 の絶縁膜 114 とともに補助容量電極を構成している。TFT 116 は図 13 に示すようにゲートバスライン 112 の一部をゲート電極としている。また、図 14 (a) に示すように、TFT 116 の活性層となる半導体膜 116a はゲートバスライン 112 の上方に形成されており、この半導体膜 116a の上にはチャネル保護膜 116b が形成されている。

【0073】

TFT 116 のドレイン電極 116d はデータバスライン 115 に接続しており、ソース電極 116s はゲートバスライン 112 を挟んでドレイン電極 116d に対向する位置に配置されている。また、制御電極 118 は第 1 の絶縁膜 114 を挟んで補助容量バスライン 113 に対向する位置に形成されている。接続電極 117a は副画素電極 121a の下方に配置されており、接続電極 117b は副画素電極 121c の下方に配置されている。これらの接続電極 117a, 117b 及び制御電極 118 は、配線 119 を介してソース電極 116s に接続されている。

20

【0074】

データバスライン 115、TFT 116、接続電極 117a, 117b、制御電極 118 及び配線 119 は、SiN 又は絶縁性樹脂等からなる第 2 の絶縁膜 120 により覆われており、この第 2 の絶縁膜 120 の上に副画素電極 121a ~ 121c が形成されている。図 13 に示すように、副画素電極（フローティング副画素電極）121b は画素領域の中央に配置されており、制御電極 118 と容量結合している。また、副画素電極 121a は副画素電極 121b と上側のゲートバスライン 112 との間に配置され、副画素電極 121c は副画素電極 121b と下側のゲートバスライン 112 との間に配置されている。これらの副画素電極 121a, 121c は、コンタクトホール 120a, 120b、接続電極 117a, 117b 及び配線 119 を介して TFT 116 のソース電極 116s に電氣的に接続されている。また、副画素電極 121a ~ 121c の表面は、例えばポリイミドからなる配向膜 122 に覆われている。

30

【0075】

なお、ゲートバスライン 112 及び補助容量バスライン 113 は、例えば Cr 膜又は Al-Ti 積層膜をフォトリソグラフィ法によりパターニングして同時に形成される。また、データバスライン 115、ソース電極 116s、ドレイン電極 116d 及び制御電極 118 は、例えば Ti-Al-Ti 積層膜をフォトリソグラフィ法によりパターニングして同時に形成される。

40

【0076】

一方、対向基板は、図 14 (a), (b) に示すように、ベースとなるガラス基板 131 の一方の面側（図 14 (a), (b) では下側）に形成されたカラーフィルタ 132 と、カラーフィルタ 132 の面上に形成されたコモン電極 133 と、コモン電極 133 の表面を覆う配向膜 134 とを備えている。コモン電極 133 は ITO 等の透明導電体により形成され、配向膜 134 は例えばポリイミドにより形成される。

50

【 0 0 7 7 】

T F T 基板と対向基板とはそれぞれ配向膜が形成された面を内側にして配置され、スペーサを挟んで接合される。そして、これらの T F T 基板と対向基板との間には液晶 1 4 0 が封入されている。

【 0 0 7 8 】

上述のように構成された第 1 の実施形態の液晶表示装置において、副画素電極 1 2 1 a , 1 2 1 c は T F T 1 1 6 に電氣的に接続しているので、T F T 1 1 6 がオンになるとデータバスライン 1 1 5 に接続される。このため、T F T 1 1 6 がオフの期間にゲートバスライン 1 1 2 に流れる信号の直流電圧成分により副画素電極 1 2 1 a , 1 2 1 b に電荷が蓄積されても、これらの電荷は T F T 1 1 6 がオンの期間にデータバスライン 1 1 5 に流れ、電荷の蓄積が回避される。従って、これらの副画素電極 1 2 1 a , 1 2 1 b では焼き付きが発生しない。

10

【 0 0 7 9 】

一方、制御電極 1 1 8 と容量結合した副画素電極（フローティング副画素電極）1 2 1 b は、ゲートバスライン 1 1 2 から離れているとともに、ゲートバスライン 1 1 2 との間に副画素電極 1 2 1 a , 1 2 1 c が介在しているので、ゲートバスライン 1 1 2 に流れる信号の直流電圧成分によるフローティング副画素電極 1 2 1 b への電荷の蓄積が極めて少ない。これにより、焼き付きの発生が回避され、良好な表示品質が得られる。

【 0 0 8 0 】

（変形例 1）

20

図 1 5 は第 1 の実施形態の変形例 1 の液晶表示装置を示す平面図、図 1 6 は図 1 5 の V I I I - V I I I 線による断面図である。これらの図 1 5 , 図 1 6 において、図 1 3 , 図 1 4 と同一物には同一符号を付して、その詳しい説明は省略する。

【 0 0 8 1 】

図 1 5 , 図 1 6 に示す変形例 1 の液晶表示装置においては、1 画素内に 2 つの副画素電極 1 3 6 a , 1 3 6 b が設けられている。また、副画素電極 1 3 6 a の下方には第 2 の絶縁膜 1 2 0 を挟んで制御電極 1 3 2 が設けられており、副画素電極 1 3 6 a は制御電極 1 3 2 と容量結合している。

【 0 0 8 2 】

補助容量バスライン 1 1 3 の上方には補助容量電極 1 3 4 が設けられており、この補助容量電極 1 3 4 はコンタクトホール 1 3 5 を介して副画素電極 1 3 6 b と電氣的に接続されている。また、補助容量電極 1 3 4 及び制御電極 1 3 2 は、配線 1 3 3 を介して T F T 1 1 6 のソース電極 1 1 6 s に電氣的に接続されている。

30

【 0 0 8 3 】

更に、副画素電極 1 3 6 a とデータバスライン 1 1 5 との間には、補助容量バスライン 1 1 3 から延び出したシールドパターン 1 3 1 a , 1 3 1 b が配置されている。補助容量バスライン 1 1 3 は、コモン電極 1 3 3 と同電位、又はコモン電極 1 3 3 の電位に対し一定の電位に維持される。

【 0 0 8 4 】

この変形例 1 の液晶表示装置においては、フローティング副画素電極 1 3 6 a とデータバスライン 1 1 5 との間に補助容量バスライン 1 1 3 と同電位に維持されるシールドパターン 1 3 1 a , 1 3 1 b が配置されているので、データバスライン 1 1 5 に流れる信号の直流成分によるフローティング副画素電極 1 3 6 への電荷の蓄積が抑制される。これにより、焼き付きが抑制されるという効果を奏する。

40

【 0 0 8 5 】

（変形例 2）

図 1 7 は第 1 の実施形態の変形例 2 の液晶表示装置を示す平面図、図 1 8 は図 1 7 の I X - I X 線による断面図である。これらの図 1 7 , 図 1 8 において、図 1 5 , 図 1 6 と同一物には同一符号を付して、その詳しい説明は省略する。

【 0 0 8 6 】

50

図 17, 図 18 に示す変形例 2 の液晶表示装置においては、フローティング副画素電極 136a とデータバスライン 115 との間に、副画素電極 136a と同じ層に形成されたシールドパターン 138a, 138b が配置されている。これらのシールドパターン 138a, 138b は、第 1 及び第 2 の絶縁膜 114, 120 に形成されたコンタクトホール 137a, 137b を介して補助容量バスライン 113 に電氣的に接続されている。補助容量バスライン 113 は、変形例 1 の液晶表示装置と同様に、コモン電極 133 と同電位、又はコモン電極 133 の電位に対し一定の電位に維持される。

【0087】

図 15, 図 16 に示す変形例 1 の液晶表示装置ではシールドパターン 131a, 131b がデータバスライン 115 及び副画素電極 136a よりも下層に形成されているのに対し、変形例 2 の液晶表示装置ではシールドパターン 138a, 138b が副画素電極 136a と同じ層に形成されている。このため、変形例 2 の液晶表示装置では第 1 の絶縁膜 114 の抵抗成分がなくなり、変形例 1 の液晶表示装置に比べて副画素電極 136a をデータバスライン 115 からシールドする効果が大い。これにより、変形例 2 の液晶表示装置に比べて焼き付きをより一層確実に回避することができる。

10

【0088】

(変形例 3)

図 19 は第 1 の実施形態の変形例 3 の液晶表示装置を示す平面図、図 20 は図 19 の X-X 線による断面図である。これらの図 19, 図 20 において、図 15, 図 16 と同一物には同一符号を付して、その詳しい説明は省略する。

20

【0089】

図 19, 図 20 に示す変形例 3 の液晶表示装置においては、フローティング副画素電極 136a とデータバスライン 115 との間に、補助容量バスライン 113 から延びるシールドパターン 131a, 131b と、副画素電極 136a と同じ層に形成されたシールドパターン 142a, 142b とが配置されている。シールドパターン 142a, 142b は、第 1 及び第 2 の絶縁膜 114, 120 に形成されたコンタクトホール 141a, 141b を介してシールドパターン 131a, 131b に電氣的に接続されている。

【0090】

この変形例 3 の液晶表示装置においても、フローティング副画素電極 136a とデータバスライン 115 との間にシールドパターン 131a, 131b, 142a, 142b が形成されているので、データバスライン 115 に流れる直流電圧成分によるフローティング副画素電極 136a への電荷の蓄積が抑制され、焼き付きを回避することができる。

30

【0091】

(変形例 4)

図 21 は、第 1 の実施形態の変形例 4 の液晶表示装置を示す平面図である。この図 21 において、図 15 と同一物には同一符号を付してその詳しい説明は省略する。

【0092】

図 21 に示す変形例 4 の液晶表示装置においては、フローティング副画素電極 136a の周囲を、補助容量バスライン 113 と同じ層に形成されて補助容量バスライン 113 に接続したシールドパターン 143 が囲んでいる。

40

【0093】

この変形例 4 の液晶表示装置においては、データバスライン 115 に流れる信号に含まれる直流電圧成分だけでなく、データバスライン 112 に流れる信号に含まれる直流電圧成分もシールドすることができるので、変形例 1 の液晶表示装置に比べて焼き付きをより一層確実に回避できるという効果を奏する。

【0094】

(変形例 5)

図 22 は、第 1 の実施形態の変形例 5 の液晶表示装置を示す平面図である。この図 22 において、図 13 と同一物には同一符号を付して、その詳しい説明を省略する。

【0095】

50

図 2 2 に示す液晶表示装置では、フローティング副画素電極 1 2 1 b と図 2 2 の上側及び下側に示すゲートバスライン 1 1 2 との間に副画素電極 1 2 1 a , 1 2 1 c が配置されている。これらの副画素電極 1 2 1 a , 1 2 1 c は、コンタクトホール 1 2 0 a , 1 2 0 b 及び配線 1 1 9 を介して T F T 1 1 6 と電氣的に接続されている。また、フローティング副画素電極 1 2 1 b と図 2 2 の右側及び左側のデータバスライン 1 1 5 との間には、それぞれ補助容量バスライン 1 1 3 から延び出したシールドパターン 1 4 5 が配置されている。

【 0 0 9 6 】

この変形例 5 の液晶表示装置では、副画素電極 1 2 1 a , 1 2 1 c 及びシールドパターン 1 4 5 によりフローティング副画素電極 1 2 1 b がゲートバスライン 1 1 2 及びデータバスライン 1 1 5 からシールドされるので、ゲートバスライン 1 1 2 及びデータバスライン 1 1 5 を流れる信号の直流電圧成分による電荷の蓄積が抑制され、焼き付きを効果的に回避できるという効果を奏する。

10

【 0 0 9 7 】

また、変形例 5 の液晶表示装置においては、T F T 1 1 6 に電氣的に接続している副画素電極 1 2 1 a , 1 2 1 b とデータバスライン 1 1 5 との間にもシールドパターン 1 4 5 が配置されているので、データバスライン 1 1 5 を流れる信号に含まれる直流電圧成分による副画素電極 1 2 1 a , 1 2 1 b への電荷の蓄積が抑制されるという効果もある。

【 0 0 9 8 】

(変形例 6)

図 2 3 は、第 1 の実施形態の変形例 6 の液晶表示装置を示す平面図である。この図 2 3 において、図 2 2 と同一物には同一符号を付して、その詳しい説明を省略する。

20

【 0 0 9 9 】

図 2 3 に示す変形例 6 の液晶表示装置においては、フローティング副画素電極 1 2 1 b と、T F T 1 1 6 に直結した副画素電極 1 2 1 a , 1 2 1 c との間にも、補助容量バスライン 1 1 3 と同じ層に形成されて補助容量バスライン 1 1 3 に接続しているシールドパターン 1 4 6 が配置されている。この変形例 6 の液晶表示装置においても、ゲートバスライン 1 1 2 及びデータバスライン 1 1 5 を流れる信号の直流電圧成分による電荷の蓄積が抑制され、焼き付きを効果的に回避できる。

【 0 1 0 0 】

(変形例 7)

図 2 4 は、第 1 の実施形態の変形例 7 の液晶表示装置を示す平面図である。この図 2 4 において、図 1 3 と同一物には同一符号を付してその詳しい説明は省略する。

30

【 0 1 0 1 】

図 2 4 に示す変形例 7 の液晶表示装置においては、フローティング副画素電極 1 5 1 a の周囲を、副画素電極 1 5 1 b が囲んでいる。この副画素電極 1 5 1 b は、コンタクトホール 1 2 0 a , 1 2 0 b 及び配線 1 1 9 を介して T F T 1 1 6 のソース電極 1 1 6 s と電氣的に接続されている。

【 0 1 0 2 】

この変形例 7 の液晶表示装置においても、フローティング副画素電極 1 5 1 a がゲートバスライン 1 1 2 及びデータバスライン 1 1 5 からシールドされるので、ゲートバスライン 1 1 2 及びデータバスライン 1 1 5 を流れる信号の直流電圧成分による電荷の蓄積が抑制され、焼き付きを効果的に回避できるという効果を奏する。

40

【 0 1 0 3 】

(第 2 の実施形態)

以下、本発明の第 2 の実施形態について説明する。

【 0 1 0 4 】

図 2 5 は、本発明の第 2 の実施形態の原理を示す図である。この図 2 5 は、フローティング副画素電極 F_{SE} とコモン電極、制御電極、ゲートバスライン及びデータバスラインとの間の等価回路を示している。

50

【 0 1 0 5 】

図 2 5 に示すように、フローティング副画素電極 F_{SE} とゲートバスラインとの間には抵抗 R_g が存在し、フローティング副画素電極 F_{SE} とデータバスラインとの間には抵抗 R_d が存在し、フローティング副画素電極 F_{SE} と制御電極との間には抵抗 R_c が存在し、フローティング副画素電極 F_{SE} とコモン電極との間には抵抗（液晶抵抗） R_{LC} が存在するといえることができる。ここで、制御電極の電位を V_{sdc} 、コモン電極の電位を V_{com} 、ゲートバスラインを流れる信号の直流電圧成分（中心電位）を V_{gdc} 、データバスラインを流れる信号の直流電圧成分（中心電位）を V_{ddc} とする。

【 0 1 0 6 】

前述したように、ゲートバスラインには、TFT をオフにするために、コモン電極の電位に対し - 1.2 V 程度の直流電圧が印加される。また、データバスラインには、フィードスルー電圧を補償するために、コモン電極の電位に対し + 2 V 程度の直流電圧を表示信号に重畳させている。ゲートバスラインに印加される直流電圧成分とデータバスラインに印加される直流電圧成分とは逆極性であるので、下記（ 4 ）式が成り立つように V_{ddc} 、 V_{gdc} 、 R_g 及び R_d の値を設定すれば、ゲートバスライン及びデータバスラインを流れる信号の直流電圧成分によるフローティング副画素電極への電荷の蓄積が防止され、ひいては焼き付きの発生を防止することができる。

【 0 1 0 7 】

【 数 4 】

$$V_{ddc} \times R_g - V_{gdc} \times R_d = 0 \quad \cdots (4)$$

ゲートバスラインに流れる信号の直流電圧成分の影響の大きさ及びデータバスラインに流れる信号の直流電圧成分の影響の大きさは、電位差と抵抗とにより決定される。しかし、電位差 V_{ddc} 、 V_{gdc} は TFT の性能などにも関係し、調整の自由度は比較的小さい。一方、抵抗 R_g 、 R_d はフローティング副画素電極の大きさ、形状及び位置、並びに絶縁膜の厚さなどにより決定され、自由度は比較的大きい。そこで、本実施形態においては、ゲートバスラインに流れる信号の直流電圧成分の影響とデータバスラインに流れる信号の直流電圧成分の影響を相殺するように、フローティング副画素電極とゲートバスライン及びデータバスラインとの間の抵抗 R_g 、 R_d を調整する。

【 0 1 0 8 】

図 2 6 は、横軸に R_g / R_d の値をとり、縦軸にフローティング副画素電極の最終到達電位をとって、それらの関係を示す図である。但し、図 2 6 において、抵抗 R_c 、 R_{LC} 及び R_d は同じ（ $R_c = R_{LC} = R_d$ ）としている。また、 V_{com} 及び V_{sdc} はいずれも 0 V、 V_{gdc} は - 1.1 ~ 2.8 V、 V_{ddc} は + 1 ~ 1.3 V としている。この場合、図 2 6 からわかるように、抵抗 R_d の値を抵抗 R_g の 10 倍（ $R_g / R_d = 10$ ）とすると、ゲートバスラインに流れる信号の直流電圧成分の影響がデータバスラインに流れる直流電圧成分の影響により相殺され、焼き付きの発生を防止することができる。

【 0 1 0 9 】

図 2 7 は、フローティング副画素電極とゲートバスライン及びデータバスラインとの間の抵抗を調整する方法を示す液晶表示装置の画素部の模式平面図、図 2 8 は同じくその模式断面図である。

【 0 1 1 0 】

図 2 7、図 2 8 に示す液晶表示装置は、ゲートバスライン 212 とデータバスライン 215 とにより区画される画素領域毎に、TFT 216 と 4 つの副画素電極 221a ~ 221d と、制御電極 218 とを有している。

【 0 1 1 1 】

制御電極 218 は、配線 219 を介して TFT 216 のソース電極 216s に電氣的に接続されている。また、副画素電極 221a、221d はコンタクトホール 220a、220c 及び配線 219 を介して TFT 216 のソース電極と電氣的に接続されており、副画素電極 221c はコンタクトホール 220b、制御電極 218 及び配線 219 を介して

10

20

30

40

50

制御電極 218 に電氣的に接続されている。一方、副画素電極（フローティング副画素電極）221b は、第 2 の絶縁膜 220 を介して制御電極 218 と容量結合している。

【0112】

図 28 に示すように、ゲートバスライン 212 及び補助容量バスライン 213 はガラス基板 211 の上に形成されており、第 1 の絶縁膜 214 に覆われている。第 1 の絶縁膜 214 の上にはデータバスライン 215、ソース電極 216s、ドレイン電極 216d、制御電極 218 及び配線 219 が形成されている。これらのデータバスライン 215、ソース電極 216s、ドレイン電極 216d、制御電極 218 及び配線 219 は第 2 の絶縁膜 220 に覆われており、第 2 の絶縁膜 220 上に副画素電極 221a ~ 221d が形成されている。これらの副画素電極 221a ~ 221d は、ゲートバスライン 212 及び補助容量バスライン 213 の上方で屈曲するジグザグの線に沿って形成されたスリットにより分割されている。

10

【0113】

なお、図 27 において、一点鎖線 231 は対向基板側に形成される土手状の突起（ドメイン規制用構造物）の位置を示している。

【0114】

このような液晶表示装置において、ゲートバスライン 212 とフローティング副画素電極 221b とが対向する部分の長さ（図 27 中に矢印 A で示す部分）を長くすると抵抗 R_g の値が減少し、短くすると抵抗 R_g の値が増加する。また、ゲートバスライン 212 とフローティング副画素電極 221b との間の距離（図 27 中に矢印 B で示す部分）を大きくすると抵抗 R_g の値が増加し、小さくすると抵抗 R_g の値が減少する。更に、第 1 の絶縁膜 214 と第 2 の絶縁膜 220 との合計の厚さ（図 28 中に矢印 C で示す部分）を厚くすると R_g の値が増加し、薄くすると抵抗 R_g の値が減少する。

20

【0115】

また、データバスライン 215 とフローティング副画素電極 221b とが対向する部分の長さ（図 27 中に矢印 D で示す部分）を長くすると抵抗 R_d の値が減少し、短くすると抵抗 R_d の値が増加する。更に、データバスライン 215 とフローティング副画素電極 221b との間の距離（図 27 中に矢印 E で示す部分）を大きくすると抵抗 R_d が増加し、小さくすると抵抗 R_d の値が減少する。更にまた、第 2 の絶縁膜 220 の厚さ（図 28 中に矢印 F で示す部分）を厚くすると抵抗 R_d が増加し、薄くすると抵抗 R_d の値が減少する。

30

【0116】

第 2 の実施形態においては、これらのパラメータを調整することにより、ゲートバスライン 212 に流れる信号に含まれる直流電圧成分の影響とデータバスライン 215 に流れる信号に含まれる直流電圧成分の影響とを打ち消す。これにより、焼き付きを回避できて、良好な表示特性を得ることができる。

【0117】

（第 3 の実施形態）

以下、本発明の第 3 の実施形態について説明する。

【0118】

前述した（3）式を変形すると、下記（5）式が得られる。

40

【0119】

【数 5】

$$\begin{aligned}\Delta V_{LC2} &= \frac{((R_{LC2} \times C_{LC2}) - (R_C \times C_C))}{(R_{LC2} + R_C) \times C_{LC2}} \times \Delta V_s \\ &= \frac{(1 - (R_C / R_{LC2} \times C_C / C_{LC2}))}{(1 + R_C / R_{LC2})} \times \Delta V_s \quad \dots (5)\end{aligned}$$

この（5）式において、制御電極とフローティング副画素電極との間の容量 C_C とフローティング副画素電極とコモン電極との間の容量（液晶容量） C_{LC2} との比 $C_C /$

50

C_{LC2} は、TFTに直結した副画素電極の電圧とフローティング副画素電極の電圧との電圧比に応じて決定される設計値である。

【0120】

図29は、横軸に R_C と R_{LC2} との比をとり、縦軸に直流電圧の倍率をとって、 C_C / C_{LC2} を一定($C_C / C_{LC2} = 1.00 \sim 9.00$)にした状態で制御電極とフローティング副画素電極との間の抵抗 R_C とフローティング副画素電極とコモン電極との間の抵抗 R_{LC2} に対する焼き付き電圧の依存性(DC電圧倍率)を計算した結果を示す図、図30は同じくその計算値を示す図である。

【0121】

図3, 図4に示す構造の液晶表示装置の場合、液晶の比抵抗はTFTの絶縁膜の比抵抗に比べて2桁以上低いため、 R_C / R_{LC2} の値は 10^3 に近い値となる。このような場合、図29, 図30からわかるように、直流電圧の倍率は C_C / C_{LC2} にほぼ等しくなる。容量結合HT法ではフローティング副画素電極とTFTに直結した副画素電極との電圧比は $0.9 \sim 0.6$ 程度に設定されるため、直流電圧の倍率は最大で9程度になり、焼き付きが発生しやすくなる

一方、図31から、制御電極とフローティング副画素電極との間の R_C を低下させることでフローティング副画素電極の電圧を大きく下げることができることがわかる。図31は、横軸に R_C / R_{LC2} の値をとり、縦軸に白表示部及び黒表示部の副画素電極の電位差をとって、それらの関係を示す図である。ここでは、 $C_{LCON} / C_{LCoff} = 1.5$ として計算している。

【0122】

この図31からわかるように、フローティング副画素電極の電圧(直流電圧成分)を下げるためには、 R_C の値が R_{LC2} の値の100倍以下であることが必要である。

【0123】

但し、制御電極とフローティング副画素電極との間の抵抗 R_C が低くなると、フローティング副画素電極とTFTに直結した副画素電極との間で電流が流れるため、これらの副画素電極間の電位差が徐々に失われて、容量結合HT法による白茶け抑制の効果が小さくなってしまう。

【0124】

図32は、フローティング副画素電極とTFTに直結した副画素電極とを示す等価回路図である。ここで、 C_1 はTFTに直結した副画素電極がもつ容量($C_1 = C_{LC} + C_S$)、 C_2 はフローティング副画素電極がもつ容量($C_2 = C_{LC2} + C_{S2}$)、 C_C はフローティング副画素電極とTFTに直結した副画素電極との間の容量、 R はフローティング副画素電極とTFTに直結した副画素電極との間の抵抗である。この場合、時間 t におけるフローティング副画素電極の電圧 $V_C(t)$ は、下記(6)式により求めることができる。

【0125】

【数6】

$$V_C(t) = V_C(0) \times \exp\left(-t / ((C_{se} + C_C) \times R)\right) \quad \dots (6)$$

但し、 C_{se} は C_1 と C_2 との直列接続容量($C_{se} = (1 / ((1 / C_1) - (1 / C_2)))$)である。

【0126】

図33は、横軸にフローティング副画素電極とTFTに直結した副画素電極との間の抵抗 R をとり、縦軸に1フレーム期間($t = 16.6 \text{ msec}$)における電圧保持率をとって、それらの関係を示す図である。但し、ここでは図3, 図4に示す構造の液晶表示装置を想定しており、画素ピッチを $125 \mu\text{m}$ 、フローティング副画素電極とTFTに直結した副画素電極との面積比を3:7、フローティング副画素電極に印加される表示電圧とTFTに直結した副画素電極に印加される表示電圧との比を 0.72 として計算している。

【0127】

この図33からわかるように、例えばフローティング副画素電極とTFTに直結した副

10

20

30

40

50

画素電極との間の抵抗を $10^{11} \Omega$ 以上にすれば、電圧保持率が約 90% 以上に維持される。電圧保持率が 50% よりも低くなると抵抗のばらつきによる電位差の変動が最大になることから、表示の安定性を考慮すれば電圧保持率を 50% 以上とすることが好ましい、

以上のことから、 R_c が R_{LC2} の 100 倍以下であり、1 フレーム期間の電圧保持率が 50% 以上となるようにフローティング副画素電極と TFT に直結した副画素電極との間の抵抗 R を設定することにより、焼き付きを防止する効果が得られる。

【0128】

図 34 は、上記の対策を施した第 3 の実施形態の液晶表示装置の TFT 基板を示す平面図、図 35 は同じくその断面図である。

【0129】

図 34 に示すように、TFT 基板には、水平方向に延びる複数（図 34 では 1 本のみ図示）のゲートバスライン 312 と、垂直方向に延びる複数（図 34 では 1 本のみ図示）のデータバスライン 315 とが形成されている。これらのゲートバスライン 312 及びデータバスライン 315 により区画される矩形の領域がそれぞれ画素領域である。また、TFT 基板には、画素領域を横断する補助容量バスライン 313 がゲートバスライン 312 と平行に形成されている。ゲートバスライン 312 及び補助容量バスライン 313 とデータバスライン 315 との間には後述するように第 1 の絶縁膜 314 が形成されており、この第 1 の絶縁膜 314 によりゲートバスライン 312 及び補助容量バスライン 313 とデータバスライン 315 との間が電氣的に分離されている。

【0130】

各画素領域には、TFT 316 と、制御電極 318 と、4 つの副画素電極 321a ~ 321d とが形成されている。TFT 316 のドレイン電極 316 はデータバスライン 315 に接続しており、ソース電極 316s は配線 319 を介して制御電極 318 に接続されている。

【0131】

副画素電極 321a ~ 321d は、ゲートバスライン 312 及び補助容量バスライン 313 の上で屈曲するジグザグの線に沿って形成されたスリットにより分離されている。そして、副画素電極 321a, 321d は、コンタクトホール 320a, 320c 及び配線 319 を介してソース電極 316s に電氣的に接続されており、副画素電極 321c はコンタクトホール 320b を介して制御電極 318 に電氣的に接続されている。また、副画素電極（フローティング副画素電極）321b は、後述する第 2 の絶縁膜 320 を介して制御電極 318 に容量結合している。更に、これらの副画素電極 321a ~ 321d は、高抵抗導電材料によりなる接続部 323 により電氣的に接続されている。なお、制御電極 318 は補助容量電極を兼ねており、補助容量バスライン 313 及び第 1 の絶縁膜 314 とともに補助容量を構成する。

【0132】

以下、図 35 を参照して TFT 基板の層構造について説明する。

【0133】

TFT 基板のベースとなるガラス基板 311 の上には、ゲートバスライン 312 及び補助容量バスライン 313 が形成されている。これらのゲートバスライン 312 及び補助容量バスライン 313 は、例えば Cr 膜又は Al-Ti 積層膜をフォトリソグラフィ法によりパターンニングして同時に形成される。

【0134】

また、ガラス基板 311 の上には、SiN 又は SiO₂ 等の絶縁材料からなる第 1 の絶縁膜 314 が形成されており、この第 1 の絶縁膜 314 によりゲートバスライン 312 及び補助容量バスライン 313 が覆われている。

【0135】

第 1 の絶縁膜 314 の上には、データバスライン 315 と、TFT 316 のソース電極 316s 及びドレイン電極 316d と、制御電極 318 と、配線 319 とが形成されている。これらのデータバスライン 315、ソース電極 316s、ドレイン電極 316d、制

10

20

30

40

50

御電極 318 及び配線 319 は、例えば Ti - Al - Ti 積層膜をフォトリソグラフィ法によりパターンングして同時に形成される。

【0136】

図 34 に示すように、TFT 316 はゲートバスライン 312 の一部をゲート電極としており、ゲート電極の上に活性層となる半導体膜（図示せず）とチャネル保護膜 316b とが形成されている。ソース電極 316s 及びドレイン電極 316d は、ゲートバスライン 312 を挟んで対向して配置されている。

【0137】

これらのデータバスライン 315、ソース電極 316s、ドレイン電極 316d、制御電極 318 及び配線 319 は、例えば SiN 又は絶縁性樹脂からなる第 2 の絶縁膜 320 に覆われている。この第 2 の絶縁膜 320 の上に副画素電極 321a ~ 321d が形成されている。これらの副画素電極 321a ~ 321d は、例えば ITO 等の透明導電体により形成されている。副画素電極 321a、321d はそれぞれ第 2 の絶縁膜 320 に形成されたコンタクトホール 320a、320c を介して配線 319 に電氣的に接続されており、副画素電極 321c はコンタクトホール 320b を介して制御電極 318 に電氣的に接続されている。また、副画素電極 321b は、第 2 の絶縁膜 320 を介して制御電極 318 と容量結合している。

【0138】

副画素電極 321a ~ 321d は、高抵抗の導電体材料からなる接続部 323 を介して電氣的に接続されている。そして、副画素電極 321a ~ 321d 及び接続部 323 の上には、例えばポリイミドからなる配向膜 322 が形成されている。

【0139】

接続部 323 は例えば不純物を導入したアモルファスシリコンにより形成され、前述したようにフローティング副画素電極 321b と TFT 316 に直結した副画素電極 321a、321c、321d との間の抵抗 R がフローティング副画素電極 321b とコモン電極との間の抵抗の 100 倍以下であり、且つ 1 フレーム期間の電圧保持率が 50% 以上となるように設定される。

【0140】

接続部 323 の材料は上述したアモルファスシリコンに限定されるものではなく、例えば有機導電体物質により形成してもよい。しかし、接続部 323 の材料としては、適度な範囲の抵抗値を有し、且つ液晶を汚染するおそれがないことが好ましい。また、配向膜形成プロセス等に耐性があることも必要である。例えば、溶剤に溶けにくく、耐熱性が高いものが好ましい。

【0141】

なお、図 34 において、一点鎖線 331 は対向基板側に形成される土手状の突起（ドメイン規制用構造物）の位置を示している。

【0142】

本実施形態の液晶表示装置においては、フローティング副画素電極 321b と TFT 316 に直結された副画素電極 321a、321c、321d との間が高抵抗の接続部 323 により電氣的に接続され、フローティング副画素電極 321b と TFT 316 に直結した副画素電極 321a、321c、321d との間の抵抗 R がフローティング副画素電極 321b とコモン電極との間の抵抗の 100 倍以下であり、且つ 1 フレーム期間の電圧保持率が 50% 以上となるように設定されているので、白茶けを抑制できるとともに、焼き付きの発生を回避することができ、良好な表示品質が得られる。

【0143】

（変形例 1）

図 36 は第 3 の実施形態の変形例 1 の液晶表示装置を示す平面図、図 37 は同じくその断面図である。これらの図 36、図 37 において、図 34、図 35 と同一物には同一符号を付してその詳しい説明は省略する。

【0144】

この変形例 1 の液晶表示装置においては、フローティング副画素電極 3 2 1 b と T F T 3 1 6 に直結した副画素電極 3 2 1 a , 3 2 1 c , 3 2 1 d との間を電氣的に接続する接続部 3 2 4 が、副画素電極 3 2 1 a ~ 3 2 1 d を分離するスリットに沿って土手状に形成されている。接続部 3 2 4 は、例えば不純物を導入したアモルファスシリコン等の高抵抗の導電材料により形成されている。副画素電極 3 2 1 a ~ 3 2 1 d 及び接続部 3 2 4 の表面は配向膜 3 2 2 に覆われている。

【 0 1 4 5 】

一方、対向基板のベースとなるガラス基板 3 3 1 の一方の面側（図 3 7 では下側）には、カラーフィルタ 3 3 2 及びコモン電極 3 3 3 が形成されており、コモン電極 3 3 3 の上（図 3 7 では下側）にはドメイン規制用突起 3 3 4 が土手状に形成されている。コモン電極 3 3 3 及び突起 3 3 4 の表面は配向膜 3 3 5 で覆われている。突起 3 3 4 は誘電体により形成してもよく、接続部 3 2 4 と同様に高抵抗の導電材料により形成してもよい。

10

【 0 1 4 6 】

この液晶表示装置においては、図 3 7 に示すように、T F T 基板側に形成された土手状の接続部 3 2 4 と対向基板側に形成された土手状の突起 3 3 4 とによりマルチドメインを達成することができる。すなわち、電圧印加時には液晶分子 3 4 a の傾斜方向が土手状の接続部 3 2 4 及び突起 3 3 4 の両側で異なり、斜め方向への光の漏れを防止することができる。

【 0 1 4 7 】

この液晶表示装置においても、フローティング副画素電極 3 2 1 b と T F T 3 1 6 に直結された副画素電極 3 2 1 a , 3 2 1 c , 3 2 1 d との間が例えばアモルファスシリコンからなる高抵抗の接続部 3 2 3 により電氣的に接続され、フローティング副画素電極 3 2 1 b と制御電極 3 1 8 との間の抵抗がフローティング副画素電極 3 2 1 b とコモン電極との間の抵抗の 1 0 0 倍以下であり、且つ 1 フレーム期間の電圧保持率が 5 0 % 以上となるように設定されている。これにより、白茶けを抑制できるとともに、焼き付きの発生を回避することができる。

20

【 0 1 4 8 】

なお、ドメイン規制用突起となる接続部 3 2 4 が低抵抗であると、接続部 3 2 4 全体が画素電極 3 2 1 a ~ 3 2 1 d と同電位になるため、接続部 3 2 4 から基板面に対し垂直方向に電気力線が発生するようになり、マルチドメインを達成することができなくなる。しかし、上記の例では接続部 3 2 4 が高抵抗の導電材料により形成されているため、液晶分子を所定の方向に配向させることができる。

30

【 0 1 4 9 】

（第 4 の実施形態）

図 3 8 は本発明の第 4 の実施形態の液晶表示装置を示す平面図、図 3 9 は同じくその X I - X I 線における断面図である。これらの図 3 8 , 図 3 9 において、図 1 3 , 図 1 4 (a) , (b) と同一物には同一符号を付してその詳しい説明は省略する。

【 0 1 5 0 】

本実施形態においては、ゲートバスライン 1 1 2 とデータバスライン 1 1 5 とにより区画される 1 画素領域に、3 つの副画素電極 1 2 1 a ~ 1 2 1 c を有している。副画素電極 1 2 1 a , 1 2 1 c は第 2 の絶縁膜 1 2 0 に形成されたコンタクトホール 1 2 0 a , 1 2 0 b を介して、T F T 1 1 6 のソース電極 1 1 6 s から延び出した配線 1 1 9 に電氣的に接続されている。また、副画素電極（フローティング副画素電極）1 2 1 b は第 2 の絶縁膜 1 2 0 を挟んで制御電極 1 1 8 と容量結合している。

40

【 0 1 5 1 】

副画素電極 1 2 1 b とデータバスライン 1 1 5 との間、及び副画素電極 1 2 1 b と副画素電極 1 2 1 a との間は、補助容量バスライン 1 1 3 と接続されたシールドパターン 4 1 2 によりシールドされている。

【 0 1 5 2 】

副画素電極 1 2 1 b と副画素電極 1 2 1 c との間には、T F T 4 1 1 が形成されている

50

。このTFT411のゲート電極411gは、TFT116が接続されているゲートバスライン112（n番目のゲートバスライン）とは別のゲートバスライン112（n-1番目のゲートバスライン）に接続されており、ソース電極411s及びドレイン電極411dはコンタクトホール413a、413bを介して副画素電極121b、121cに接続されている。

【0153】

図40は、上述した液晶表示装置の1画素を示す等価回路図である。図40において、TFT116はn番目のゲートバスライン112（n）に接続されたTFTであり、上述したようにTFT116のソース電極116sは副画素電極121a、121c及び制御電極118に直結している。 C_{LC} はTFT116に直結した副画素電極121a、121cとコモン電極133との間の容量（液晶容量）であり、 C_s は制御電極118と補助容量バスライン113との間の容量（補助容量）である。また、 C_c は制御電極118とフローティング副画素電極121bとの間の容量であり、 C_{LC2} はフローティング副画素電極121bとコモン電極133との間の容量である。

10

【0154】

更に、TFT411は、副画素電極121b、121c間に形成されたTFTであり、そのゲート電極411gはn-1番目のゲートバスライン112（n-1）に接続されている。

【0155】

本実施形態の液晶表示装置は、TFT116を介して副画素電極121a、121c及び制御電極118に表示電圧が印加される前（1水平走査期間の時間分だけ前）に、TFT411がオンになってフローティング副画素電極121bの電位がTFT116に直結した副画素電極121a、121c及び制御電極118の電位と同じになる。これにより、ゲートバスライン112及びドレインバスライン115に流れる信号に含まれる直流電圧成分に起因してフローティング副画素電極121bに蓄積された電荷が、副画素電極121a、121c及び制御電極118に流れる。従って、フローティング副画素電極121bへの電荷の蓄積が抑制され、焼き付きが回避されるという効果が得られる。

20

【0156】

（変形例1）

図41は第4の実施形態の液晶表示装置の変形例1を示す平面図である。この図41において、図38と同一物には同一符号を付してその詳しい説明は省略する。

30

【0157】

本実施形態においては、TFT116に直結した副画素電極121cとフローティング副画素電極121bとの間に、2つのTFT421、422が配置されている。これらのTFT421、422はドレイン電極同士が接続されている。また、TFT421、422のゲート電極421g、422gは配線414を介してn-1番目のゲートバスライン122（n）に接続されており、ソース電極はそれぞれフローティング副画素電極121b、副画素電極121cに接続されている。そして、TFT421、422のドレイン電極は、接続部423及び配線424を介して、補助容量バスライン113から延び出したシールドパターン412に接続されている。

40

【0158】

図42は上述した液晶表示装置の1画素を示す等価回路図である。図42において、TFT116はn番目のゲートバスライン112（n）に接続されたTFTであり、このTFT116のソース電極116sは副画素電極121a、121c及び制御電極118に電氣的に接続している。 C_{LC} はTFT116に直結した副画素電極121a、121cとコモン電極133との間の容量（液晶容量）であり、 C_s は制御電極118と補助容量バスライン113との間の容量（補助容量）である。また、 C_c は制御電極118とフローティング副画素電極121bとの間の容量であり、 C_{LC2} はフローティング副画素電極121bとコモン電極133との間の容量である。

【0159】

50

更に、 $TFT421$ 、 422 は副画素電極 $121b$ 、 $121c$ 間に接続された TFT である。この $TFT421$ のゲート電極は $n-1$ 番目のゲートバスライン 112 ($n-1$)に接続され、ソース電極及びドレイン電極はフローティング副画素電極 $121b$ と容量バスライン 113 との間に接続されている。また、 $TFT422$ のゲート電極も $n-1$ 番目のゲートバスライン 112 ($n-1$)に接続され、ソース電極及びドレイン電極は副画素電極 $121c$ と補助容量バスライン 113 との間に接続されている。なお、補助容量バスライン 113 は、 TFT 基板側のコモン電極と同電位に維持されるものとする。

【0160】

本実施形態の液晶表示装置においても、 $TFT116$ を介して副画素電極 $121a$ 、 $121c$ 及び制御電極 118 に表示電圧が印加される前 (1 水平走査期間の時間分だけ前) に、 $TFT421$ 、 422 がオンになってフローティング副画素電極 $121b$ 及び $TFT116$ に直結された副画素電極 $121a$ 、 $121c$ の電位が補助容量バスライン 113 の電位と同じになる。これにより、ゲートバスライン 112 及びドレインバスライン 115 に流れる信号に含まれる直流電圧成分に起因してフローティング副画素電極 $121b$ 及び副画素電極 $121a$ 、 $121c$ に蓄積された電荷が、補助容量バスライン 113 に流れる。従って、フローティング副画素電極 $121b$ への電荷の蓄積が抑制され、焼き付きを回避できるという効果を得ることができる。

10

【0161】

なお、上記の変形例1では $TFT116$ に直結した副画素電極 $121a$ 、 $121c$ に蓄積される電荷を $TFT422$ を介して補助容量バスライン 113 に流すものとしたが、前述したようにこれらの副画素電極 $121a$ 、 $121c$ は1フレーム毎にデータバスライン 115 に接続されるので、副画素電極 $121a$ 、 $121c$ に蓄積される電荷の影響は極めて少ない。従って、 $TFT422$ を省略することも可能である。

20

【0162】

(第5の実施形態)

以下、本発明の第5の実施形態について説明する。

【0163】

図43は第5の実施形態の原理を示す画素の回路図である。この図43において、 C_c 、 R_c はそれぞれ制御電極とフローティング副画素電極との間の容量及び抵抗であり、 C_{LC2} 、 R_{LC2} はそれぞれフローティング副画素電極とコモン電極との間の容量 (液晶容量) 及び抵抗 (液晶抵抗) である。

30

【0164】

前述したように、白表示部と黒表示部でフローティング副画素電極に電位差が生じる原因の一つは、液晶容量 C_{LC2} が変動するためである。そこで、第5の実施形態においては、液晶容量 C_{LC2} に並列に補助容量 C_{S2} を接続し、フローティング副画素電極とコモン電極との間の容量の変動の影響を小さくする。

【0165】

図44は、横軸に R_c / R_{LC2} をとり、縦軸に白表示部及び黒表示部のフローティング副画素電極の電位差をとって、補助容量 C_{S2} がないとき (0.00 倍)、及び補助容量 C_{S2} の値が液晶容量 C_{LC2} の値の 0.25 倍～ 1.5 倍のときの R_c / R_{LC2} と、白表示部及び黒表示部のフローティング副画素電極の電位差との関係を示す図である。但し、ここでは、 C_c / C_{LC2} の値は 2.57 としている。

40

【0166】

この図44と図31との比較からわかるように、液晶容量 C_{LC2} に並列に補助容量 C_{S2} を接続することにより、白表示部及び黒表示部のフローティング副画素電極の電位差が減少する。例えば、補助容量 C_{S2} の値が液晶容量 C_{LC2} の値と同じ ($C_{S2} / C_{LC2} = 1.00$) であるとする、焼き付きの原因となる白表示部及び黒表示部のフローティング副画素電極の電位差は、ほぼ $1/2$ に減少する。

【0167】

図45は上述の対策を施した液晶表示装置を示す平面図、図46は図45のXII-XII

50

線による断面図である。図 4 5 , 図 4 6 において、図 1 3 , 図 1 4 (a) , (b) と同一物には同一符号を付してその詳しい説明は省略する。

【 0 1 6 8 】

本実施形態の液晶表示装置においては、補助容量バスライン 1 1 3 の上方に、制御電極 5 1 1 と補助容量電極 5 1 2 とが形成されている。制御電極 5 1 1 は、第 2 の絶縁膜 1 4 0 を介してフローティング副画素電極 1 2 1 b に容量結合している。また、制御電極 5 1 1 は配線 1 1 9 を介して T F T 1 1 6 のソース電極 1 1 6 s に電氣的に接続されているとともに、配線 1 1 9 とコンタクトホール 1 2 0 a , 1 2 0 b を介して副画素電極 1 2 1 a , 1 2 1 c に電氣的に接続されている。更に、制御電極 5 1 1 は、補助容量バスライン 1 1 3 及び第 1 の絶縁膜 1 1 4 とともに第 1 の補助容量を構成している。なお、補助容量バスライン 1 1 3 は、対向基板側のコモン電極と同電位に維持されるものとする。

10

【 0 1 6 9 】

補助容量電極 5 1 2 は、第 2 の絶縁膜 1 4 0 に形成されたコンタクトホール 5 1 3 を介してフローティング副画素電極 1 2 1 b に電氣的に接続している。また、補助容量電極 5 1 2 は、補助容量バスライン 1 1 3 及び第 1 の絶縁膜 1 1 4 とともに第 2 の補助容量 C_{s2} を構成している。

【 0 1 7 0 】

本実施形態においては、図 4 3 の等価回路図に示すように、液晶容量 C_{LC2} と並列に補助容量 C_{s2} を設けているので、白表示部及び黒表示部のフローティング副画素電極の電位差が小さくなり、焼き付きの発生を防止することができる。

20

【 0 1 7 1 】

なお、補助容量電極 5 1 2 を設けずにフローティング副画素電極 1 2 1 b と補助容量バスライン 1 1 3 とにより補助容量 C_{s2} を構成することも考えられる。しかし、その場合はフローティング副画素電極 1 2 1 b と補助容量バスライン 1 1 3 との間に第 1 及び第 2 の絶縁膜 1 1 4 , 1 2 0 が介在するため、補助容量 C_{s2} の容量値が小さくなり、焼き付きの発生を防止する効果が小さくなってしまふ。このため、上述したように第 1 の絶縁膜 1 1 4 上に補助容量電極 5 1 2 を形成し、この補助容量電極 5 1 2 とフローティング副画素電極 1 2 1 b とを電氣的に接続することが好ましい。

【 0 1 7 2 】

上記第 1 ~ 第 5 の実施形態に示した焼き付き防止方法は、T N 型液晶表示装置及び V A 型液晶表示装置など、種々の構造の液晶表示装置に適用することができる。また、本発明は、透過型液晶表示装置だけでなく、反射型液晶表示装置及び半透過型液晶表示装置に適用することもできる。

30

【 0 1 7 3 】

以下、本発明の諸態様を、付記としてまとめて記載する。

【 0 1 7 4 】

(付記 1) 相互に対向して配置された第 1 及び第 2 の基板と、
前記第 1 及び第 2 の基板間に封入された液晶と、
前記第 1 の基板に形成されたゲートバスライン及びデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

40

前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極とを有する液晶表示装置において、

前記制御電極と容量結合した副画素電極と前記ゲートバスライン及び前記データバスラインのうちの少なくとも一方のバスラインとの間を電氣的にシールドするシールド部材を有することを特徴とする液晶表示装置。

【 0 1 7 5 】

(付記 2) 前記シールド部材が、前記複数の副画素電極のうち前記薄膜トランジスタ

50

に接続された副画素電極であることを特徴とする付記 1 に記載の液晶表示装置。

【0176】

(付記 3) 前記シールド部材となる副画素電極が、前記制御電極と容量結合した副画素電極の周囲を囲んでいることを特徴とする付記 2 に記載の液晶表示装置。

【0177】

(付記 4) 更に、一定の電位に維持され、前記制御電極と容量結合して補助容量を構成する補助容量バスラインを有することを特徴とする付記 1 に記載の液晶表示装置。

【0178】

(付記 5) 前記シールド部材が前記補助容量バスラインに電氣的に接続されていることを特徴とする付記 4 に記載の液晶表示装置。

10

【0179】

(付記 6) 前記シールド部材が、前記副画素電極と同じ層に形成されていることを特徴とする付記 5 に記載の液晶表示装置。

【0180】

(付記 7) 前記制御電極と容量結合した副画素電極と前記ゲートバスラインとの間に前記シールド部材として前記複数の副画素電極のうち前記薄膜トランジスタに接続された副画素電極が配置され、前記制御電極と容量結合した副画素電極と前記データバスラインとの間に前記補助容量バスラインに電氣的に接続したシールド部材が配置されていることを特徴とする付記 4 に記載の液晶表示装置。

【0181】

20

(付記 8) 相互に対向して配置された第 1 及び第 2 の基板と、
前記第 1 及び第 2 の基板間に封入された液晶と、
前記第 1 の基板に形成されたゲートバスライン及びデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、

前記第 2 の基板に形成されて前記第 1 の基板の前記複数の副画素電極に対向するコモン電極とを有する液晶表示装置の焼き付き防止方法であって、

30

前記コモン電極の電位に対する前記ドレインバスラインの中心電位を V_{ddc} 、前記コモン電極の電位に対する前記ゲートバスラインの中心電位を V_{gdc} 、前記制御電極と容量結合した副画素電極と前記データバスラインとの間の抵抗を R_d 、前記制御電極と容量結合した副画素電極と前記ゲートバスラインとの間の抵抗を R_g としたときに、 $V_{ddc} - V_{gdc} \times R_d / R_g$ がほぼ 0 となるように前記制御電極と容量結合した副画素電極の大きさ、形状及び位置並びに絶縁膜の厚さを設定することを特徴とする液晶表示装置の焼き付き防止方法。

【0182】

(付記 9) 相互に対向して配置された第 1 及び第 2 の基板と、
前記第 1 及び第 2 の基板間に封入された液晶と、
前記第 1 の基板に形成されたゲートバスライン及びデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

40

前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、

前記第 2 の基板に形成されて前記第 1 の基板の複数の副画素電極に対向するコモン電極とを有する液晶表示装置において、

前記制御電極と容量結合した副画素電極と、前記薄膜トランジスタに接続された副画素電極との間が、抵抗体を介して接続されていることを特徴とする液晶表示装置。

50

【0183】

(付記10) 前記抵抗体の抵抗値が、前記制御電極と容量結合した副画素電極と前記コモン電極との間の抵抗 R_{LC} の抵抗値の100倍以下であることを特徴とする付記9に記載の液晶表示装置。

【0184】

(付記11) 前記抵抗体の抵抗値が、前記制御電極と容量結合した副画素電極の1フレーム期間における電圧保持率が50%以上となるように設定されていることを特徴とする付記9に記載の液晶表示装置。

【0185】

(付記12) 前記抵抗体が、シリコンにより形成されていることを特徴とする付記9に記載の液晶表示装置。 10

【0186】

(付記13) 前記抵抗体が前記複数の副画素電極間を分離するスリットに沿って土手状に形成され、該抵抗体が液晶分子の傾斜方向を決めるドメイン規制用構造物の少なくとも一部を構成することを特徴とする付記9に記載の液晶表示装置。

【0187】

(付記14) 相互に対向して配置された第1及び第2の基板と、
前記第1及び第2の基板間に封入された液晶と、
前記第1の基板に形成されたゲートバスライン及びデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、 20
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、
前記複数の副画素電極のうちの少なくとも1つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、
一定の電位に保持され、前記制御電極との間で補助容量を構成する補助容量バスラインとを有する液晶表示装置において、
前記制御電極と容量結合した副画素電極と前記補助容量バスラインとの間、又は前記制御電極と容量結合した副画素電極と前記薄膜トランジスタに接続した副画素電極との間に、
前記薄膜トランジスタが接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動するスイッチング素子を有することを特徴とする液晶表示装置。 30

【0188】

(付記15) 前記スイッチング素子が薄膜トランジスタであることを特徴とする付記14に記載の液晶表示装置。

【0189】

(付記16) 相互に対向して配置された第1及び第2の基板と、
前記第1及び第2の基板間に封入された液晶と、
前記第1の基板に形成されたゲートバスライン及びデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、 40
前記複数の副画素電極のうちの少なくとも1つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、
一定の電位に保持され、前記制御電極との間で第1の補助容量を構成する補助容量バスラインとを有する液晶表示装置の焼き付き防止方法であって、
前記制御電極と容量結合した副画素電極と前記コモン電極との間の容量に並列に第2の補助容量を形成することを特徴とする液晶表示装置の焼き付き防止方法。

【0190】

(付記17) 相互に対向して配置された第1及び第2の基板と、
前記第1及び第2の基板間に封入された液晶と、
前記第1の基板に形成されたゲートバスライン及びデータバスラインと、 50

前記ゲートバスライン及び前記データバスラインに接続された薄膜トランジスタと、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも１つと容量結合し、前記データバスラインから前記薄膜トランジスタを介して表示電圧が印加される制御電極と、

一定の電位に保持され、前記制御電極との間で第１の補助容量を構成する補助容量バスラインと、

前記制御電極と容量結合する副画素電極と電氣的に接続し、前記補助容量バスラインとの間で第２の補助容量を構成する補助容量電極と

を有することを特徴とする液晶表示装置。

10

【０１９１】

（付記１８） 前記補助容量電極が、前記制御電極と前記補助容量バスラインとの間の層に形成されていることを特徴とする付記１７に記載の液晶表示装置。

【図面の簡単な説明】

【０１９２】

【図１】図１（ａ），（ｂ）は、ＭＶＡ型液晶表示装置の一例を示す模式断面図である。

【図２】図２は、液晶表示装置の画面を正面から見たときのＴ－Ｖ（透過率－電圧）特性と、上６０°の方向から見たときのＴ－Ｖ特性とを示す図である。

【図３】図３は、容量結合によるＨＴ法を実現する液晶表示装置のＴＦＴ基板の一例を示す平面図である。

20

【図４】図４は、図３のＩ－Ｉ線による断面図である。

【図５】図５は、図３に示す液晶表示装置の１画素を示す等価回路図である。

【図６】図６は、特許第３０７６９３８号の明細書に開示された液晶表示装置を示す平面図である。

【図７】図７（ａ）～（ｃ）は、焼き付きの程度を測定する試験方法を示す模式図（その１）である。

【図８】図８は、焼き付きの程度を測定する試験方法を示す模式図（その２）である。

【図９】図９は、フローティング副画素電極を備えた液晶表示装置の１画素を示す平面図である。

【図１０】図１０（ａ）は図９のⅡ－Ⅱ線の位置における模式断面図、図１０（ｂ）は図９のⅢ－Ⅲ線の位置における模式断面図、図１０（ｃ）は図９のⅣ－Ⅳ線の位置における模式断面図、図１０（ｄ）は図９のⅤ－Ⅴ線の位置における模式断面図である。

30

【図１１】図１１は、フローティング副画素電極により構成される副画素の等価回路を示す図である。

【図１２】図１２は、液晶層に表示電圧が印加されたとき（液晶ＯＮ）の ΔV_s と ΔV_{LC2} との関係と、液晶層に表示電圧が印加されていないとき（液晶ＯＦＦ）の ΔV_s と ΔV_{LC2} との関係とを示す図である。

【図１３】図１３は、本発明の第１の実施形態に係る液晶表示装置を示す平面図である。

【図１４】図１４（ａ）は図１３のⅥ－Ⅵ線による断面図、図１４（ｂ）は図１３のⅦ－Ⅶ線による断面図である。

40

【図１５】図１５は、第１の実施形態の変形例１の液晶表示装置を示す平面図である。

【図１６】図１６は、図１５のⅧ－Ⅷ線による断面図である。

【図１７】図１７は、第１の実施形態の変形例２の液晶表示装置を示す平面図である。

【図１８】図１８は、図１７のⅨ－Ⅸ線による断面図である。

【図１９】図１９は、第１の実施形態の変形例３の液晶表示装置を示す平面図である。

【図２０】図２０は、図１９のⅩ－Ⅹ線による断面図である。

【図２１】図２１は、第１の実施形態の変形例４の液晶表示装置を示す平面図である。

【図２２】図２２は、第１の実施形態の変形例５の液晶表示装置を示す平面図である。

【図２３】図２３は、第１の実施形態の変形例６の液晶表示装置を示す平面図である。

【図２４】図２４は、第１の実施形態の変形例７の液晶表示装置を示す平面図である。

50

【図 2 5】図 2 5 は、本発明の第 2 の実施形態の原理を示す図である。

【図 2 6】図 2 6 は、 R_g / R_d とフローティング副画素電極の最終到達電位との関係を示す図である。

【図 2 7】図 2 7 は、フローティング副画素電極とゲートバスライン及びデータバスラインとの間の抵抗を調整する方法を示す液晶表示装置の画素部の模式平面図である。

【図 2 8】図 2 8 は、同じくその模式断面図である。

【図 2 9】図 2 9 は、制御電極とフローティング副画素電極との間の抵抗 R_c とフローティング副画素電極とコモン電極との間の抵抗 R_{LC2} に対する焼き付き電圧の依存性 (DC 電圧倍率) を計算した結果を示す図である。

【図 3 0】図 3 0 は、同じくその計算値を示す図である。

10

【図 3 1】図 3 1 は、 R_c / R_{LC2} と白表示部及び黒表示部の副画素電極の電位差との関係を示す図である。

【図 3 2】図 3 2 は、フローティング副画素電極と TFT に直結した副画素電極とを示す等価回路図である。

【図 3 3】図 3 3 は、フローティング副画素電極と TFT に直結した副画素電極との間の抵抗 R と、1 フレーム期間 ($t = 16.6 \text{ msec}$) における電圧保持率との関係を示す図である。

【図 3 4】図 3 4 は、本発明の第 3 の実施形態の液晶表示装置の TFT 基板を示す平面図である。

【図 3 5】図 3 5 は、同じくその断面図である。

20

【図 3 6】図 3 6 は、第 3 の実施形態の変形例 1 の液晶表示装置を示す平面図である。

【図 3 7】図 3 7 は、同じくその断面図である。

【図 3 8】図 3 8 は、本発明の第 4 の実施形態の液晶表示装置を示す平面図である。

【図 3 9】図 3 9 は、図 3 8 の X I - X I 線における断面図である。

【図 4 0】図 4 0 は、第 4 の実施形態の液晶表示装置の 1 画素を示す等価回路図である。

【図 4 1】図 4 1 は、第 4 の実施形態の液晶表示装置の変形例 1 を示す平面図である。

【図 4 2】図 4 2 は、第 4 の実施形態の変形例 1 の液晶表示装置の 1 画素を示す等価回路図である。

【図 4 3】図 4 3 は、本発明の第 5 の実施形態の原理を示す画素の回路図である。

【図 4 4】図 4 4 は、 R_c / R_{LC2} と、白表示部及び黒表示部のフローティング副画素電極の電位差との関係を示す図である。

30

【図 4 5】図 4 5 は第 5 の実施形態の液晶表示装置を示す平面図である。

【図 4 6】図 4 6 は、図 4 5 の X II - X II 線による断面図である。

【符号の説明】

【0 1 9 3】

1 0 ... TFT 基板、

1 2 ... 画素電極、

1 4 , 2 4 , 6 2 , 7 4 , 1 2 2 , 1 3 4 , 3 2 2 , 3 3 5 ... 配向膜、

2 0 ... 対向基板、

2 2 , 7 3 , 1 3 3 , 3 3 3 ... コモン電極、

40

2 3 , 2 3 1 , 3 3 1 , 3 3 4 ... 突起 (ドメイン規制用構造物)、

3 0 , 8 0 , 1 4 0 ... 液晶、

5 1 , 7 1 , 1 1 1 , 1 3 1 , 2 1 1 , 3 1 1 , 3 3 1 ... ガラス基板、

5 2 , 1 1 2 , 2 1 2 , 3 1 2 ... ゲートバスライン、

5 3 , 1 1 3 , 2 1 3 , 3 1 3 ... 補助容量バスライン、

5 4 , 6 0 , 1 1 4 , 1 2 0 , 2 1 4 , 2 2 0 , 3 1 4 , 3 2 0 ... 絶縁膜、

5 5 , 1 1 5 , 2 1 5 , 3 1 5 ... データバスライン、

5 6 , 9 0 , 9 3 , 1 1 6 , 2 1 6 , 3 1 6 , 4 1 1 , 4 2 1 , 4 2 2 ... TFT、

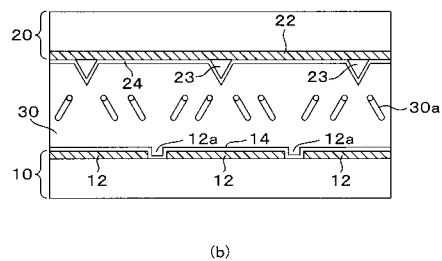
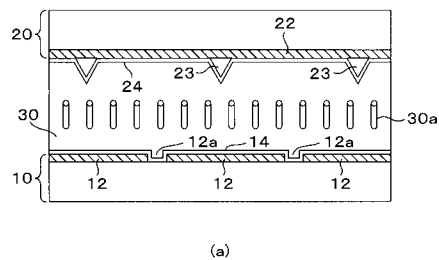
5 7 , 9 2 a ~ 9 2 d , 1 1 8 , 1 3 2 , 2 1 8 , 3 1 8 , 5 1 1 ... 制御電極、

5 8 , 1 3 4 , 5 1 2 ... 補助容量電極、

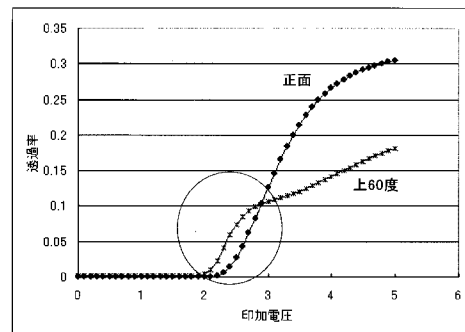
50

5 9 , 1 3 3 , 2 1 9 , 3 1 9 ... 配線、
 6 1 a , 6 1 b , 9 1 a ~ 9 1 d , 1 2 1 a ~ 1 2 1 c 、 1 3 6 a , 1 3 6 b , 1 5 1
 a , 1 5 1 b , 2 2 1 a ~ 2 2 1 d , 3 2 1 a ~ 3 2 1 d ... 副画素電極、
 7 1 , 1 3 2 , 3 3 2 ... カラーフィルタ、
 1 3 1 a , 1 3 1 b , 1 3 8 a , 1 3 8 b , 1 4 2 a , 1 4 2 b , 1 4 3 , 1 4 5 , 1
 4 6 ... シールドパターン、
 3 2 3 , 3 2 4 ... 高抵抗の接続部。

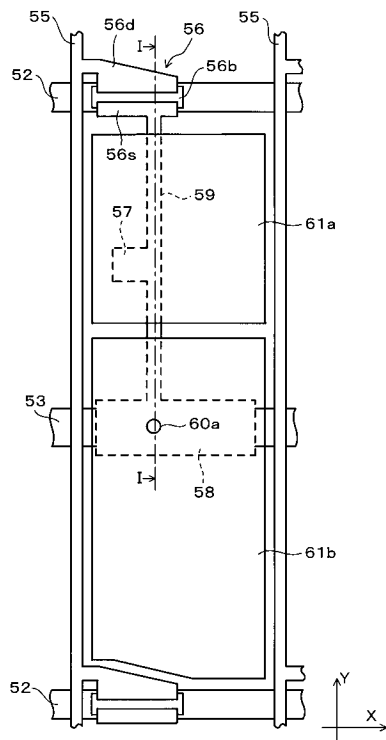
【図 1】



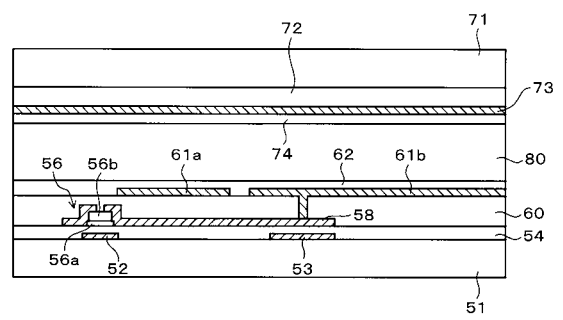
【図 2】



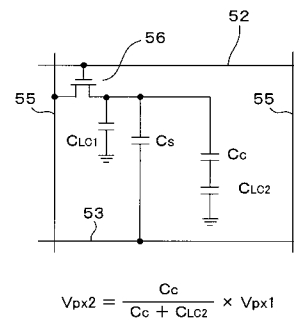
【図 3】



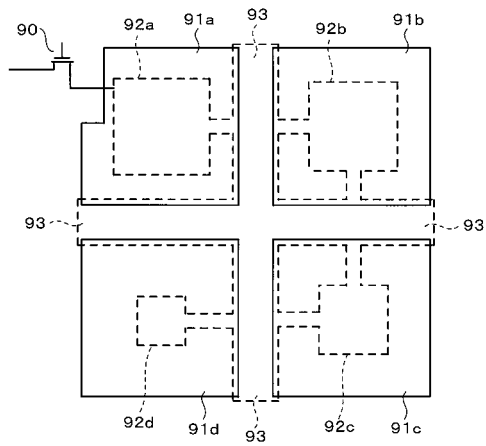
【図 4】



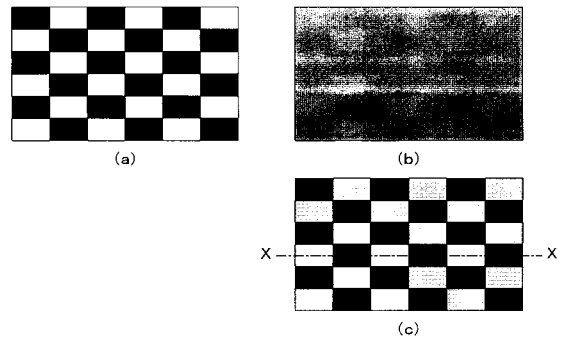
【図 5】



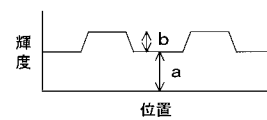
【図 6】



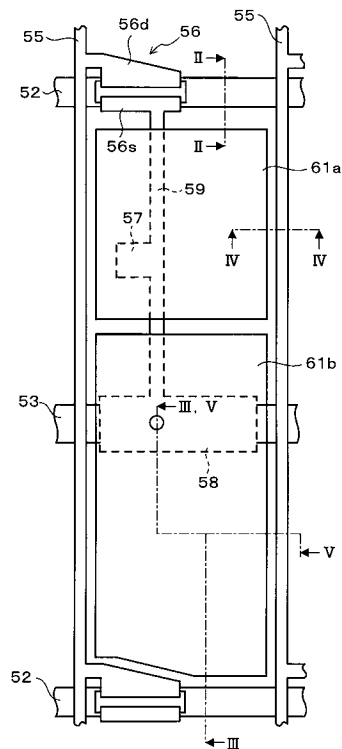
【図 7】



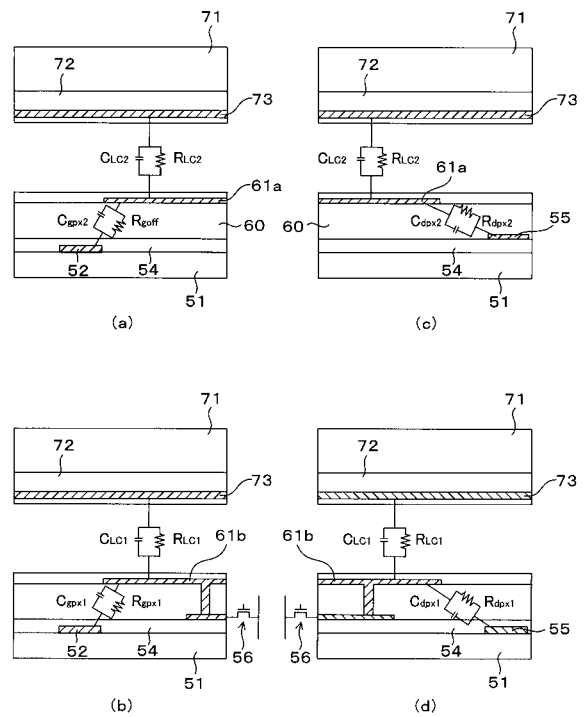
【図 8】



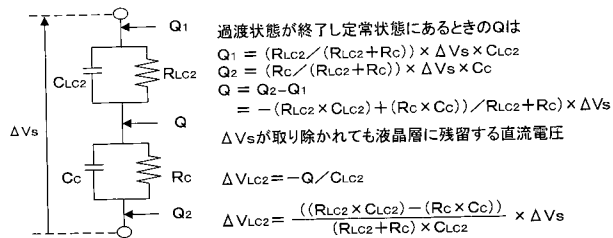
【図 9】



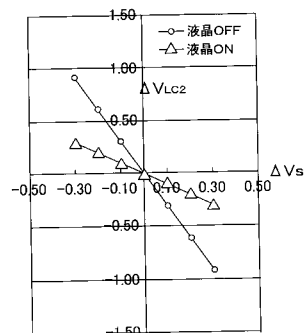
【図 10】



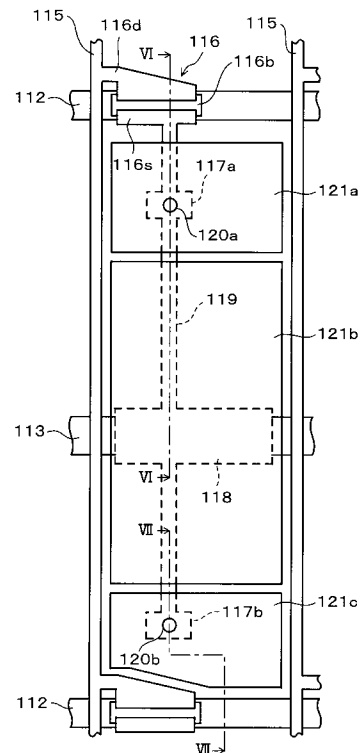
【図 11】



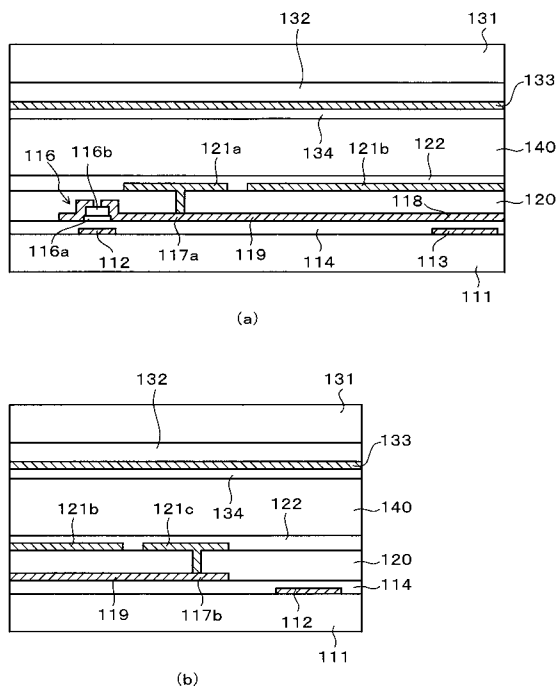
【図 12】



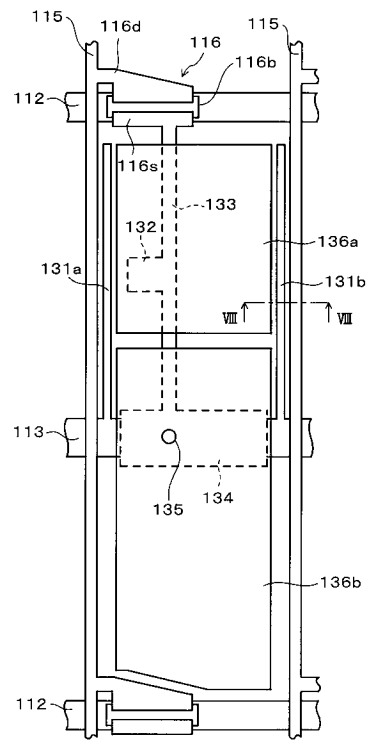
【図 13】



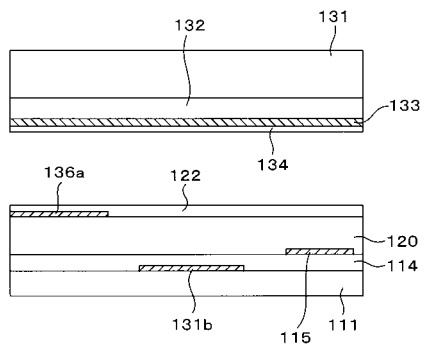
【図 14】



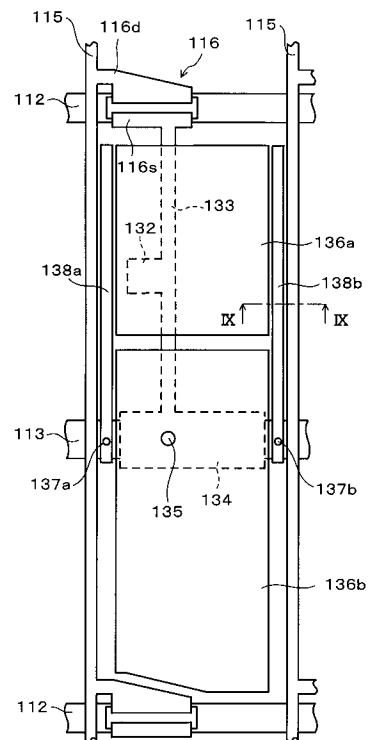
【図 15】



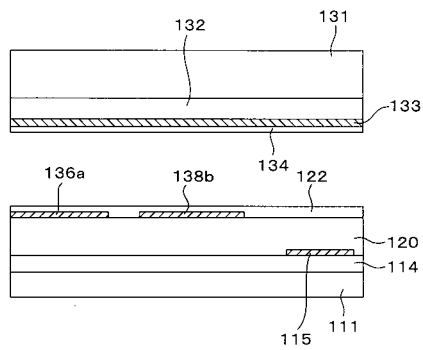
【図 16】



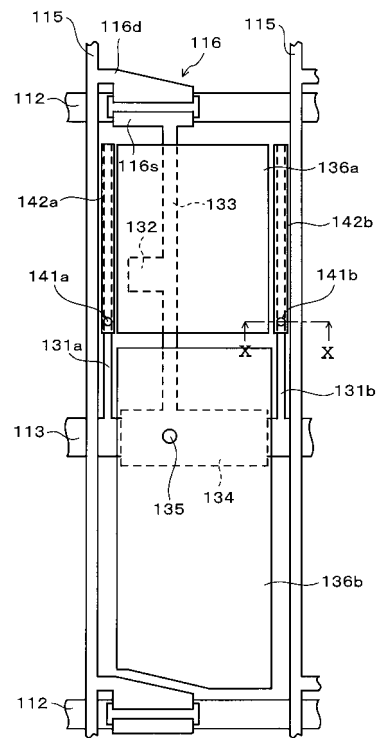
【図 17】



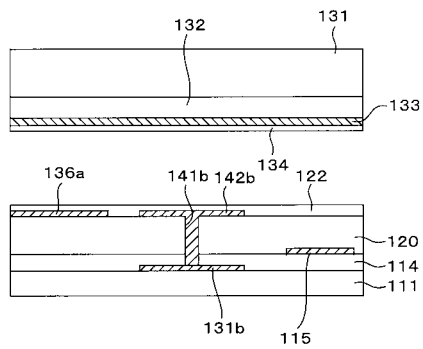
【図 18】



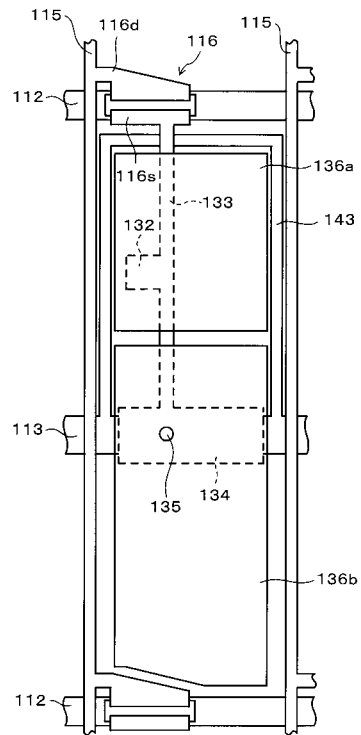
【図 19】



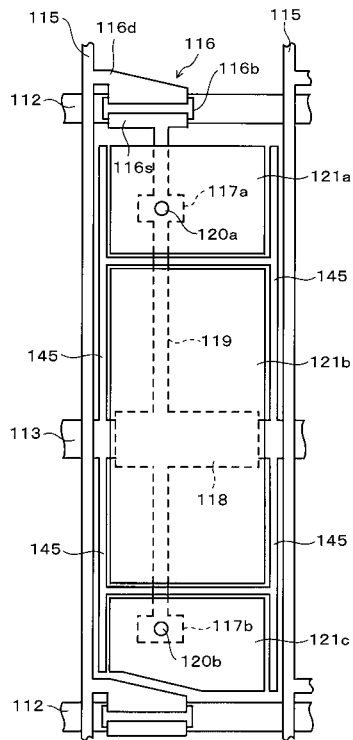
【図 20】



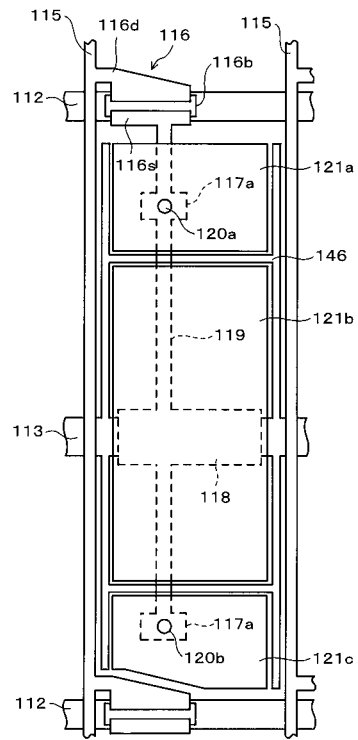
【図 21】



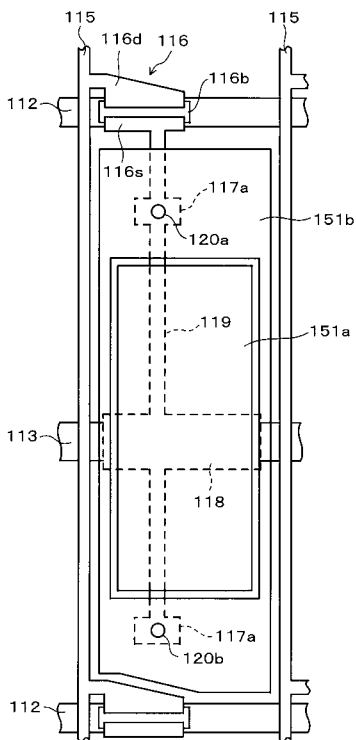
【図 2 2】



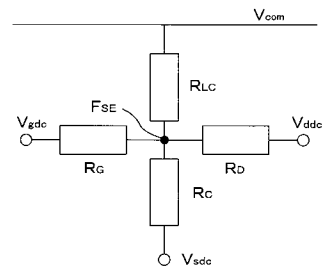
【図 2 3】



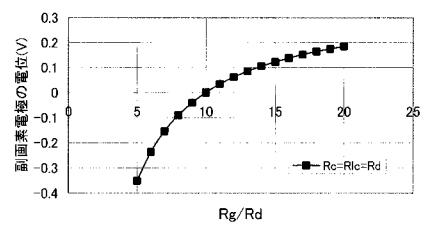
【図 2 4】



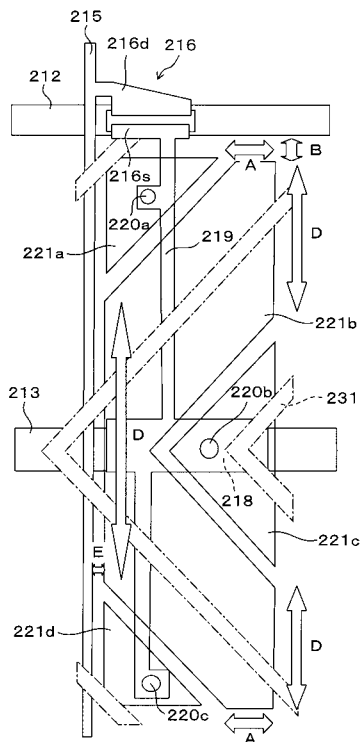
【図 2 5】



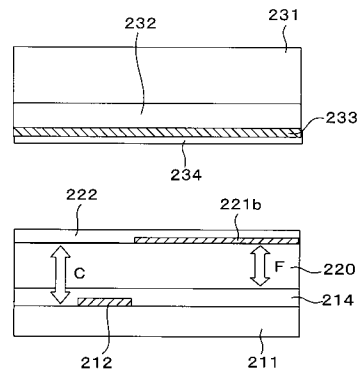
【図 2 6】



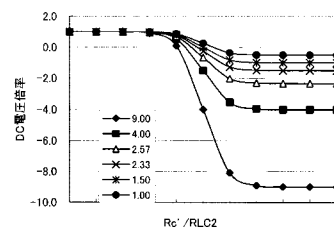
【図 27】



【図 28】



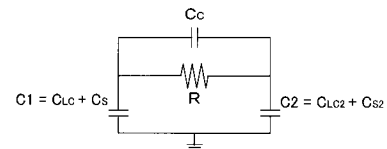
【図 29】



【図 30】

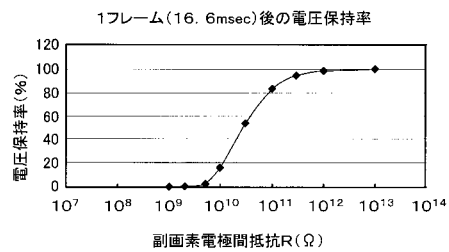
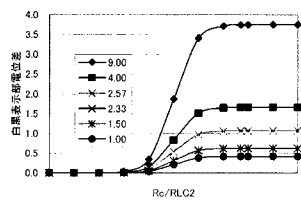
	0.9	0.8	0.72	0.7	0.6	0.5
10^{-5}	9.00	4.00	2.57	2.33	1.50	1.00
10^{-4}	1.00	1.00	1.00	1.00	1.00	1.00
10^{-3}	0.99	1.00	1.00	1.00	1.00	1.00
10^{-2}	0.90	0.95	0.97	0.98	0.98	0.99
10^{-1}	0.09	0.55	0.70	0.77	0.82	0.88
1	-4.00	-1.50	-0.67	-0.25	0.00	0.25
10^1	-8.09	-3.55	-2.03	-1.27	-0.82	-0.36
10^2	-8.90	-3.95	-2.30	-1.48	-0.98	-0.49
10^3	-8.99	-4.00	-2.33	-1.50	-1.00	-0.50
10^4	-9.00	-4.00	-2.33	-1.50	-1.00	-0.50
10^5	-9.00	-4.00	-2.33	-1.50	-1.00	-0.50

【図 32】

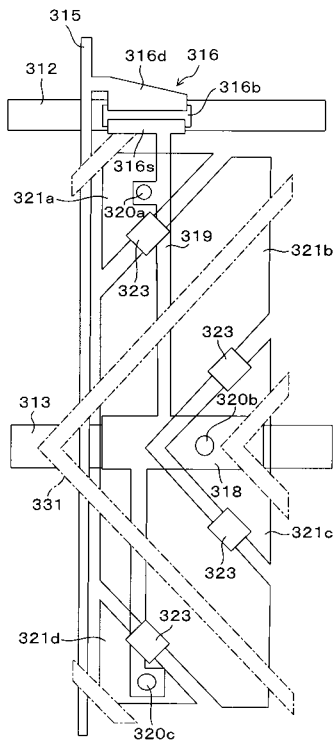


【図 33】

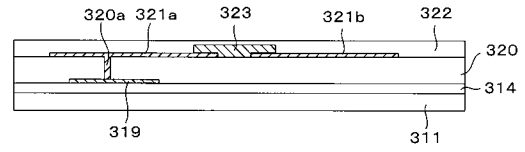
【図 31】



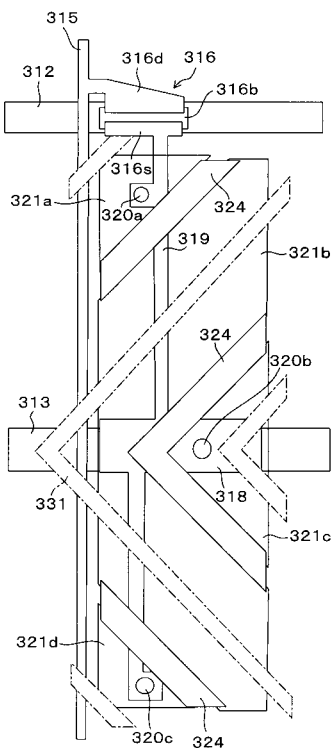
【図 3 4】



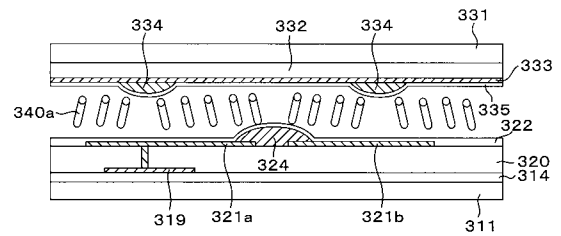
【図 3 5】



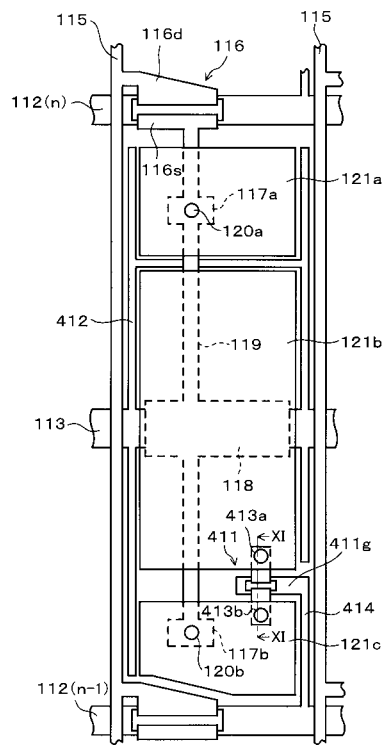
【図 3 6】



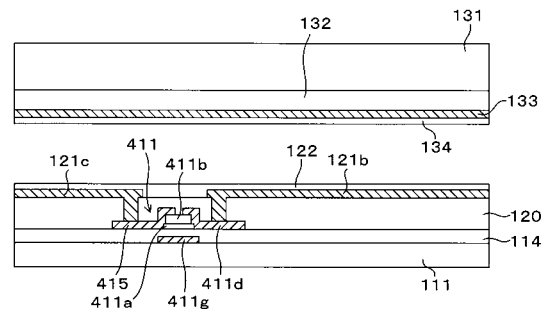
【図 3 7】



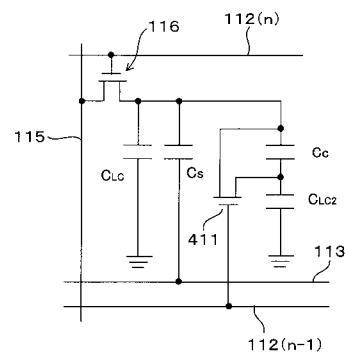
【図 38】



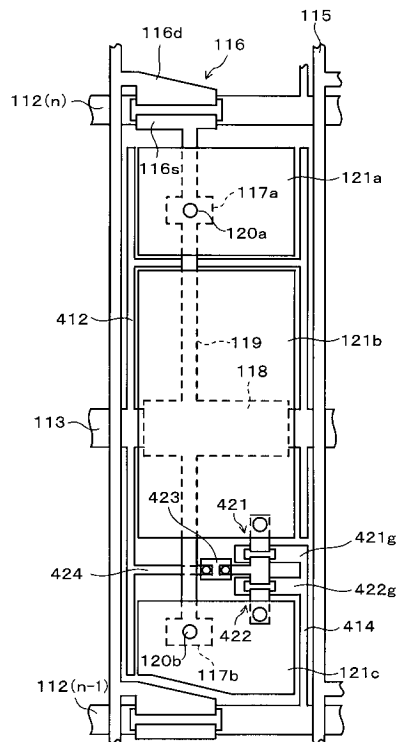
【図 39】



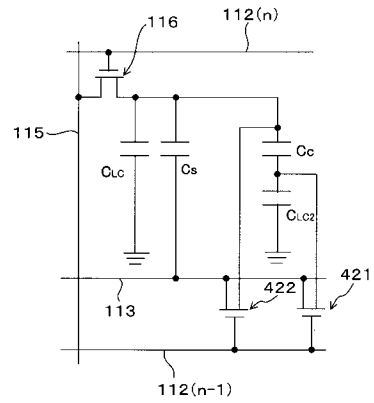
【図 40】



【図 41】



【図 42】



フロントページの続き

- (72)発明者 笹林 貴
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 上田 一也
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 吉田 秀史
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- Fターム(参考) 2H092 GA11 JA24 JA41 JA46 JB22 JB31 JB56 NA01 NA25 PA01
PA02 PA08

专利名称(译)	液晶显示装置及其防老化方法		
公开(公告)号	JP2006039290A	公开(公告)日	2006-02-09
申请号	JP2004220263	申请日	2004-07-28
[标]申请(专利权)人(译)	富士通显示技术股份有限公司 友达光电股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司 友达光电股▼ふん▲有限公司		
[标]发明人	鎌田 豪 笹林 貴 上田 一也 吉田 秀史		
发明人	鎌田 豪 笹林 貴 上田 一也 吉田 秀史		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/136213 G02F2001/134354 G02F2001/136218 B01J47/014 C02F1/42 C02F1/48 C02F1/50 C02F1/68 C02F5/08		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JA41 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB56 2H092/NA01 2H092/NA25 2H092/PA01 2H092/PA02 2H092/PA08 2H192/AA24 2H192/BC23 2H192/BC31 2H192/CB05 2H192/CB71 2H192/CC04 2H192/DA13 2H192/DA15 2H192/DA73 2H192/DA74 2H192/EA43 2H192/GA03 2H192/GD14 2H192/GD61 2H192/JA13		
代理人(译)	冈本圭造		
其他公开文献	JP4361844B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够避免在液晶显示装置中产生余辉的液晶显示装置，其中通过使用电容耦合的HT（半色调）方法来抑制变色并提供持久防止方法。解决方案：直接连接到TFT 116的子像素电极121a和121c设置在与控制电极118和栅极总线112电容耦合的子像素电极（浮置子像素电极）121b之间，以防止从栅极总线112注入电荷。浮动子像素电极121b。在浮置子像素电极121b和数据总线115之间形成电连接到辅助电容总线113的屏蔽图案145.通过屏蔽图案145避免从数据总线115到浮置子像素电极121b的电荷注入。 .Z

