

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2003 - 233362

(P2003 - 233362A)

(43)公開日 平成15年8月22日(2003.8.22)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-ド* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	612	G 0 9 G 3/20	612 J 5 C 0 8 0
	621		621 B
	623		623 C

審査請求 未請求 請求項の数 13 O L (全 21数) 最終頁に続く

(21)出願番号 特願2002 - 368393(P2002 - 368393)

(22)出願日 平成14年12月19日(2002.12.19)

(31)優先権主張番号 2001 - 081433

(32)優先日 平成13年12月19日(2001.12.19)

(33)優先権主張国 韓国(KR)

(31)優先権主張番号 2002 - 037740

(32)優先日 平成14年6月29日(2002.6.29)

(33)優先権主張国 韓国(KR)

(71)出願人 501426046

エルジー・フィリップス エルシーデー
カンパニー、リミテッド

大韓民国 ソウル、ヨンドウンポ-ク、ヨイド-ドン 20

(72)発明者 宋 鴻 聲

大韓民国 慶尚北道 龜尾市 九萍洞 49
2 ブヨン アパートメント 201 - 606号

(72)発明者 尹 相 昌

大韓民国 大邱市 東區 新岩 1洞 720
- 23号

(74)代理人 100064447

弁理士 岡部 正夫 (外 1 0 名)

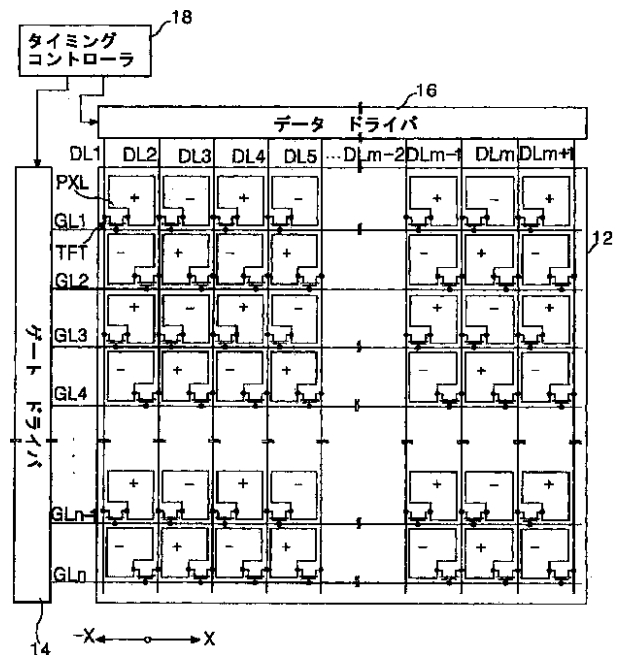
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 本発明は消費電力を節減すると共に画質を向上させることができる液晶表示装置に関するものである。

【解決手段】 本発明の液晶表示装置はゲートラインなどとデータラインなどの交差と定義される領域毎に形成された液晶セルなどが i (i は陽の正数) 水平ライン単位に交替しながら隣接した相互異なるデータラインと薄膜トランジスタを通して接続された液晶パネルと; 前記ゲートラインなどを駆動するゲート・ドライバと; i 水平期間単位に極性反転される制御信号に応答して入力された画素データなどの出力チャンネルを決定して一つのブランク・データを付加するマルチブラックサ・アレイと、前記画素データなど及びブラック・データを前記データ・ライン単位に極性が反転されてその極性がフレーム単位に反転される画素信号などとブラック信号に変換するデジタル-アナログ変換器アレイを含めて前記データ・ラインなどを駆動するデータ・ドライバとを具備することを特徴とする。



【特許請求の範囲】

【請求項1】 ゲートラインなどとデータラインなどの交差と定義される領域毎に形成された液晶セルなどが i (i は陽の正数) 水平ライン単位に交替しながら隣接した相互異なるデータラインと薄膜トランジスタを通して接続された液晶パネルと; 前記ゲートラインなどを駆動するゲート・ドライバと; i 水平期間単位に極性反転される制御信号にตอบสนองして入力された画素データなどの出力チャンネルを決定して一つのブランク・データを付加するマルチプレクサ・アレイと、前記画素データなど及びブランク・データを前記データ・ライン単位に極性が反転されてその極性がフレーム単位に反転される画素信号などとブラック信号に変換するデジタル-アナログ変換器アレイを含めて前記データ・ラインなどを駆動するデータ・ドライバとを具備することを特徴とする液晶表示装置。

【請求項2】 前記液晶パネルは左側に隣接したデータラインと接続された液晶セルなどに構成される第1水平ラインと; 右側に隣接したデータラインと接続された液晶セルなどで構成される第2水平ラインに構成されることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記第1水平ラインと第2水平ラインは1水平ライン単位に交替して配置されたことを特徴とする請求項2記載の液晶表示装置。

【請求項4】 前記第1水平ラインと第2水平ラインは2水平ライン単位に交替して配置されたことを特徴とする請求項2記載の液晶表示装置。

【請求項5】 前記ディマルチプレクサ・アレイは前記第1水平ラインを駆動する第1水平期間では前記画素データなどの出力チャンネルを入力チャンネルと同一に維持して最後番目の出力チャンネルにブラック・データを供給して、前記第2水平ラインを駆動する第2水平期間では前記画素データなどを一チャンネルずつシフトさせ前記出力チャンネルに供給して一番目の出力チャンネルにブランク・データを供給することを特徴とする請求項2記載の液晶表示装置。

【請求項6】 前記データ・ドライバは順次的なサンプリング信号を供給するシフト・レジスタ・アレイと、前記サンプリング信号により前記画素データなどを一定チャンなるずつ順次的にラッチして前記マルチプレクサ・アレイに同時に供給して出力するラッチ・アレイと、前記デジタル-アナログ変換器アレイからの画素信号など及びブラック信号を信号緩衝して前記データラインなどのそれぞれに供給するバッファ・アレイとを更に具備することを特徴とする請求項1記載の液晶表示装置。

【請求項7】 ゲートラインなどとデータラインなどの交差と定義される領域毎に形成された液晶セルなどが i (i は陽の正数) 水平ライン単位に交替しながら隣接した相互異なるデータラインと薄膜トランジスタを通して

接続された液晶パネルと; 前記ゲートラインなどを駆動するゲート・ドライバと; 入力された画素データなどとブランク・データを前記データライン単位に極性反転されてその極性がフレーム単位に反転される画素信号などとブラック信号に変換して前記データラインなどに供給するデータ・ドライバと; 前記ゲート・ドライバ及びデータ・ドライバを制御すると共に i 水平期間単位に極性反転される制御信号にตอบสนองして前記画素データなどと共に一番目チャンネルまたは最後番目のチャンネルの中のいずれか一チャンネルに前記ブラック・データを追加して前記データ・ドライバに供給するタイミング制御部とを具備することを特徴とする液晶表示装置。

【請求項8】 前記液晶パネルは左側に隣接したデータラインと接続された液晶セルなどに構成される第1水平ラインと; 右側に隣接したデータラインと接続された液晶セルなどで構成される第2水平ラインに構成されることを特徴とする請求項7記載の液晶表示装置。

【請求項9】 前記第1水平ラインと第2水平ラインは1水平ライン単位に交替して配置されたことを特徴とする請求項8記載の液晶表示装置。

【請求項10】 前記第1水平ラインと第2水平ラインは2水平ライン単位に交替して配置されたことを特徴とする請求項8記載の液晶表示装置。

【請求項11】 前記タイミング制御部は前記第1水平ラインを駆動するための第1水平期間では前記画素データなどと最後番目のチャンネルに追加されたブランク・データを前記データ・ドライバに供給して、前記第2水平ラインを駆動するための第2水平期間では一チャンネルずつ遅延された画素データなどと1番目のチャンネルに追加されたブランク・データを前記データ・ドライバに供給することを特徴とする請求項8記載の液晶表示装置。

【請求項12】 前記タイミング制御部は前記ゲート・ドライバ及びデータ・ドライバを制御する制御信号などと、前記 i 水平期間単位に極性反転される制御信号を発生する制御信号発生部と; 入力画素データなどを整列してデータ・イネーブル期間の間に多数の第1バスなどを通して出力すると共に前記ブランク・データを前記第1バスなどを通して供給する画素データ整列部と; 前記第1バスなどの中の最後のバスを通して伝送される画素データなど及びブランク・データなどを一チャンネル遅延させるための遅延器と; 前記制御信号にตอบสนองして前記第1バスなどを通して入力されたデータなど及びブランク・データをそのまま多数の第2バスなどを通して供給するか、前記第1バスなどを通して入力された画素データなどと前記一チャンネル遅延されたブランク・データ及び画素データなどを組み合わせて前記多数の第2バスなどを通して供給するマルチプレクサなどを具備することを特徴とする請求項8記載の液晶表示装置。

【請求項13】 前記マルチプレクサは前記第1水平ラ

インの駆動のための第1水平期間では前記第1バスなどを通して入力される画素データなどとブランク・データをそのまま前記第2バスを通して供給して、前記第2水平ラインの駆動のための第2水平期間では前記最後番目の第1バスを除いた第1バスなどを通して入力される画素データなどを一チャンネルずつシフトさせ1番目の第2バスを除いた第2バスなどを通して供給して、前記一チャンネルずつ遅延されたブランク・データ及び画素データを前記1番目の第2バスを通して供給することを特徴とする請求項12記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に関するもので、特に消費電力を節減すると共に画質を向上させることができる液晶表示装置に関するものである。

【0002】

【関連の背景技術】液晶表示装置は電界を利用して誘電異方性を有する液晶の光透過率を調節することで画像を表示するようになる。このために、液晶表示装置は液晶セルなどがマトリクス形態に配列された液晶パネルと、液晶パネルを駆動するための駆動回路とを具備する。

【0003】液晶表示パネルは液晶セルなどが画素信号により光透過率を調節することで画像を表示するようになる。駆動回路は液晶表示パネルのゲートラインなどを駆動するためのゲート・ドライバと、データラインなどを駆動するためのデータ・ドライバと、ゲート・ドライバ及びデータ・ドライバにタイミング制御信号と画素データを供給するタイミング制御部と、電源電圧を供給する電源部とを具備する。

【0004】具体的に、液晶表示装置は図1に図示されたことのように液晶セルなど(C1c)がマトリクス形態で配列された液晶パネル(2)と、液晶パネル(2)のゲートラインなど(GL乃至GLn)を駆動するためのゲート・ドライバ(4)と、液晶パネル(2)のデータラインなど(DL1乃至DLm)を駆動するためのデータ・ドライバ(6)とを具備する。

【0005】図1で液晶パネル(2)はn個のゲートラインなど(GL乃至GLn)とm個のデータラインなど(DL1乃至DLm)の交差に定義される領域毎に形成されてマトリクス形態に配列された薄膜トランジスタ(TFT)と液晶セル(C1c)とを具備する。薄膜トランジスタ(TFT)はゲートラインなど(GL乃至GLn)からのスキャン信号にตอบสนองしてデータラインなど(DL1乃至DLm)からの画素信号を液晶セル(C1c)に供給する。液晶セル(C1c)は液晶を間に置いて対面する共通電極と薄膜トランジスタに接続された画素電極を含めて等価的には液晶容量のコンデンサに表示される。

【0006】ゲート・ドライバ(4)はゲートラインな

ど(GL乃至GLn)に順次的にスキャン信号を供給して当たるゲートラインに接続された薄膜トランジスタなど(TFT)が駆動されるようにする。

【0007】データ・ドライバ(6)は画素データをアナログ画素信号に変換してゲートライン(GL)にゲート信号が供給される1水平周期期間の間に1水平ライン分のビデオ信号をデータラインなど(DL1乃至DLm)に供給する。この場合、データ・ドライバはガンマ電圧発生部(図示しない)から供給されるガンマ電圧などを利用して画素データを画素信号に変換して供給するようになる。

【0008】このような液晶表示装置は液晶の熱化を防止すると共に画像の表示品質を向上させるために液晶パネルをインバージョン駆動方法で駆動する。インバージョン駆動方法としてはフレーム・インバージョン方式(Frame Inversion System)、ライン(コラム)・インバージョン方式(Line(Column) Inversion System)、そしてドット・インバージョン方式(Dot Inversion System)が利用される。

【0009】フレーム・インバージョン駆動方法は液晶セルなどの極性が一フレームの中では同一でフレーム毎に反転されるようにする。このようなフレーム・インバージョン駆動方法はフレーム単位にフリッカが発生される問題点がある。

【0010】ライン・インバージョン駆動方法は液晶セルなどの極性が図2a及び図2bのように水平ライン毎にそして、フレーム毎に反転されるようにする。このようなライン・インバージョン駆動方式は水平方向の液晶セル間のクロストークが存在することにより水平縞模様パターンにフリッカが発生される問題点がある。

【0011】コラム・インバージョン駆動方法は液晶セルなどの極性が図3a及び図3bのように水平ライン毎にそして、フレーム毎に反転されるようにする。このようなコラム・インバージョン駆動方式は垂直方向の液晶セル間のクロストークが存在することにより垂直縞模様パターンにフリッカが発生される問題点がある。

【0012】ドット・インバージョン駆動方法は図4a及び図4bのように液晶セルなどの極性が水平及び垂直方向に隣接する液晶セルなどの総てと相反されて、フレーム毎に反転されるようにする。もう一度言ってドット・インバージョン駆動方法では奇数番目のフレームでは図4aのように左側上段の液晶セルから右側の液晶セルに進行することによりそして、下側の液晶セルなどに進行することにより正極性(+)及び負極性(-)が交替に表れるように画素信号などが液晶セルなどのそれぞれに供給されて、偶数番目のフレームでは図4bのように左側上段の液晶セルから右側の液晶セルへ進行することによりそして、下側の液晶セルなどへ進行することにより負極性(-)及び正極性(+)が固体に表れるように画素信号などが液晶セルのそれぞれに供給される。こ

のようなドット・インバージョン駆動方法は垂直及び水平方向に隣接した液晶セルなど間に発生されるフリッカが相互相殺されるようにすることで異なるインバージョン方法などに比べて優れた画質の画像を提供する。

【0013】しかし、ドット・インバージョン駆動方式はデータ・ドライバでデータラインなどに供給される画素電圧信号の極性が水平及び垂直方向にはんてんされるべきにより異なるインバージョン方法に比べて画素信号の変動量、即ち画素信号の周波数が大きいために消費電力が大きいという短所を有する。

【0014】

【発明が解決しようとする課題】従って、本発明の目的は液晶パネルを i （ここで、 i は陽の正数）ドット・インバージョン方式に駆動する場合、消費電力を著しく削減すると共に画質を向上させることができる液晶表示装置を提供することである。

【0015】

【課題を解決するための手段】前記目的を達成するために、本発明の一特徴による液晶表示装置はゲートラインなどとデータラインなどの交差と定義される領域毎に形成された液晶セルなどが i （ i は陽の正数）水平ライン単位に交替しながら隣接した相互異なるデータラインと薄膜トランジスタを通して接続された液晶パネルと；前記ゲートラインなどを駆動するゲート・ドライバと； i 水平期間単位に極性反転される制御信号に应答して入力された画素データなどの出力チャンネルを決定して一つのブラック・データを付加するマルチプレクサ・アレイと、前記画素データなど及びブラック・データを前記データ・ライン単位に極性が反転されてその極性がフレーム単位に反転される画素信号などとブラック信号に変換するデジタル・アナログ変換器アレイを含めて前記データ・ラインなどを駆動するデータ・ドライバとを具備することを特徴とする。

【0016】ここで、液晶パネルは左側に隣接したデータラインと接続された液晶セルなどに構成される第1水平ラインと；右側に隣接したデータラインと接続された液晶セルなどで構成される第2水平ラインに構成されることを特徴とする。

【0017】この場合、第1水平ラインと第2水平ラインは1水平ライン単位に交替して配置されたことを特徴とする。

【0018】これとは異なり、第1水平ラインと第2水平ラインは2水平ライン単位に交替して配置されたことを特徴とする。

【0019】そして、前記ディマルチプレクサ・アレイは前記第1水平ラインを駆動する第1水平期間では前記画素データなどの出力チャンネルを入力チャンネルと同一に維持して最後番目の出力チャンネルにブラック・データを供給して、前記第2水平ラインを駆動する第2水平期間では前記画素データなどを一チャンネルずつシフ

トさせ前記出力チャンネルに供給して一番目の出力チャンネルにブラック・データを供給することを特徴とする。

【0020】前記データ・ドライバは順次的なサンプリング信号を供給するシフト・レジスター・アレイと、前記サンプリング信号により前記画素データなどを一定チャンネルなずつ順次的にラッチして前記マルチプレクサ・アレイに同時に供給して出力するラッチ・アレイと、前記デジタル・アナログ変換器アレイからの画素信号など及びブラック信号を信号緩衝して前記データラインなどのそれぞれに供給するバッファ・アレイとを更に具備することを特徴とする。

【0021】本発明の異なる特徴による液晶表示装置はゲートラインなどとデータラインなどの交差と定義される領域毎に形成された液晶セルなどが i （ i は陽の正数）水平ライン単位に交替しながら隣接した相互異なるデータラインと薄膜トランジスタを通して接続された液晶パネルと；前記ゲートラインなどを駆動するゲート・ドライバと；入力された画素データなどとブラック・データを前記データライン単位に極性反転されてその極性がフレーム単位に反転される画素信号などとブラック信号に変換して前記データラインなどに供給するデータ・ドライバと；前記ゲート・ドライバ及びデータ・ドライバを制御すると共に i 水平期間単位に極性反転される制御信号に应答して前記画素データなどと共に一番目チャンネルまたは最後番目のチャンネルの中のいずれか一チャンネルに前記ブラック・データを追加して前記データ・ドライバに供給するタイミング制御部とを具備することを特徴とする。

【0022】ここで、液晶パネルは左側に隣接したデータラインと接続された液晶セルなどに構成される第1水平ラインと；右側に隣接したデータラインと接続された液晶セルなどで構成される第2水平ラインに構成されることを特徴とする。

【0023】この場合、第1水平ラインと第2水平ラインは1水平ライン単位に交替して配置されたことを特徴とする。

【0024】これとは異なり、第1水平ラインと第2水平ラインは2水平ライン単位に交替して配置されたことを特徴とする。

【0025】そして、タイミング制御部は前記第1水平ラインを駆動するための第1水平期間では前記画素データなどと最後番目のチャンネルに追加されたブラック・データを前記データ・ドライバに供給して、前記第2水平ラインを駆動するための第2水平期間では一チャンネルずつ遅延された画素データなどと1番目のチャンネルに追加されたブラック・データを前記データ・ドライバに供給することを特徴とする。

【0026】また、前記タイミング制御部は前記ゲート・ドライバ及びデータ・ドライバを制御する制御信号な

どと、前記 i 水平期間単位に極性反転される制御信号を発生する制御信号発生部と；入力画素データなどを整理してデータ・インエーブル期間の間に多数の第1バスなどを通して出力すると共に前記ブランク・データを前記第1バスなどを通して供給する画素データ整理部と；前記第1バスなどの中の最後のバスを通して伝送される画素データなど及びブランク・データなどを一チャンネル遅延させるための遅延器と；前記制御信号に反応して前記第1バスなどを通して入力されたデータなど及びブランク・データをそのまま多数の第2バスなどを通して供給するか、前記第1バスなどを通して入力された画素データなどと前記一チャンネル遅延されたブランク・データ及び画素データなどを組み合わせて前記多数の第2バスなどを通して供給するマルチプレクサなどを具備することを特徴とする。

【0027】ここで、マルチプレクサは前記第1水平ラインの駆動のための第1水平期間では前記第1バスなどを通して入力される画素データなどとブランク・データをそのまま前記第2バスを通して供給して、前記第2水平ラインの駆動のための第2水平期間では前記最後番目の第1バスを除いた第1バスなどを通して入力される画素データなどを一チャンネルずつシフトさせ1番目の第2バスを除いた第2バスなどを通して供給して、前記一チャンネルずつ遅延されたブランク・データ及び画素データなどを前記1番目の第2バスを通して供給することを特徴とする。

【0028】

【作用】本発明による液晶表示装置では液晶セルなどがデータラインに沿って i (i は陽の正数) 水平ライン単位に交替して隣接した相互異なるデータラインに接続されてジグザグ型に配列される。これにより、本発明による液晶表示装置はコラム・インバージョン方式に極性が決定された画素信号を供給して液晶セルなどを i ドット・インバージョン方式に駆動することができるようになる。また、本発明による液晶表示装置は i 水平期間毎に m 個の有効画素信号と共に1番目または最後番目の画素データにブランク信号を供給して前記データラインにつれてジグザグ型に配列された液晶セルなどに正確な画素信号が供給されるようにする。

【0029】また、本発明の液晶表示装置はコラム・インバージョン方式の消費電力に i ドット・インバージョン方式を駆動するようになるので i ドット・インバージョン方式の消費電力より著しく節減することができるようになると共に画質を向上させることができるようになる。

【0030】

【発明の実施態様】以下、本発明の好ましい実施例などを添付した図5乃至図14bを参照して詳細に説明する。図5は本発明の実施例による液晶表示装置を図示したことであり、図5に図示された液晶パネル(12)

と、液晶パネル(12)のゲートラインなど(G L乃至G L n)を駆動するためのゲート・ドライバ(14)と、液晶パネル(12)のデータラインなど(D L 1乃至D L m)を駆動するためのデータ・ドライバ(16)と、ゲート・ドライバ(14)及びデータ・ドライバ(16)を制御するためのタイミング制御部(18)とを具備する。

【0031】液晶パネル(12)は n 個のゲートラインなど(G L乃至G L n)と、そのゲートラインなど(G L乃至G L n)と絶縁されながら交差する $m+1$ 個のデータラインなど(D L 1乃至D L m)とを具備する。そして、液晶パネル(12)はゲートラインなど(G L乃至G L n)とデータラインなど(D L 1乃至D L m)の交差に定義される領域毎に形成された薄膜トランジスタ(T F T)と液晶セル(C l c)とを具備する。薄膜トランジスタ(T F T)はゲートライン(G L)からのスキャン信号に反応してデータラインなど(D L 1乃至D L m)からの画素信号を液晶セル(P X L)に供給する。液晶セル(P X L)は画素信号に反応して共通電極(図示しない)との間に位置する液晶を駆動することで光の透過率を調節するようになる。

【0031】特に、薄膜トランジスタ(T F T)と液晶セル(P X L)はデータライン(D L)につれて位置が左側と右側を交替するジグザグ型に配列される。もう一度言って同一のコラム(Column)に含まれる薄膜トランジスタ(T F T)と液晶セルなど(P X L)は水平ライン毎に隣接した相互に異なるデータライン(D L)と交替に接続される。

【0032】例えば、図5に図示された液晶パネル(12)の場合、奇数番目のゲートライン(G L 1、G L 3、G L 5、...)に接続された奇数番目の水平ラインの薄膜トランジスタ(T F T)などと液晶セルなど(P X L)は左側に隣接する第1乃至第 m データラインなど(D L 1乃至D L m)にそれぞれ接続される。これにより、奇数番目の水平ラインの液晶セルなど(P X L)は左側に隣接するデータライン(D L)からの画素信号を薄膜トランジスタ(T F T)を通して充電するようになる。反面、偶数番目のゲートライン(G L 2、G L 4、G L 6、...)に接続された偶数番目の水平ラインの薄膜トランジスタ(T F T)などと液晶セルなど(P X L)は右側に隣接する第2乃至第 $m+1$ データラインなど(D L 2乃至D L $m+2$)にそれぞれ接続される。これにより、偶数番目の水平ラインの液晶セルなど(P X L)は右側に隣接するデータラインからの画素信号を薄膜トランジスタ(T F T)を通して充電するようになる。

【0033】これとは異なり、図6に図示された液晶パネル(15)の場合、奇数番目のゲートライン(G L 1、G L 3、G L 5、...)に接続された奇数番目の水平ラインの薄膜トランジスタ(T F T)などと液晶セル

ルなど(PXL)は右側に隣接する第2乃至第m+1データラインなど(DL2乃至DLm+1)にそれぞれ接続される。これにより、奇数番目の水平ラインの液晶セルなど(PXL)は右側に隣接するデータラインからの画素信号を薄膜トランジスタ(TFT)を通して充電するようになる。反面、偶数番目のゲートライン(GL2、GL4、GL6、...)に接続された偶数番目の水平ラインの薄膜トランジスタ(TFT)などと液晶セルなど(PXL)は左側に隣接する第1乃至第mデータラインなど(DL1乃至DLm)にそれぞれ接続される。これにより、偶数番目の水平ラインの液晶セルなど(PXL)は左側に隣接するデータラインからの画素信号を薄膜トランジスタ(TFT)を通して充電するようになる。

【0034】タイミング制御部(18)はゲート・ドライバ(14)及びデータ・ドライバ(16)を制御するタイミング制御信号などを発生して、データ・ドライバ(16)に画素データ信号を供給する。タイミング制御部(18)から発生されるゲート・タイミング制御信号などにはゲート・スタートパルス(GSP)、ゲート・シフト・クロック信号(GSC)、ゲート出力イネーブル信号(GOE)などが含まれる。タイミング制御部(18)から発生されるデータ・タイミング制御信号などにはソース・スタートパルス(SSP)、ソース・シフト・クロック信号(SSC)、ソース出力イネーブル信号(SOE)、極性制御信号(POL)などが含まれる。

【0035】ゲート・ドライバ(41)は前記ゲート・タイミング制御信号などを利用してゲートラインなど(GL乃至GLn)に順次的にスキャン信号を供給する。これにより、ゲート・ドライバ(14)はそのスキャン信号にตอบสนองして薄膜トランジスタなど(TFT)が水平ライン単位に駆動されるようにする。

【0036】データ・ドライバ(16)は入力された画素データをアナログ画素信号に変換してゲートライン(GL)にスキャン信号が供給される1水平期間毎に1水平ライン分の画素信号をデータラインなど(DL1乃至DLm)に供給する。この場合、データ・ドライバ(16)はガンマ電圧発生部(図示しない)から供給されるガンマ電圧などを利用して画素データを画素信号に変換するようになる。

【0037】このようなデータ・ドライバ(16)はデータラインなど(DL1乃至DLm+1)単位に画素信号の極性が反転されるようにするコラム・インバージョン方式に画素信号を供給する。もう一度言って、データ・ドライバ(16)は奇数データラインなど(DL1、DL3、...)と偶数データラインなど(DL2、DL4、...)に相互相反された極性の画素信号を供給して、そのデータラインなど(DL1乃至DLm+1)に供給される画素信号の極性をフレーム単位に反転させ

るようになる。

【0038】この場合、液晶セルなど(PXL)がコラム・インバージョン方式に画素信号が供給されるデータラインなど(DL1乃至DLm+1)を基準にジグザグ型に配列されるのでその液晶セルなど(PXL)はドット・インバージョン方式に駆動される。

【0039】特に、データ・ドライバ(16)はデータラインなど(DL1乃至DLm+1)につれてジグザグ型に配列された液晶セルなど(PXL)に正確な画素信号を供給するためにデータ・ドライバ(16)は水平期間毎に交替に画素信号の出力チャンネルを変更するようになる。具体的に、データラインなど(DL1乃至DLm+1)の右側で接続された液晶セルなど(PXL)に画素信号を供給する場合にデータ・ドライバ(16)は第1乃至第mデータラインなど(DL1乃至DLm)にm個の有効画素信号を、第m+1データライン(DLm+1)にブランク信号を供給するようになる。これとは異なり、データラインなど(DL1乃至DLm+1)の左側で接続された液晶セルなど(PXL)に画素信号を供給する場合にデータ・ドライバ(16)はm個の有効画素信号を一チャンネルずつ右側にシフトさせ第2乃至第m+1データラインなど(DL2乃至DLm+1)に供給して、第1データライン(DL1)にはブランク信号を供給するようになる。

【0040】例えば、図5に図示されたことのように液晶セルなど(PXL)がデータラインなど(DL1乃至DLm+1)の右側で接続された奇数水平ラインを駆動する場合、データ・ドライバ(16)は第1乃至第mデータラインなど(DL1乃至DLm)はm個の有効画素信号を供給して、第m+1データライン(DLm+1)にはブランク信号を更に供給するようになる。そして、液晶セルなど(PXL)がデータラインなど(DL1乃至DLm+1)の左側で接続された偶数水平ラインを駆動する場合にデータ・ドライバ(16)はm個の有効画素信号を一チャンネルずつシフトさせ第2乃至第m+1データラインなど(DL2乃至DLm+1)に供給して、第1データライン(DL1)にはブランク信号を供給するようになる。

【0041】これとは異なり、図6に図示されたことのように液晶セルなど(PXL)がデータラインなど(DL1乃至DLm+1)の左側で接続された奇数水平ラインを駆動する場合、データ・ドライバ(16)はm個の有効画素信号を右側に一チャンネルずつシフトさせ第2乃至第m+1データラインなど(DL2乃至DLm+1)は供給して、第1データライン(DL1)にはブランク信号を供給するようになる。そして、液晶セルなど(PXL)がデータラインなど(DL1乃至DLm+1)の左側で接続された偶数水平ラインを駆動する場合にデータ・ドライバ(16)は第1乃至第mデータラインなど(DL1乃至DLm)はm個の有効画素信号を供

給して、第 $m+1$ データライン(DL $m+1$)にはブランク信号を更に供給するようになる。

【0042】これにより、ドット・インバージョン方式に駆動される液晶セルなど(PXL)により画質は向上されて、データ・ドライバ(16)はコラム・インバージョン方式に画素信号を供給するのでドット・インバージョン方式に画素信号を供給する場合より消費電力を著しく節減することができるようになる。

【0043】図7は図5に図示されたデータ・ドライバ(16)の具体的な構成を図示したブロック図である。 10

【0044】図7に図示されたデータ・ドライバ(16)は順次的なサンプリング信号を供給するシフト・レジスタ・アレイ(20)と、サンプリング信号にตอบสนองして画素データをラッチして出力するラッチ・アレイ(22)と、ラッチ・アレイ(22)から入力された画素データの進行経路を決定するマルチプレクサ(Multiplexer; 以下、MUXという)・アレイ(24)と、MUXアレイ(24)からの画素データをアナログ画素信号に変換するデジタル・アナログ変換(以下、DACという)・アレイ(26)と、DACアレイ(26)から 20

の画素電圧信号を緩衝して出力するバッファ・アレイ(28)とを具備する。

【0045】シフト・レジスタ・アレイ(20)に含まれる多数のシフト・レジスタなどはタイミング制御部(16)からのソース・スタートパルス(SSP)をソース・シフト・クロック信号(SSC)により順次的にシフトさせサンプリング信号を発生する。

【0046】ラッチ・アレイ(22)に含まれる多数のラッチなどはシフト・レジスタ・アレイ(20)からのサンプリング信号にตอบสนองしてタイミング制御部(18)からの画素データを一定単位ずつサンプリングして順次的にラッチする。そして、ラッチ・アレイ(20)はラッチされた画素データなどをタイミング制御部(18)からのソース出力イネーブル(SOE)にตอบสนองして同時に出力する。 30

【0047】MUXアレイ(24)はタイミング制御部(18)からの制御信号にตอบสนองして水平期間毎にラッチ・アレイ(22)から入力された画素データなどの進行経路を選択するようになる。具体的に、MUXアレイ(24)はデータラインなど(DL1乃至DL $m+1$) 40

の右側で接続された液晶セルなど(PXL)を駆動する奇数(または偶数)水平期間には入力された画素データなどをチャンネルの変更なく、出力して最後のチャンネルにはブランク・データが供給されるようにする。これとは異なり、MUXアレイ(24)はデータラインなど(DL1乃至DL $m+1$)の左側で接続された液晶セルなど(PXL)を駆動する偶数(または奇数)水平期間には入力された画素データなどを一チャンネルずつ右側にシフトさせ出力して1番目のチャンネルにはブランク・データが供給されるようにする。このためにMUXア 50

レイ(24)は m 個のMUXなどを具備して、そのMUXなどのそれぞれは隣接した二つのラッチ出力を入力してタイミング制御部(18)からの制御信号により選択的に出力するようになる。ここで、多数個のラッチなどの中の一番目と m 番目を除いた残りのラッチなどの出力は隣接した二つのMUXに公有される。そして、MUXアレイ(24)に供給される制御信号は水平期間毎に極性が反転される。

【0048】DACアレイ(26)に含まれる多数個のDACなどはMUXアレイ(24)からの画素データなど及びブランク・データをガンマ電圧部(図示しない)からの正極性及び負極性ガンマ電圧などを利用して画素信号及びブランク信号から変換して出力するようになる。特にDACアレイ(26)はタイミング制御部(18)からの極性制御信号(POL)にตอบสนองしてコラム・インバージョン駆動のために奇数番目と偶数番目の画素データを相互相反される極性の画素信号に変換して出力する。

【0049】バッファ・アレイ(28)はDACアレイ(26)から出力される画素信号及びブランク信号を信号緩衝してデータラインなど(DL1乃至DL $m+1$)それぞれへ出力する。

【0050】これにより、データラインなど(DL1乃至DL $m+1$)にはデータライン単位に極性が反転されてフレーム単位に極性が反転される画素信号が供給される。そして、奇数(または偶数)水平期間では第1乃至第 m データライン(DL1乃至DL $m+1$)には有効画素信号が、第 $m+1$ データライン(DL $m+1$)にはブランク信号が供給されて、偶数(または奇数)水平期間では第1データライン(DL1)にはブランク信号が、第2乃至第 $m+1$ データライン(DL $m+1$)には有効画素信号が供給されるようにする。これにより、データラインなど(DL1乃至DL $m+1$)につれてジグザグ型に配列された液晶セルなどがインバージョン方式に駆動することができるようになる。結果的に、データ・ドライバ(16)はコラム・インバージョン方式に駆動されながら液晶セルなどはドット・インバージョン方式に駆動することができるようになるので消費電力を著しく節減することができるようになる。

【0051】図8は本発明の異なる実施例による液晶表示装置を図示したことである。図8に図示された液晶表示装置は図5に図示された液晶表示装置と対比してタイミング制御部(40)とデータ・ドライバ(50)の機能が異なってきたことを除いては同一の構成要素などを具備する。

【0052】液晶パネル(12)はゲートラインなど(GL1乃至GL n)とデータラインなど(DL1乃至DL m)の交差に定義される領域毎に形成された薄膜トランジスタ(TFT)と液晶セル(PXL)とを具備する。薄膜トランジスタ(TFT)と液晶セル(PXL)

はデータライン(DL)につれて1が左側と右側を交替するジグザグ型に配列される。もう一度言って、同一のコラム(Column)に含まれる薄膜トランジスタ(TFT)と液晶セルなど(PXL)は水平ライン毎に隣接した相互に異なるデータライン(DL)と交替に接続される。

【0053】例えば、液晶パネル(12)は奇数(または偶数)番目の水平ラインの薄膜トランジスタ(TFT)などと液晶セルなど(PXL)は左側に隣接する第1乃至第mデータラインなど(DL1乃至DLm)にそれぞれ接続される。反面に、偶数(または奇数)番目の水平ラインの薄膜トランジスタ(TFT)などと液晶セルなど(PXL)は右側に隣接する第2乃至第m+1データラインなど(DL2乃至DLm+2)にそれぞれ接続される。

【0054】ゲート・ドライバ(14)はタイミング制御部(40)からのゲート・タイミング制御信号などを利用してゲートラインなど(GL乃至GLn)に順次的にスキャン信号を供給する。これにより、ゲート・ドライバ(14)はそのスキャン信号に应答して薄膜トランジスタなど(TFT)が水平ライン単位に駆動されるようにする。

【0055】データ・ドライバ(50)は入力された画素データをアナログ画素信号に変換してゲートライン(GL)にスキャン信号が供給される1水平期間毎に1水平ライン分の画素信号をデータラインなど(DL1乃至DLm+1)に供給する。この場合、データ・ドライバ(50)はガンマ電圧発生部(図示しない)から供給されるガンマ電圧などを利用して画素データを画素信号に変換するようになる。

【0056】このようなデータ・ドライバ(50)はデータラインなど(DL1乃至DLm+1)単位に画素信号の極性が反転されるようにするコラム・インバージョン方式に画素信号を供給する。もう一度言って、データ・ドライバ(50)は奇数データラインなど(DL1、DL3、...)と偶数データラインなど(DL2、DL4、...)に相互相反された極性の画素信号を供給して、そのデータラインなど(DL1乃至DLm+1)に供給される画素信号の極性をフレーム単位に反転させるようになる。この場合、液晶セルなど(PXL)がコラム・インバージョン方式に画素信号が供給されるデータラインなど(DL1乃至DLm+1)を基準にジグザグ型に配列されるのでその液晶セルなど(PXL)はドット・インバージョン方式に駆動される。

【0057】特に、データラインなど(DL1乃至DLm+1)につれてジグザグ型に配列された液晶セルなど(PXL)に正確な画素信号を供給するためにデータ・ドライバ(50)は奇数(または偶数)水平期間には第1データライン(DL1)にはブランク信号を、第2乃至第m+1データライン(DL2乃至DLm+1)には

有効画素信号を供給する。そして偶数(または奇数)水平期間には第1乃至第mデータライン(DL1乃至DLm)には有効画素信号を、第m+1データライン(DLm+1)にはブランク信号を供給するようになる。

【0058】タイミング制御部(40)はゲート・ドライバ(14)及びデータ・ドライバ(50)を制御するタイミング制御信号などを発生して、データ・ドライバ(50)に画素データ信号を供給する。タイミング制御部(40)から発生されるゲート・タイミング制御信号などにはゲート・スタートパルス(GSP)、ゲート・シフト・クロック信号(GSC)、ゲート出力イネーブル信号(GOE)などが含まれる。タイミング制御部(40)から発生されるデータ・タイミング制御信号などにはソース・スタートパルス(SSP)、ソース・シフト・クロック信号(SSC)、ソース出力イネーブル信号(SOE)、極性制御信号(POL)などが含まれる。

【0059】特に、タイミング制御部(40)は奇数(または偶数)水平期間では1水平ライン分のm個の画素データを一定単位ずつ順次的に供給すると共に第m+1画素データにブランク・データを供給して、偶数(または奇数)水平期間ではm個の画素データを一チャンネルずつ遅延させ供給すると共に第1画素データにブランク・データを供給するようになる。

【0060】このために、タイミング制御部(40)は制御信号などを発生する制御信号発生部(42)と、入力画素データを整列して出力する画素データ整列部(44)と、画素データ整列部(44)から出力される画素データなどの中の最後番目の画素データを遅延させるためのレジスター(46)と、画素データ整列部(44)からの画素データとレジスター(46)からの遅延された画素データを選択的に組み合わせるためのMUX(48)とを具備する。

【0061】制御信号発生部(42)は水平同期信号(H)、垂直同期信号(9)、メイン・クロック信号(MCLK)などを利用してゲート・ドライバ(14)を制御するためのゲート・タイミング制御信号などとデータ・ドライバ(50)を制御するためのデータ・タイミング制御信号などを発生するようになる。また、制御信号発生部(42)はMUX(48)を制御信号を発生するようになる。この場合、制御信号発生部(42)は水平同期信号(H)を利用して奇数水平期間及び偶数水平期間を支持する、即ち水平期間単位に極性が反転される制御信号を発生してMUX(48)に供給するようになる。画素データ整列部(44)は入力画素データを整列してデータ伝送バス構造につれて出力する。例えば、画素データ整列部(44)は3バスを通してR、G、B画素データを同時に出力するか、6バスを通して奇数R、G、B画素データと偶数R、G、B画素データを同時に出力するようになる。このようなバスなどの中の最

後のバスを除いた異なるバスなどを通して出力される画素データなどはMUX(48)に供給されて、最後のバスを通して出力される画素データはMUX(48)とレジスター(46)に共通に供給される。また、画素データ整列部(44)はデータ・インエーブル区間などの間に存在するブランク区間のブランク・データ(BK)をサンプリングしてデータ・インエーブル区間に出力することとする。

【0062】レジスター(46)は画素データ整列部(44)から出力される画素データなどの中の最後のバスを通して伝送される画素データを一次貯蔵して一チャンネルずつ遅延されるようにする。

【0063】MUX(48)は制御信号に応答して奇数(または偶数)水平期間では画素データ整列部(44)から3バスまたは6バスを通して直接入力されるm個の画素データとm+1番目のデータであるブランク・データをそのまま出力する。また、MUX(48)は制御信号の応答して偶数(または奇数)水平期間では画素データ整列部(44)から第1及び第2バスを通して入力された画素データを第2乃至第3バスにシフトさせ出力するか、第1乃至第5バスを通して入力された画素データを第2乃至第6バスへシフトさせ出力する。そして、レジスター(46)により一チャンネル遅延された最後のバス、即ち第3または第6バスの画素データを第1バスへ出力するようになる。この場合、偶数(または奇数)水平期間で第1バスの1番目のデータへはブランク期間の中のレジスター(46)に貯蔵されたブランク・データが供給される。

【0064】図9a及び図9bは奇数(または偶数)水平期間と偶数(または奇数)水平期間でタイミング制御部(40)から3バスを通してデータ・ドライバ(50)に供給される画素データとブランク・データを図示したタイミング図である。

【0065】図9aを参照すると、奇数(または偶数)水平期間でタイミング制御部(40)は第1バス(DB1)を通してm/3個の赤色の画素データ(R1、R2、R3、・・・、Rm/3)と一つのブランク・データ(BK)を、第2バス(DB2)を通してm/3個の緑色の画素データ(G1、G2、G3、・・・、Bm/3)をデータ・ドライバ(50)へ供給するようになる。このようにタイミング制御部(40)はデータ・インエーブル信号(DE)のインエーブル期間の間にm個の有効画素データ(R、G、B)を第1乃至第3バス(DB1乃至DB3)を通してデータ・ドライバ(50)へ供給する。そしてタイミング制御部(40)はインエーブル期間に続いてブランク・データ(BK)を供給する。これにより、データ・ドライバ(50)はタイミング制御部(40)からのm個の有効画素データ(R、G、B)と一つのブランク・データ(BK)を入力するようになる。そして、データ・ドライバ(50)は入力されたm

個の有効画素データ(R、G、B)をアナログ画素信号に変換して第1乃至第mデータラインなど(DL1乃至DLm)に供給すると共に一つのブランク・データ(BK)をアナログ・ブランク信号に変換して第m+1データライン(DLm+1)に供給することができるようになる。

【0066】図9bを参照すると、偶数(または奇数)水平期間でタイミング制御部(40)はm/3個の赤色の画素データ(R1、R2、R3、・・・、Rm/3)を第2バス(DB2)へシフトさせデータ・ドライバ(50)に供給して、m/3個の緑色の画素データ(G1、G2、G3、・・・、Bm/3)を第3バス(DB3)へシフトさせ供給するようになる。そして、タイミング制御部(40)は一チャンネルずつ遅延された一つのブランク・データ(BK)とm/3個の青色の画素データ(B1、B2、B3、・・・、Bm/3)を第1バス(DB1)を通してデータ・ドライバ(50)へ供給するようになる。このようにタイミング制御部(40)はデータ・インエーブル信号(DE)のインエーブル期間の間に一つのブランク・データ(BK)と一チャンネルずつシフトされ阿m-1個の有効画素データ(R、G、B)を第1乃至第3バス(DB1乃至DB3)を通してデータ・ドライバ(50)に供給する。そして、タイミング制御部(40)はインエーブル期間に続いて一チャンネルがシフトされた最後の有効画素データ(Bm/3)を更に供給する。これにより、データ・ドライバ(50)はタイミング制御部(40)からの一つのブランク・データ(BK)とm個の有効画素データ(R、G、B)を入力するようになる。そして、データ・ドライバ(50)は一チャンネルずつシフトされて入力されたm個の有効画素データ(R、G、B)をアナログ・ブランク信号に変換して第2乃至第m+1データライン(DL2乃至DLm+1)に供給すると共に一つのブランク・データ(BK)をアナログ・ブランク信号に変換して第1データライン(DL1)に供給することができるようになる。

【0067】図10a及び図10bは奇数(または偶数)水平期間と偶数(または奇数)水平期間でタイミング制御部(40)から6バスを通してデータ・ドライバ(50)に供給される画素データとブランク・データを図示したタイミング図である。

【0068】図10aを参照すると、奇数(または偶数)水平期間でタイミング制御部(40)は第1バス(DB1)を通してm/6個の奇数赤色の画素データ(OR1、OR2、OR3、・・・、ORm/6)と一つのブランク・データ(BK)を、第2バス(DB2)を通してm/6個の奇数緑色の画素データ(OG1、OG2、OG3、・・・、OGm/6)を、第3バス(DB3)を通してm/6個の奇数青色の画素データ(OB1、OB2、OB3、・・・、OBm/6)を、第4バ

ス(DB4)を通して $m/6$ 個の偶数赤色の画素データ(ER1、ER2、ER3、・・・、ER $m/6$)を、第5バス(DB2)を通して $m/6$ 個の偶数緑色の画素データ(EG1、EG2、EG3、・・・、EG $m/6$)を、第6バス(DB6)を通して $m/6$ 個の偶数青色の画素データ(EB1、EB2、EB3、・・・、EB $m/6$)をデータ・ドライバ(50)へ供給するようになる。このようにタイミング制御部(40)はデータ・イネーブル信号(DE)のイネーブル区間の間に m 個の有効画素データ(R、G、B)を第1乃至第6バス(DB1乃至DB6)を通してデータ・ドライバ(50)へ供給する。そしてタイミング制御部(40)はイネーブル期間に続いてブランク・データ(BK)を供給する。これにより、データ・ドライバ(50)は m 個の有効画素データ(R、G、B)と一つのブランク・データ(BK)を入力するようになる。そして、データ・ドライバ(50)は m 個の有効画素データ(R、G、B)をアナログ画素信号に変換して第1乃至第 m データラインなど(DL1乃至DL m)に供給すると共に一つのブランク・データ(BK)をアナログ・ブランク信号に変換して第 $m+1$ データライン(DL $m+1$)に供給することができるようになる。

【0069】図10bを参照すると、偶数(または奇数)水平期間でタイミング制御部(40)は $m/6$ 個の奇数赤色の画素データ(OR1、OR2、OR3、・・・、OR $m/6$)を第2バス(DB2)へシフトさせデータ・ドライバ(50)に供給して、 $m/6$ 個の奇数緑色の画素データ(OG1、OG2、OG3、・・・、OB $m/3$)を第4バス(DB4)へ、 $m/6$ 個の奇数青色の画素データ(OB1、OB2、OB3、・・・、OB $m/6$)を第5バス(DB5)へ、 $m/6$ 個の偶数赤色の画素データ(ER1、ER2、ER3、・・・、ER $m/6$)を、第5バス(DB5)を通して $m/6$ 個の偶数緑色の画素データ(EG1、EG2、EG3、・・・、EG $m/6$)を第6バス(DB6)へシフトさせデータ・ドライバ(50)に供給するようになる。そして、タイミング制御部(40)は一チャンネルずつ遅延された一つのブランク・データ(BK)と $m/6$ 個の偶数青色の画素データ(EB1、EB2、EB3、・・・、EB $m/6$)を第1バス(DB1)を通してデータ・ドライバ(50)に供給するようになる。このようにタイミング制御部(40)はデータ・イネーブル区間の間に一チャンネルずつシフトされた一つのブランク・データ(BK)と $m+1$ 個の有効画素データ(R、G、B)を第1乃至第6バス(DB1乃至DB6)を通してデータ・ドライバ(50)へ供給する。そしてタイミング制御部(40)はイネーブル期間に続いて一チャンネルがシフトされた最後の有効画素データ(EB $m/6$)を更に供給する。これにより、データ・ドライバ(50)は一つのブランク・データ(BK)と m 個の有効画素データ

(R、G、B)を入力するようになる。そして、データ・ドライバ(50)は一チャンネルずつシフトされて入力された m 個の有効画素データ(R、G、B)をアナログ・ブランク信号に変換して第2乃至第 $m+1$ データライン(DL2乃至DL $m+1$)に供給すると共に一つのブランク・データ(BK)をアナログ・ブランク信号に変換して第1データライン(DL1)に供給することができるようになる。

【0070】このようにタイミング制御部(40)で水平期間毎に m 個の有効画素データと共に1番目または最後の画素データにブランク・データを供給するようになる。そして、データ・ドライバ(50)は m 個の有効画素データと一つのブランク・データをコラム・インバージョン方式の画素信号及びブランク信号に変換して液晶パネル(12、15)に供給する。この結果、液晶パネル(12、15)はドット・インバージョン方式に駆動される。

【0071】一方、液晶パネル(12、15)がドット・インバージョン方式に駆動される場合、ウィンドウ・シャット・ダウン(Window Shut、Down)の際に特定のドット・パターンを浮かべる場合、フリッカが発生するようになる。これは異なるパターンなどは30Hz成分になることでその30Hz成分のフリッカが発生されるためである。このようなフリッカを防止するために垂直2ドット・インバージョン方式を採択してフリッカ成分が60Hzになるようにする。この場合、フリッカの周波数が垂直駆動の周波数と同一になり人がそのフリッカを認知できなくなる。

【0072】図11は垂直2ドット・インバージョン駆動のための本発明の異なる実施例による液晶表示装置を図示したことである。

【0073】図11に図示された液晶表示装置は液晶セルのマトリックスを有する液晶パネル(52)と、液晶パネル(52)のゲートラインなど(GL乃至GL n)を駆動するためのゲート・ドライバ(54)と、液晶パネル(52)のデータラインなど(DL1乃至DL m)を駆動するためのデータ・ドライバ(56)と、ゲート・ドライバ(54)及びデータ・ドライバ(56)を制御するためのタイミング制御部(58)とを具備する。

【0074】液晶パネル(52)は n 個のゲートラインなど(GL乃至GL n)と、そのゲートラインなど(GL乃至GL n)と絶縁されながら交差する $m+1$ 個のデータラインなど(DL1乃至DL m)とを具備する。そして、液晶パネル(52)はゲートラインなど(GL乃至GL n)とデータラインなど(DL1乃至DL m)の交差と定義される領域毎に形成された薄膜トランジスタ(TFT)と液晶セル(PXL)とを具備する。薄膜トランジスタ(TFT)はゲートライン(GL)からのスキャン信号にตอบสนองしてデータラインなど(DL1乃至DL m)からの画素信号を液晶セル(PXL)に供給す

る。液晶セル(PXL)は画素信号に应答して共通電極(図示しない)との間に位置する液晶を駆動することで光の透過率を調節するようになる。

【0075】特に、薄膜トランジスタ(TFT)と液晶セル(PXL)はデータライン(DL)につれて2水平単位にその位置が左側と右側を交替するジグザグ型に配列される。もう一度言って、同一のコラム(Column)に含まれる薄膜トランジスタ(TFT)と液晶セルなど(PXL)は2個ずつ水平ライン毎に隣接した相互に異なるデータライン(DL)と交替に接続される。

【0076】例えば、図11に図示された液晶パネル(52)の場合、 $4k-3$ (ここで、 k は陽の正数)及び $4k-2$ 番目のゲートライン(GL1、GL2、GL5、GL6、...)に接続された $4k-3$ 及び $4k-2$ 番目の水平ラインの薄膜トランジスタ(TFT)などと液晶セルなど(PXL)は左側に隣接する第1乃至第 m データラインなど(DL1乃至DL m)にそれぞれ接続される。これにより、 $4k-3$ 及び $4k-2$ 番目の水平ラインの液晶セルなど(PXL)は左側に隣接するデータライン(DL)からの画素信号を薄膜トランジスタ(TFT)を通して充電するようになる。反面に、 $4k-1$ 及び $4k$ 番目のゲートライン(GL3、GL4、GL7、GL8...)に接続された $4k-1$ 及び $4k$ 番目の水平ラインの薄膜トランジスタ(TFT)などと液晶セルなど(PXL)は右側に隣接する第2乃至第 $m+1$ データラインなど(DL2乃至DL $m+1$)にそれぞれ接続される。これにより、 $4k-1$ 及び $4k$ 番目の水平ラインの液晶セルなど(PXL)は右側に隣接するデータラインからの画素信号を薄膜トランジスタ(TFT)を通して充電するようになる。

【0077】これとは異なり、図12に図示された液晶パネル(62)の場合、 $4k-3$ 及び $4k-2$ 番目のゲートライン(GL1、GL2、GL5、GL6、...)に接続された $4k-3$ 及び $4k-2$ 番目の水平ラインの薄膜トランジスタ(TFT)などと液晶セルなど(PXL)は右側に隣接する第2乃至第 $m+1$ データラインなど(DL2乃至DL $m+1$)にそれぞれ接続される。これにより、 $4k-3$ 及び $4k-2$ 番目の水平ラインの液晶セルなど(PXL)は右側に隣接するデータラインからの画素信号を薄膜トランジスタ(TFT)を通して充電するようになる。反面に、 $4k-1$ 及び $4k$ 番目のゲートライン(GL3、GL4、GL7、GL8、...)に接続された $4k-1$ 及び $4k$ 番目の水平ラインの薄膜トランジスタ(TFT)などと液晶セルなど(PXL)は左側に隣接する第1乃至第 m データラインなど(DL1乃至DL m)にそれぞれ接続される。これにより、 $4k-1$ 及び $4k$ 番目の水平ラインの液晶セルなど(PXL)は左側に隣接するデータラインからの画素信号を薄膜トランジスタ(TFT)を通して充電するようになる。

【0078】タイミング制御部(58)はゲート・ドライバ(54)及びデータ・ドライバ(56)を制御するタイミング制御信号などを発生して、データ・ドライバ(56)に画素データ信号を供給する。タイミング制御部(58)から発生されるゲート・タイミング制御信号などにはゲート・スタートパルス(GSP)、ゲート・シフト・クロック信号(GSC)、ゲート出力イネーブル信号(GOE)などが含まれる。タイミング制御部(58)から発生されるデータ・タイミング制御信号などにはソース・スタートパルス(SSP)、ソース・シフト・クロック信号(SSC)、ソース出力イネーブル信号(SOE)、極性制御信号(POL)などが含まれる。

【0079】ゲート・ドライバ(54)は前記ゲート・タイミング制御信号などを利用してゲートラインなど(GL乃至GL n)に順次的にスキャン信号を供給する。これにより、ゲート・ドライバ(54)はそのスキャン信号に应答して薄膜トランジスタなど(TFT)が水平ライン単位に駆動されるようにする。

【0080】データ・ドライバ(56)は入力された画素データをアナログ画素信号に変換してゲートライン(GL)にスキャン信号が供給される1水平期間毎に1水平ライン分の画素信号をデータラインなど(DL1乃至DL m)に供給する。この場合、データ・ドライバ(56)はガンマ電圧発生部(図示しない)から供給されるガンマ電圧などを利用して画素データを画素信号に変換するようになる。

【0081】このようなデータ・ドライバ(56)はデータラインなど(DL1乃至DL $m+1$)単位に画素信号の極性が反転されるようにするコラム・インバージョン方式に画素信号を供給する。もう一度言って、データ・ドライバ(56)は奇数データラインなど(DL1、DL3、...)と偶数データラインなど(DL2、DL4、...)に相互相反された極性の画素信号を供給して、そのデータラインなど(DL1乃至DL $m+1$)に供給される画素信号の極性をフレーム単位に反転させるようになる。

【0082】この場合、液晶セルなど(PXL)がコラム・インバージョン方式に画素信号が供給されるデータラインなど(DL1乃至DL $m+1$)を基準に2水平ライン毎に交替しながら相互隣接したデータラインと接続されるのでその液晶セルなど(PXL)は垂直2ドット・インバージョン方式に駆動される。

【0083】特に、データラインなど(DL1乃至DL $m+1$)につれて2水平ライン毎に交替に位置が変わる液晶セルなど(PXL)に正確な画素信号を供給するため、データ・ドライバ(56)は2水平期間毎に交替に画素信号の出力チャンネルを変更するようになる。具体的に、データラインなど(DL1乃至DL $m+1$)の右側で接続された液晶セルなど(PXL)に画素信号を供

給する場合にデータ・ドライバ(56)は第1乃至第mデータラインなど(DL1乃至DLm)にm個の有効画素信号を、第m+1データライン(DLm+1)にblank信号を供給するようになる。これとは異なり、データラインなど(DL1乃至DLm+1)の左側で接続された液晶セルなど(PXL)に画素信号を供給する場合にデータ・ドライバ(56)はm個の有効画素信号を一チャンネルずつ右側にシフトさせ第2乃至第m+1データラインなど(DL2乃至DLm+1)に供給して、第1データライン(DL1)にはblank信号を供給するようになる。

【0084】例えば、図11に図示されたことのように液晶セルなど(PXL)がデータラインなど(DL1乃至DLm+1)の右側で接続された4k-3及び4k-2番目水平ラインを駆動する場合、データ・ドライバ(56)は第1乃至第mデータラインなど(DL1乃至DLm)はm個の有効画素信号を供給して、第m+1データライン(DLm+1)にはblank信号を更に供給するようになる。そして、液晶セルなど(PXL)がデータラインなど(DL1乃至DLm+1)の左側で接続された4k-1及び4k番目水平ラインを駆動する場合にデータ・ドライバ(56)はm個の有効画素信号を一チャンネルずつシフトさせ第2乃至第m+1データラインなど(DL2乃至DLm+1)に供給して、第1データライン(DL1)にはblank信号を供給するようになる。

【0085】これとは異なり、図12に図示されたことのように液晶セルなど(PXL)がデータラインなど(DL1乃至DLm+1)の左側で接続された4k-3及び4k-2番目水平ラインを駆動する場合、データ・ドライバ(56)はm個の有効画素信号を右側に一チャンネルずつシフトさせ第2乃至第m+1データラインなど(DL2乃至DLm+1)は供給して、第1データライン(DL1)にはblank信号を供給するようになる。そして、液晶セルなど(PXL)がデータラインなど(DL1乃至DLm+1)の左側で接続された4k-1及び4k番目水平ラインを駆動する場合にデータ・ドライバ(56)は第1乃至第mデータラインなど(DL1乃至DLm)はm個の有効画素信号を供給して、第m+1データライン(DLm+1)にはblank信号を更に供給するようになる。

【0086】このようなデータ・ドライバ(56)の具体的な構成は図7に図示したことと同一である。ただ、MUXアレイ(24)が2水平周期に画素データのチャンネルを変更することに差を有する。これに同一の構成及び作用に対する詳細な説明は省略する。

【0087】図7を参照すると、ラッチ・アレイ(22)はシフト・レジスタ・アレイ(20)のサンプリング信号にตอบสนองしてタイミング制御部(58)からの画素データをラッチして出力する。

【0088】MUXアレイ(24)はタイミング制御部(58)からの制御信号にตอบสนองして2水平期間毎にラッチ・アレイ(22)から入力された画素データなどの進行経路を選択するようになる。具体的に、MUXアレイ(24)はデータラインなど(DL1乃至DLm+1)の右側で接続された液晶セルなど(PXL)を駆動する4k-3及び4k-2(または4k-1及び4k)番目水平期間には入力された画素データなどをチャンネルの変更なく、出力して最後のチャンネルにはblank・データが供給されるようにする。これとは異なり、MUXアレイ(24)はデータラインなど(DL1乃至DLm+1)の左側で接続された液晶セルなど(PXL)を駆動する4k-1及び4k(または4k-3及び4k-2)番目水平期間には入力された画素データなどを一チャンネルずつ右側にシフトさせ出力して1番目のチャンネルにはblank・データが供給されるようにする。このためにMUXアレイ(24)に入力される制御信号は2水平期間単位に極性が反転される。

【0089】DACアレイ(26)はMUXアレイ(24)からの画素データなど及びblank・データをコラム・インバージョン駆動のための極性制御信号(POL)にตอบสนองして隣接した相互相反される極性を有する画素信号及びblank信号に変換して出力する。

【0090】バッファ・アレイ(28)はDACアレイ(26)から出力される画素信号及びblank信号をデータラインなど(DL1乃至DLm+1)それぞれへ出力する。

【0091】これにより、データラインなど(DL1乃至DLm+1)には図13a及び図13bに図示されたことのようにデータライン単位に極性が反転されてフレーム単位に極性が反転される画素信号及びblank信号が供給される。

【0092】図13a及び図13bは奇数フレームと偶数フレームで図11に図示された液晶パネル(52)のデータラインなど(DL1乃至DLm+1)に供給される画素信号とblank信号を表したことである。

【0093】図13aを参照すると、奇数フレームで4k-3及び4k-2番目水平期間で(1H、2H、5H、6H、...)にm/3個ずつの赤色、緑色及び青色の画素データ(R、G、B)は第1乃至第mデータラインなど(DL1乃至DLm)に供給されて、これと同時にblank・データ(BK)が第m+1データライン(DLm+1)に供給される。そして、4k-1及び4k番目水平期間で(2H、3H、...、n-1H、nH)にm/3個ずつの赤色、緑色及び青色の画素データ(R、G、B)は第2乃至第m+1データラインなど(DL2乃至DLm+1)に供給されて、これと同時にblank・データ(BK)が第1データライン(DL1)に供給される。このような奇数フレームの間に奇数データラインなど(DL1、DL3、...、DLm+

1)にはいつも負極性の画素信号が印加される。これにより、データライン(DL)を基準に2水平ライン単位に位置が交替される液晶セルなど(PXL)は垂直2ドット・インバージョン方式に駆動される。

【0094】図13bを参照すると、偶数フレームで4k-3及び4k-2番目水平期間で(1H、2H、5H、6H、...)にm/3個ずつの赤色、緑色及び青色の画素データ(R、G、B)は第2乃至第m+1データラインなど(DL2乃至DLm+1)に供給されて、これと同時にブランク・データ(BK)が第1データライン(DL1)に供給される。そして、4k-1及び4k番目水平期間で(2H、3H、...、n-1H、nH)にm/3個ずつの赤色、緑色及び青色の画素データ(R、G、B)は第1乃至第mデータラインなど(DL1乃至DLm)に供給されて、これと同時にブランク・データ(BK)が第1+1データライン(DLm+1)に供給される。このような偶数フレームの間に奇数データラインなど(DL1、DL3、...、DLm+1)には前記奇数フレームとは反対にいつも負極性の画素信号が印加されて、偶数データラインなど(DL2、DL4、...、DLm)にはいつも正極性の画素信号が印加される。これにより、データライン(DL)を基準に2水平ライン単位に位置が交替される液晶セルなど(PXL)は垂直2ドット・インバージョン方式に駆動される。

【0095】図14は垂直2ドット・インバージョンのための本発明の異なる実施例による液晶表示装置を図示したことである。

【0096】図14に図示された液晶表示装置は図11に図示された液晶表示装置と対比してタイミング制御部(70)とデータ・ドライバ(80)の機能が異なったことを除いて同一の構成要素などを具備する。

【0097】液晶パネル(52)はゲートラインなど(GL乃至GLn)とデータラインなど(DL1乃至DLm)の交差と定義される領域毎に形成された薄膜トランジスタ(TFT)と液晶セル(PXL)とを具備する。薄膜トランジスタ(TFT)と液晶セル(PXL)はデータライン(DL)につれて2水平単位にその位置が左側と右側を交替するジグザグ型に配列される。もう一度言って、同一のコラム(Column)に含まれる薄膜トランジスタ(TFT)と液晶セルなど(PXL)は2個ずつ水平ライン毎に隣接した相互に異なるデータライン(DL)と交替に接続される。

【0098】例えば、4k-3及び4k-2(または4k-1及び4k)番目のゲートライン(GL1、GL2、GL5、GL6、...)に接続された4k-3及び4k-2(または4k-1及び4k)番目の水平ラインの薄膜トランジスタ(TFT)などと液晶セルなど(PXL)は左側に隣接する第1乃至第mデータラインなど(DL1乃至DLm)にそれぞれ接続される。これ

により、4k-3及び4k-2番目の水平ラインの液晶セルなど(PXL)は左側に隣接するデータライン(DL)からの画素信号を薄膜トランジスタ(TFT)を通して充電するようになる。反面に、4k-1及び4k(または4k-3及び4k-2)番目のゲートライン(GL3、GL4、GL7、GL8...)に接続された4k-1及び4k(または4k-3及び4k-2)番目の水平ラインの薄膜トランジスタ(TFT)などと液晶セルなど(PXL)は右側に隣接する第2乃至第m+1データラインなど(DL2乃至DLm+2)にそれぞれ接続される。これにより、4k-1及び4k(または4k-3及び4k-2)番目の水平ラインの液晶セルなど(PXL)は右側に隣接するデータラインからの画素信号を薄膜トランジスタ(TFT)を通して充電するようになる。

【0099】ゲート・ドライバ(54)はタイミング制御部(70)からのゲート・タイミング制御信号などを利用してゲートラインなど(GL乃至GLn)に順次的にスキャン信号を供給する。

【0100】データ・ドライバ(80)は入力された画素データをアナログ画素信号に変換してゲートライン(GL)にスキャン信号が供給される1水平期間毎に1水平ライン分の画素信号をデータラインなど(DL1乃至DLm)に供給する。この場合、データ・ドライバ(80)はガンマ電圧発生部(図示しない)から供給されるガンマ電圧などを利用して画素データを画素信号に変換するようになる。

【0101】このようなデータ・ドライバ(80)はデータラインなど(DL1乃至DLm+1)単位に画素信号の極性が反転されるようにするコラム・インバージョン方式に画素信号を供給する。もう一度言って、データ・ドライバ(80)は奇数データラインなど(DL1、DL3、...)と偶数データラインなど(DL2、DL4、...)に相互相反された極性の画素信号を供給して、そのデータラインなど(DL1乃至DLm+1)に供給される画素信号の極性をフレーム単位に反転させるようになる。

【0102】この場合、液晶セルなど(PXL)がコラム・インバージョン方式に画素信号が供給されるデータラインなど(DL1乃至DLm+1)を基準に2水平ライン毎に交替しながら相互隣接したデータラインと接続されるのでその液晶セルなど(PXL)は垂直2ドット・インバージョン方式に駆動される。

【0103】特に、データラインなど(DL1乃至DLm+1)につれて2水平ライン毎に交替に位置が変わる液晶セルなど(PXL)に正確な画素信号を供給するため、データ・ドライバ(56)は4k-3及び4k-2(または4k-1及び4k)番目の水平期間には第1データライン(DL1)にはブランク信号を、第2乃至第m+1データラインなど(DL2乃至DLm+1)には

有効画素信号を供給する。そして、 $4k-1$ 及び $4k$ （または $4k-3$ 及び $4k-2$ ）番目水平期間には第1乃至第 m データラインなど（ $DL1$ 乃至 DLm ）には有効画素信号を、第 $m+1$ データライン（ $DLm+1$ ）にはblank信号を供給するようになる。

【0104】タイミング制御部（70）はゲート・ドライバ（54）及びデータ・ドライバ（80）を制御するタイミング制御信号などを発生して、データ・ドライバ（80）に画素データ信号を供給する。タイミング制御部（70）から発生されるゲート・タイミング制御信号などにはゲート・スタートパルス（GSP）、ゲート・シフト・クロック信号（GSC）、ゲート出力イネーブル信号（GOE）などが含まれる。タイミング制御部（70）から発生されるデータ・タイミング制御信号などにはソース・スタートパルス（SSP）、ソース・シフト・クロック信号（SSC）、ソース出力イネーブル信号（SOE）、極性制御信号（POL）などが含まれる。

【0105】特にタイミング制御部（70）は $4k-3$ 及び $4k-2$ （または $4k-1$ 及び $4k$ ）番目の水平期間には1水平ライン分である m 個の画素データを一定単位ずつ順次的に供給すると共に第 $m+1$ 画素データにblank・データを供給して、 $4k-1$ 及び $4k$ （または $4k-3$ 及び $4k-2$ ）水平期間には m 個の画素データを一チャンネルずつ遅延させ供給すると共に第1画素データにblank信号を供給するようになる。

【0106】このために、タイミング制御部（70）は制御信号などを発生する制御信号発生部（72）と、入力画素データを整列して出力する画素データ整列部（74）と、画素データ整列部（74）から出力される画素データなどの最後の番目の画素データを遅延させるためのレジスタ（76）と、画素データ整列部（74）からの画素データとレジスタ（76）からの遅延された画素データを選択的に組み合わせるためのMUX（78）とを具備する。

【0107】制御信号発生部（72）は水平同期信号（H）、垂直同期信号（9）、メイン・クロック信号（MCLK）などを利用してゲート・ドライバ（54）を制御するためのゲート・タイミング制御信号などデータ・ドライバ（80）を制御するためのデータ・タイミング制御信号などを発生するようになる。また、制御信号発生部（72）はMUX（78）を制御信号を発生するようになる。この場合、制御信号発生部（72）は水平同期信号（H）を利用して $4k-3$ 及び $4k-2$ 番目の水平期間及び $4k-1$ 及び $4k$ 番目の水平期間を支持する、即ち2水平期間単位に極性が反転される制御信号を発生してMUX（78）に供給する。

【0108】画素データ整列部（74）は入力画素データを整列してデータ伝送バス構造につれて出力する。例えば、画素データ整列部（74）は3バスを通してR、

G、B画素データを同時に出力するか、6バスを通して奇数R、G、B画素データと偶数R、G、B画素データを同時に出力するようになる。このようなバスなどの中の最後のバスを除いた異なるバスなどを通して出力される画素データなどはMUX（78）に供給されて、最後のバスを通して出力される画素データはMUX（78）とレジスタ（76）に共通に供給される。また、画素データ整列部（74）はデータ・インエーブル区間などの間に存在するblank区間のblank・データ（BK）をサンプリングしてデータ・インエーブル区間に出力することとする。

【0109】レジスタ（76）は画素データ整列部（74）から出力される画素データなどの中の最後のバスを通して伝送される画素データを一次貯蔵して一チャンネルずつ遅延されるようにする。

【0110】MUX（78）は制御信号にตอบสนองして $4k-3$ 及び $4k-2$ （または $4k-1$ 及び $4k$ ）番目水平期間では画素データ整列部（74）から3バスまたは6バスを通して直接入力される m 個の画素データと $m+1$ 番目のデータであるblank・データをそのまま出力する。また、MUX（78）は制御信号のตอบสนองして $4k-1$ 及び $4k$ （または $4k-3$ 及び $4k-2$ ）番目水平期間では画素データ整列部（74）から第1及び第2バスを通して入力された画素データを第2乃至第3バスにシフトさせ出力するか、第1乃至第5バスを通して入力された画素データを第2乃至第6バスへシフトさせ出力する。そして、レジスタ（76）により一チャンネル遅延された最後のバス、即ち第3または第6バスの画素データを第1バスへ出力するようになる。この場合、 $4k-1$ 及び $4k$ （または $4k-3$ 及び $4k-2$ ）番目水平期間で第1バスの1番目のデータへはblank期間の中のレジスタ（76）に貯蔵されたblank・データが供給される。

【0111】このような構成を有するタイミング制御部（70）で $4k-3$ 及び $4k-2$ （または $4k-1$ 及び $4k$ ）番目水平期間と $4k-1$ 及び $4k$ （または $4k-3$ 及び $4k-2$ ）番目水平期間で3バスまたは6バスを通してデータ・ドライバ（80）に供給される画素データとblank・データは前述した図9a乃至図10bのようである。

【0112】図9aを参照すると、 $4k-3$ 及び $4k-2$ （または $4k-1$ 及び $4k$ ）番目水平期間でタイミング制御部（70）は第1バス（DB1）を通して $m/3$ 個の赤色の画素データ（R1、R2、R3、・・・、R $m/3$ ）と一つのblank・データ（BK）を、第2バス（DB2）を通して $m/3$ 個の緑色の画素データ（G1、G2、G3、・・・、G $m/3$ ）を、第3バス（DB3）を通して $m/3$ 個の青色の画素データ（B1、B2、B3、・・・、B $m/3$ ）をデータ・ドライバ（80）へ供給するようになる。このようにタイミング制御

部(70)はデータ・イネーブル信号(DE)のイネーブル期間の間にm個の有効画素データ(R、G、B)を第1乃至第3バス(DB1乃至DB3)を通してデータ・ドライバ(80)へ供給する。そしてタイミング制御部(70)はイネーブル期間に続いてブランク・データ(BK)を供給する。これにより、データ・ドライバ(80)はm個の有効画素データ(R、G、B)と一つのブランク・データ(BK)を入力するようになる。そして、データ・ドライバ(80)はm個の有効画素データ(R、G、B)をアナログ画素信号に変換して第1乃至第mデータラインなど(DL1乃至DLm)に供給すると共に一つのブランク・データ(BK)をアナログ・ブランク信号に変換して第m+1データライン(DLm+1)に供給することができるようになる。

【0113】図9bを参照すると、4k-1及び4k(または4k-3及び4k-2)番目水平期間でタイミング制御部(70)はm/3個の赤色の画素データ(R1、R2、R3、・・・、Rm/3)を第2バス(DB2)へシフトさせデータ・ドライバ(80)に供給して、m/3個の緑色の画素データ(G1、G2、G3、・・・、Bm/3)を第3バス(DB3)へシフトさせ供給するようになる。そして、タイミング制御部(70)は一チャンネルずつ遅延された一つのブランク・データ(BK)とm/3個の青色の画素データ(B1、B2、B3、・・・、Bm/3)を第1バス(DB1)を通してデータ・ドライバ(80)へ供給するようになる。このようにタイミング制御部(70)はデータ・イネーブル信号(DE)のイネーブル区間の間に一つのブランク・データ(BK)と一チャンネルずつシフトされたm-1個の有効画素データ(R、G、B)を第1乃至第3バス(DB1乃至DB3)を通してデータ・ドライバ(80)に供給する。そして、タイミング制御部(70)はイネーブル期間に続いて一チャンネルがシフトされた最後の有効画素データ(Bm/3)を更に供給する。これにより、データ・ドライバ(70)は一つのブランク・データ(BK)とm個の有効画素データ(R、G、B)を入力するようになる。そして、データ・ドライバ(70)は一チャンネルずつシフトされたm個の有効画素データ(R、G、B)をアナログ・ブランク信号に変換して第2乃至第m+1データライン(DL2乃至DLm+1)に供給すると共に一つのブランク・データ(BK)をアナログ・ブランク信号に変換して第1データライン(DL1)に供給することができるようになる。

【0114】図10aを参照すると、4k-3及び4k-2(または4k-1及び4k)番目のタイミング制御部(70)は第1バス(DB1)をm/6個の奇数赤色の画素データ(OR1、OR2、OR3、・・・、ORm/6)と一つのブランク・データ(BK)を、第2バス(DB2)を通してm/6個の奇数緑色の画素データ

(OG1、OG2、OG3、・・・、OGm/6)を、第3バス(DB3)を通してm/6個の奇数青色の画素データ(OB1、OB2、OB3、・・・、OBm/6)を、第4バス(DB4)を通してm/6個の偶数赤色の画素データ(ER1、ER2、ER3、・・・、ERm/6)を、第5バス(DB2)を通してm/6個の偶数緑色の画素データ(EG1、EG2、EG3、・・・、EGm/6)を、第6バス(DB6)を通してm/6個の偶数青色の画素データ(EB1、EB2、EB3、・・・、EBm/6)をデータ・ドライバ(80)へ供給するようになる。このようにタイミング制御部(70)はデータ・イネーブル信号(DE)のイネーブル区間の間にm個の有効画素データ(R、G、B)を第1乃至第6バス(DB1乃至DB6)を通してデータ・ドライバ(80)へ供給する。そしてタイミング制御部(70)はイネーブル期間に続いてブランク・データ(BK)を供給する。これにより、データ・ドライバ(80)はm個の有効画素データ(R、G、B)と一つのブランク・データ(BK)を入力するようになる。そして、データ・ドライバ(80)はm個の有効画素データ(R、G、B)をアナログ画素信号に変換して第1乃至第mデータラインなど(DL1乃至DLm)に供給すると共に一つのブランク・データ(BK)をアナログ・ブランク信号に変換して第m+1データライン(DLm+1)に供給することができるようになる。

【0115】図10bを参照すると、4k-1及び4k(または4k-3及び4k-2)番目水平期間でタイミング制御部(70)はm/6個の奇数赤色の画素データ(OR1、OR2、OR3、・・・、ORm/6)を第2バス(DB2)へシフトさせデータ・ドライバ(80)に供給して、m/6個の奇数緑色の画素データ(OG1、OG2、OG3、・・・、OBm/3)を第3バス(DB3)へ、m/6個の奇数青色の画素データ(OB1、OB2、OB3、・・・、OBm/6)を第4バス(DB4)へ、m/6個の偶数赤色の画素データ(ER1、ER2、ER3、・・・、ERm/6)を第5バス(DB5)へ、m/6個の偶数緑色の画素データ(EG1、EG2、EG3、・・・、EGm/6)を第6バス(DB6)へシフトさせデータ・ドライバ(80)に供給するようになる。そして、タイミング制御部(70)は一チャンネルずつ遅延された一つのブランク・データ(BK)とm/6個の偶数青色の画素データ(EB1、EB2、EB3、・・・、EBm/6)を第1バス(DB1)を通してデータ・ドライバ(80)に供給するようになる。このようにタイミング制御部(70)はデータ・イネーブル区間の間に一チャンネルずつシフトされた一つのブランク・データ(BK)とm-1個の有効画素データ(R、G、B)を第1乃至第6バス(DB1乃至DB6)を通してデータ・ドライバ(80)へ供給する。そしてタイミング制御部(70)はイネーブル

区間に続いて一チャンネルがシフトされた最後の有効画素データ (E B m / 6) を更に供給する。これにより、データ・ドライバ (80) は一つのブランク・データ (B K) と m 個の有効画素データ (R、G、B) を入力するようになる。そして、データ・ドライバ (80) は一チャンネルずつシフトされて入力された m 個の有効画素データ (R、G、B) をアナログ・ブランク信号に変換して第 2 乃至第 m + 1 データライン (D L 2 乃至 D L m + 1) に供給すると共に一つのブランク・データ (B K) をアナログ・ブランク信号に変換して第 1 データライン (D L 1) に供給することができるようになる。

【0116】このようにタイミング制御部 (70) で 2 水平期間毎に m 個の有効画素データと共に 1 番目または最後番目の画素データにブランク・データを供給するようになる。そして、データ・ドライバ (80) は m 個の有効画素データと一つのブランク・データをコラム・インバージョン方式の画素信号及びブランク信号に変換して液晶パネル (52) に供給する。この結果、液晶パネル (52) は垂直 2 ドット・インバージョン方式に駆動される。

【0117】一方、本発明の実施例などでは液晶セルなどが水平ライン又は 2 水平ライン単位に隣接した相互異なるデータラインに交替に接続される場合だけを説明したが、3 水平ライン以上の単位に交替して接続されることも可能である。

【0118】

【発明の効果】上述したところのように、本発明による液晶表示装置では液晶セルなどがデータラインにつれて i (i は陽の正数) 水平ライン単位に交替して隣接した相互異なるデータラインに接続されてジグザグ型に配列される。これにより、本発明による液晶表示装置はコラム・インバージョン方式に極性が決定された画素信号を供給して液晶セルなどを i ドット・インバージョン方式に駆動することができるようになる。また、本発明による液晶表示装置は i 水平期間毎に m 個の有効画素信号と共に 1 番目または最後番目の画素データにブランク信号を供給して前記データラインにつれてジグザグ型に配列された液晶セルなどに正確な画素信号が供給されるようにする。

【0119】この結果、本発明による液晶表示装置はコラム・インバージョン方式の消費電力に i ドット・インバージョン方式を駆動するようになるので i ドット・インバージョン方式の消費電力より著しく節減することができると共に画質を向上させることができるようになる。

【0120】以上説明した内容を通して当業者であれば本発明の技術思想を一脱しない範囲で多様な変更及び修正の可能であることが分かる。従って、本発明の技術的な範囲は明細書の詳細な説明に記載された内容に限らず特許請求の範囲によって定めなければならない。

【図面の簡単な説明】

【図 1】従来の液晶表示装置を図示した図面である。

【図 2 a】液晶表示装置のライン・インバージョン方式を説明するための図面である

【図 2 b】液晶表示装置のライン・インバージョン方式を説明するための図面である。

【図 3 a】液晶表示装置のコラム・インバージョン方式を説明するための図面である。

【図 3 b】液晶表示装置のコラム・インバージョン方式を説明するための図面である。

【図 4 a】液晶表示装置のドット・インバージョン方式を説明するための図面である。

【図 4 b】液晶表示装置のドット・インバージョン方式を説明するための図面である。

【図 5】本発明の実施例による液晶表示装置を図示した図面である。

【図 6】本発明に適用される異なる構成を液晶パネルを図示した図面である。

【図 7】図 5 に図示されたデータ・ドライバの具体的な構成を図示したブロック図である。

【図 8】本発明の異なる実施例による液晶表示装置を図示した図面である。

【図 9 a】図 8 に図示されたタイミング制御部の 3 バス方式のデータ出力波形図である。

【図 9 b】図 8 に図示されたタイミング制御部の 3 バス方式のデータ出力波形図である。

【図 10 a】図 8 に図示されたタイミング制御部の 6 バス方式のデータ出力波形図である。

【図 10 b】図 8 に図示されたタイミング制御部の 6 バス方式のデータ出力波形図である。

【図 11】垂直 2 ドット・インバージョン駆動のための本発明のまた異なる実施例による液晶表示装置を図示した図面である。

【図 12】本発明に適用される液晶パネルの異なる構成を図示した図面である。

【図 13 a】図 11 に図示された液晶パネルに供給される画素信号及びブランク信号を図示した図面である。

【図 13 b】図 11 に図示された液晶パネルに供給される画素信号及びブランク信号を図示した図面である。

【図 14】垂直 2 ドット・インバージョン駆動のための本発明のまた異なる実施例による液晶表示装置を図示した図面である。

【符号の説明】

2、12、15、52、55：液晶パネル

4、14、54：ゲート・ドライバ

6、16、50、56、80：データ・ドライバ

18、40、58、70：タイミング制御部

20：シフト・レジスタ・アレイ

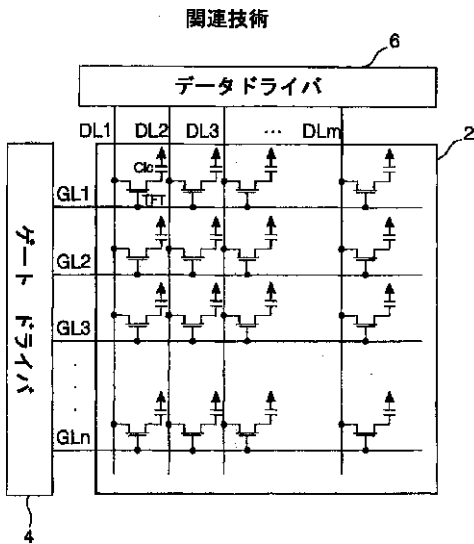
22：ラッチ・アレイ

50 24：D A C アレイ

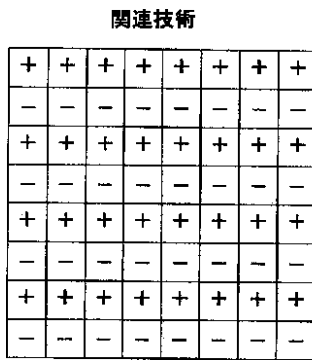
26 : MUXアレイ
 28 : バッファ・アレイ
 42、72 : 制御信号発生部

*44、74 : 画素データ整列部
 46、76 : レジスタ
 * 48、78 : マルチプレクサ

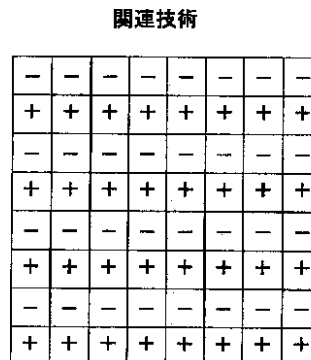
【図1】



【図2a】



【図2b】

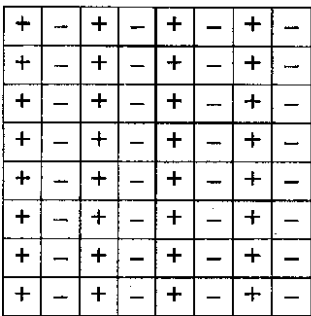


【図4a】

関連技術

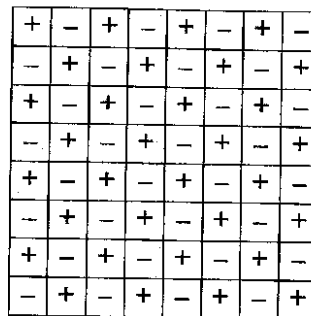
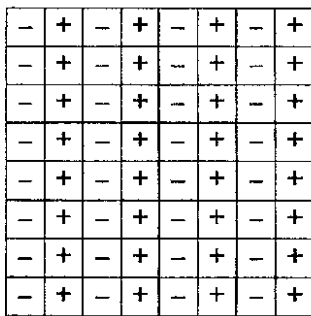
【図3a】

関連技術



【図3b】

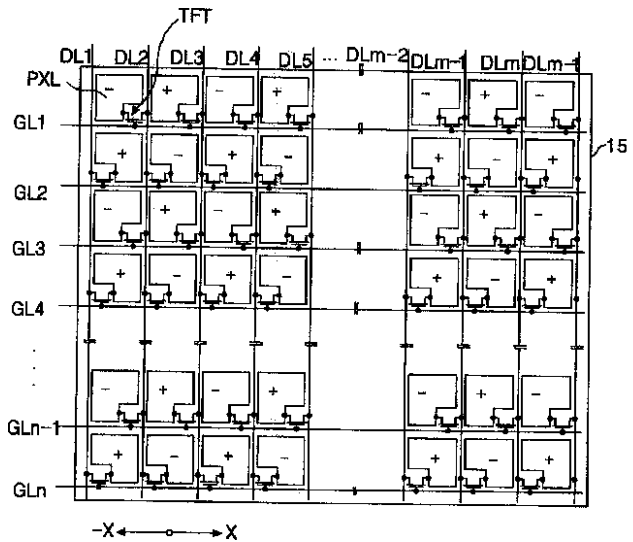
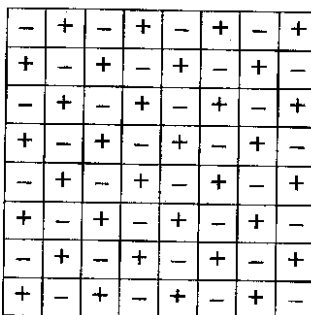
関連技術



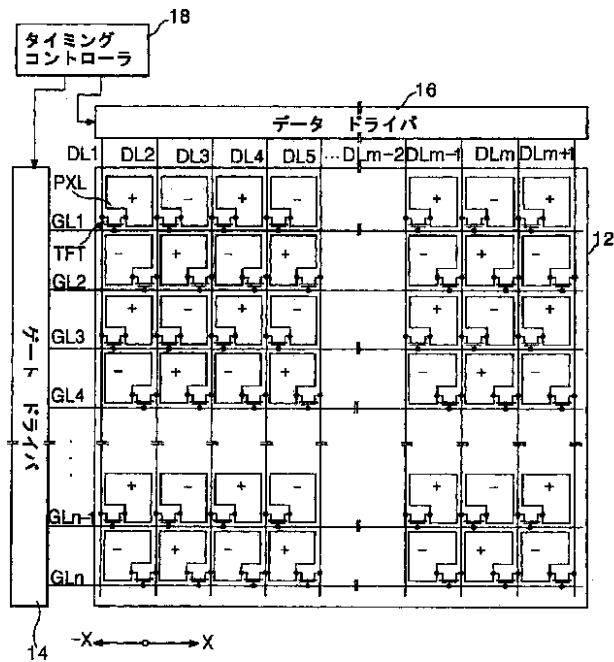
【図6】

【図4b】

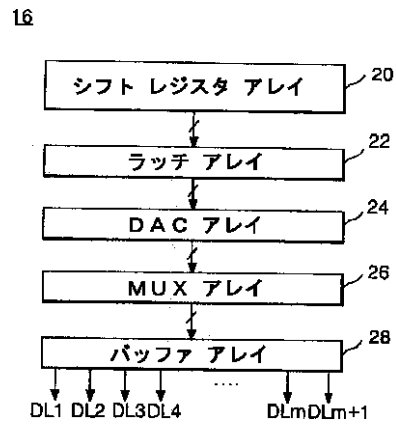
関連技術



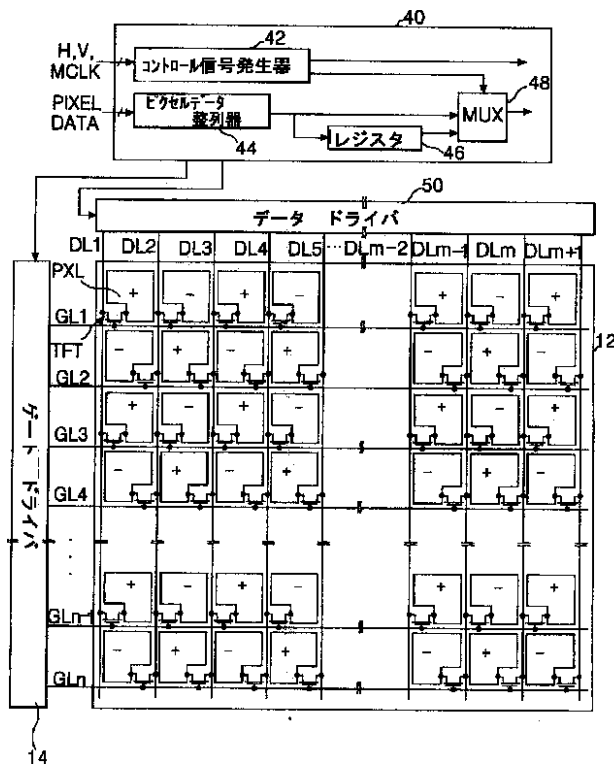
【図5】



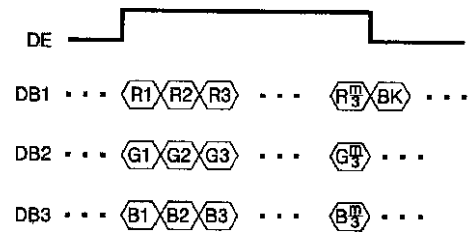
【図7】



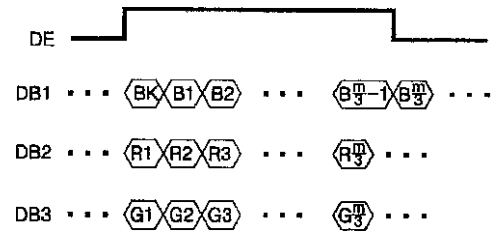
【図8】



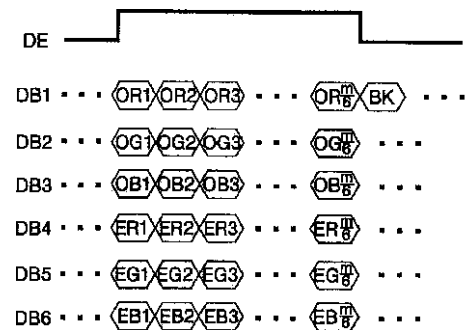
【図9 a】



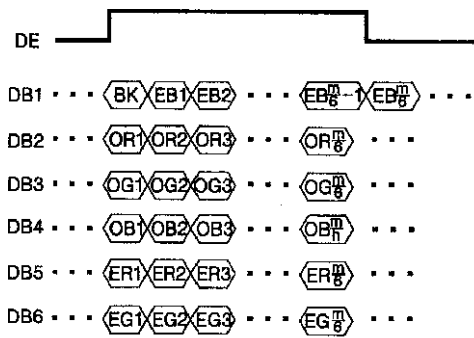
【図9 b】



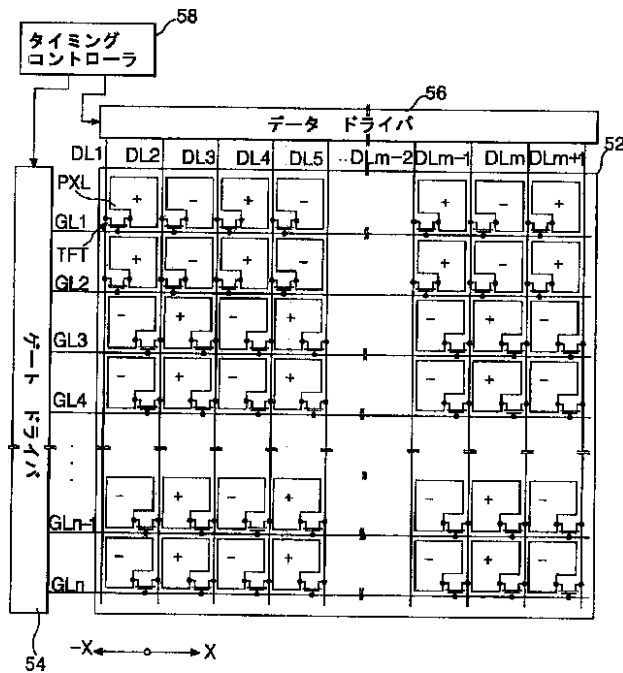
【図10 a】



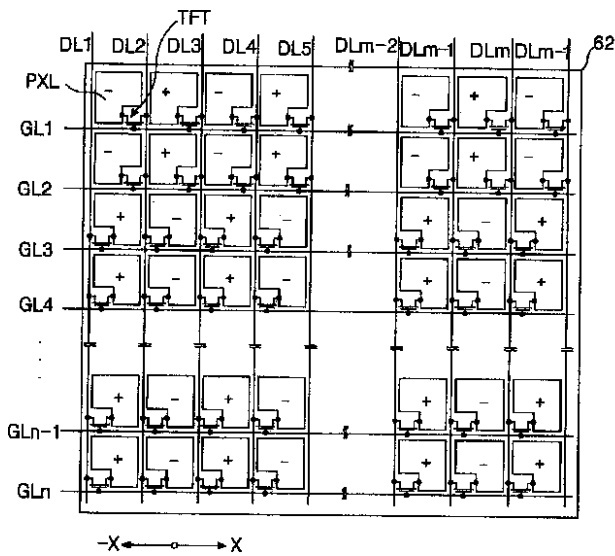
【図10b】



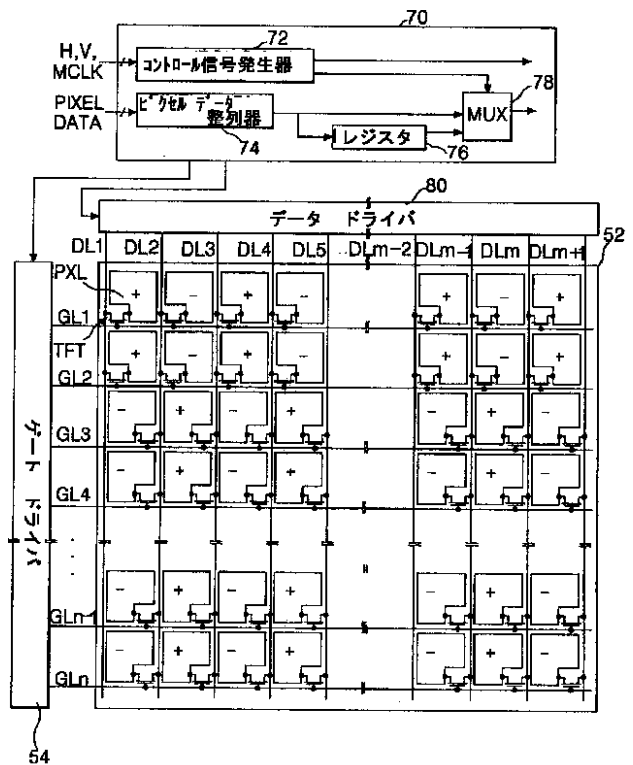
【図11】



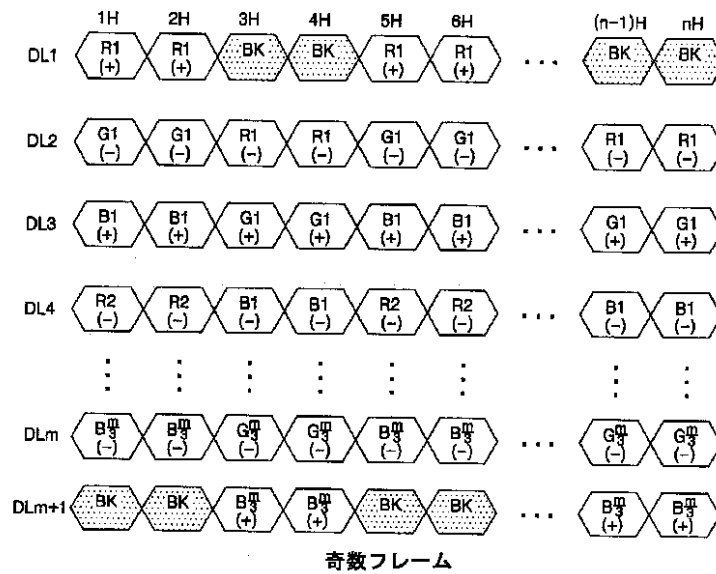
【図12】



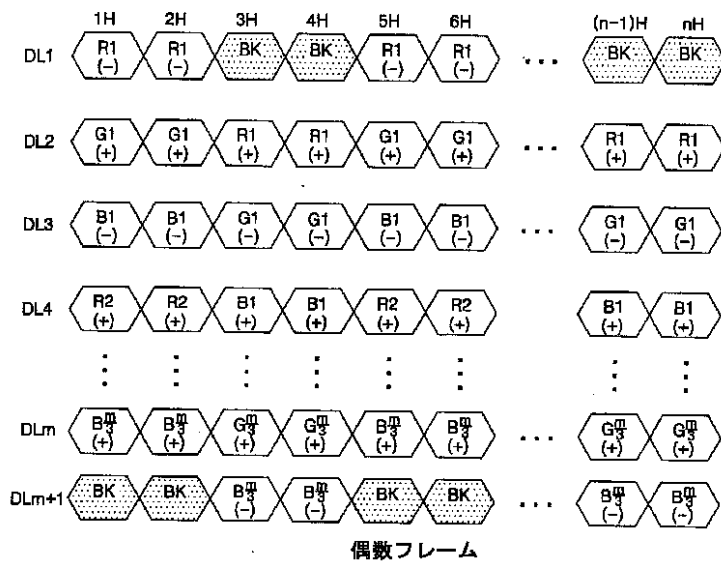
【図14】



【図13a】



【図13b】



フロントページの続き

(51)Int.Cl.⁷
G 0 9 G 3/20

識別記号
6 8 0

F I
G 0 9 G 3/20

テラコード(参考)
6 2 3 R
6 8 0 H

(72)発明者 尹 相 昌
大韓民国 大邱市 東區 新岩 1洞
720-23号

F ターム(参考) 2H093 NA16 NA31 NA32 NA33 NA45
NC02 NC11 NC22 NC24 NC26
NC34 NC41 ND39 NE03 NF04
5C006 AA22 AC21 AC26 AC27 AC28
AF42 AF43 AF44 AF59 AF69
BC02 BC06 BC12 FA23 FA47
5C080 AA10 BB05 CC03 DD06 DD26
EE29 EE30 FF01 FF11 JJ02

专利名称(译)	液晶表示装置		
公开(公告)号	JP2003233362A	公开(公告)日	2003-08-22
申请号	JP2002368393	申请日	2002-12-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
[标]发明人	宋鴻聲 尹相昌		
发明人	宋 鴻 聲 尹 相 昌		
IPC分类号	G02F1/133 G02F1/1362 G09G3/20 G09G3/36		
CPC分类号	G09G3/3614 G02F1/136286 G09G3/3607 G09G3/3648 G09G3/3688 G09G2300/0426 G09G2310/027 G09G2310/0275 G09G2310/0297 G09G2310/065 G09G2320/0209 G09G2320/0247 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.J G09G3/20.621.B G09G3/20.623.C G09G3/20.623.R G09G3/20.680.H		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA32 2H093/NA33 2H093/NA45 2H093/NC02 2H093/NC11 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC34 2H093/NC41 2H093/ND39 2H093/NE03 2H093/NF04 5C006/AA22 5C006/AC21 5C006/AC26 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF59 5C006/AF69 5C006/BC02 5C006/BC06 5C006/BC12 5C006/FA23 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF01 5C080/FF11 5C080/JJ02 2H193/ZA04 2H193/ZA08 2H193/ZC02 2H193/ZC04 2H193/ZC07 2H193/ZC13 2H193/ZC14 2H193/ZC15 2H193/ZC16 2H193/ZC26 2H193/ZE02 2H193/ZF02 2H193/ZP03		
优先权	1020010081433 2001-12-19 KR 1020020037740 2002-06-29 KR		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及一种能够降低功耗并提高图像质量的液晶显示装置。在本发明的液晶显示装置中，在以栅极线与数据线的交点定义的区域中形成的液晶单元等以水平线单位 i (i 为正数) 的单位变化。液晶面板通过薄膜晶体管连接到彼此相邻的不同数据线；用于驱动栅极线等的栅极驱动器； i ，诸如响应于每水平周期反转其极性的控制信号而输入的像素数据 一种确定输出通道并添加一个空白数据的多路复用器阵列，像素数据和黑色数据的极性在数据线单元中反转，而极性在帧单元中反转。用于驱动数据线的的数据包括用于转换像素信号和黑信号的数模转换器阵列 和司机。

