

特開2002 - 196366

(P2002 - 196366A)

(43)公開日 平成14年7月12日(2002.7.12)

(51) Int.CI ⁷	識別記号	F I	テマコード(参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
1/133	550	1/133	2 H 0 9 3
G 0 9 F 9/00	348	G 0 9 F 9/00	5 C 0 0 6
9/30	338	9/30	5 C 0 8 0
G 0 9 G 3/20	621	G 0 9 G 3/20	5 C 0 9 4

審査請求 未請求 挙求項の数 50 L(全 12数) 最終頁に続く

(21)出願番号 特願2000 - 395840(P2000 - 395840)

(71)出願人 000005049

シャープ株式会社

(22)出願日 平成12年12月26日(2000.12.26)

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 永田 尚志

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 山本 智彦

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74)代理人 100080034

弁理士 原 謙三

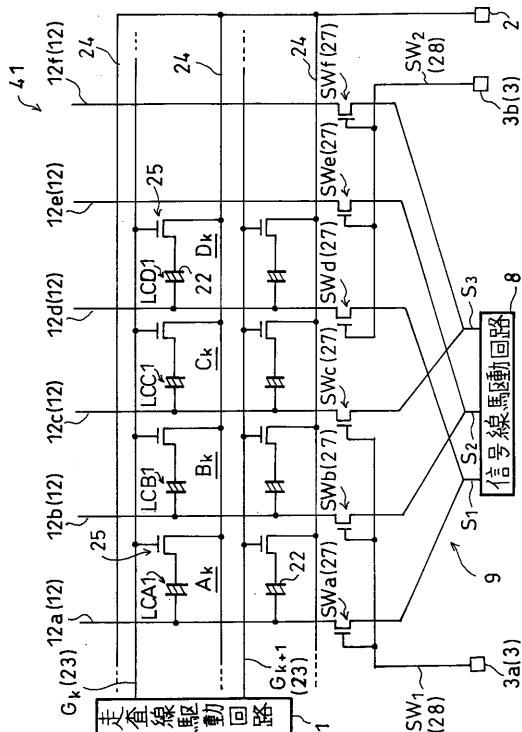
最終頁に続く

(54)【発明の名称】 液晶表示装置およびその駆動方法

(57)【要約】

【課題】 スイッチング素子のオン・オフにより生じる液晶への印加電圧の変動が抑制されてなる液晶表示装置およびその駆動方法を提供する。

【解決手段】 液晶表示装置は、一対のガラス基板とガラス基板間に挟持された液晶層とを備え、一方のガラス基板の電極形成面には、データ信号が供給される信号線(列電極)12が形成されるとともに、他方のガラス基板の電極形成面には、画素電極22と、画素電極22に接続された画素スイッチング素子25と、画素スイッチング素子25の動作制御を行う走査線(行電極)23と、画素スイッチング素子25を介して画素電極22と接続された共通線24とが形成されてなり、さらに、信号線12に接続されて、該信号線12へのデータ信号の供給を制御する信号線スイッチング素子27を備えてなる。



【特許請求の範囲】

【請求項1】間隙をおいて対向配置された一対の基板と、これら一対の基板間に挟持された液晶層とを備え、上記一対の基板の一方には、列方向に延び、データ信号が供給される複数の信号線が形成されるとともに、上記一対の基板の他方には、マトリクス状に配された複数の画素電極と、それぞれが対応する画素電極に接続された複数の画素スイッチング素子と、行方向に延び、上記複数の画素スイッチング素子の動作制御を行う複数の走査線と、上記画素スイッチング素子を介して画素電極と接続された共通線とが形成されてなり。
さらに、それぞれが対応する信号線に接続されるとともに、該信号線への上記データ信号の供給を制御する複数の信号線スイッチング素子を備えてなることを特徴とする液晶表示装置。

【請求項2】上記複数の信号線スイッチング素子と画素スイッチング素子とが同一の基板上に形成されており、さらに、上記信号線スイッチング素子それぞれと、対応する信号線との電気的な接続を確保するための複数の信号線転移部が設けられていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】上記画素スイッチング素子および信号線スイッチング素子が薄膜トランジスタであって、そのチャネル長が略同一であるとともに、

上記画素スイッチング素子のチャネル幅と該画素スイッチング素子が設けられた画素の静電容量との比が、上記信号線スイッチング素子のチャネル幅と該信号線スイッチング素子が接続された信号線の静電容量との比と、略同一であることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】上記画素スイッチング素子および信号線スイッチング素子が薄膜トランジスタであって、それらのチャネル長方向が略同一方向に揃っていることを特徴とする請求項2に記載の液晶表示装置。

【請求項5】間隙をおいて対向配置された一対の基板と、これら一対の基板間に挟持された液晶層とを備え、上記一対の基板の一方には、列方向に延び、データ信号が供給される複数の信号線が形成されるとともに、上記一対の基板の他方には、マトリクス状に配された複数の画素電極と、それぞれが対応する画素電極に接続された複数の画素スイッチング素子と、行方向に延び、上記複数の画素スイッチング素子の動作制御を行う複数の走査線と、上記画素スイッチング素子を介して画素電極と接続された共通線とが形成されてなり、さらに、それぞれが対応する信号線に接続されるとともに、該信号線への上記データ信号の供給を制御する複数の信号線スイッチング素子を備えてなる液晶表示装置の駆動方法であつて、

液晶層を挟んで対向する画素電極と信号線とにおいて、該画素電極へ書き込まれた共通線の電位を維持するべく

10

画素スイッチング素子をオフ状態とする期間と、該信号線に書き込まれたデータ信号の電位を維持するべく信号線スイッチング素子をオフ状態とする期間とが、少なくとも一部重複するように駆動を行うことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置の構造およびその駆動方法に関するものである。より具体的には、画素電極および走査電極が、信号線と異なる基板上に設けられてなる、いわゆる対向ソース型の液晶表示装置およびその駆動方法に関するものである。

【0002】

【従来の技術】従来のアクティブマトリクス型の液晶表示装置は、複数の画素に共通な対向電極が一方の基板上に設けられるとともに、画素電極、画素に表示信号を供給する信号線、画素ごとに設けられるスイッチング素子、並びに該スイッチング素子を駆動する走査線が他方の基板上に設けられた液晶パネル構成（従来構成1と称する）を有している。そして、上記信号線および走査線を駆動するために、これらの本数と同数の出力端をもつ外部駆動回路（ソースドライバICやゲートドライバIC、以下まとめてドライバと称する場合もある）を、液晶パネルに装着していた。

【0003】しかし、外部駆動回路の点数を減らし、また外部駆動回路の液晶パネルへの実装にかかるコストを低減するために、IC（Integrated Circuit）の数を半分や3分の1に減らすと同時に、各ICからの各出力を2分岐または3分岐し、得られた出力を信号線スイッチング素子によって適宜選択して供給する方法が考えられた。以下、この方法をより具体的に説明する。

【0004】一般的な液晶パネル構成（従来構成1）と同じく、上記信号線の端部それぞれは、ソースドライバIC（外部駆動回路の一つ）と電気的に接続されている。ただし、設けられるソースドライバICの数は従来のものの例えは半分とされ、加えてソースドライバICと上記の各端部との間には、信号線スイッチング素子と、ソースドライバICの出力を信号線と同数に分岐する信号線分岐部とがこの順に設けられている。信号線スイッチング素子の制御端には、素子の導通・非導通を切り替える制御信号入力用配線が複数のブロック毎に共通に接続されており、上記信号線分岐部にて分岐されたソースドライバICの出力（信号）はそれぞれ、対応する信号線に時分割で供給されるようになっている。

【0005】このような構造（従来構成2と称する）は、例えば特開平8-234237号公報に開示されており、外部駆動回路の設置数の低減などの上記効果に加え、外部駆動回路の单辺実装が容易であるなどの効果も記載されている。ちなみにこの公報では、走査線がブロック毎に選択されるのに対し、信号線は隣接ラインをス

20

30

40

50

イッティング素子で切り替える例が記載されているが、信号線をブロック毎に選択する構成としても同様の効果が得られ、かえって外部駆動回路の構成を単純にすることができます。

【0006】また、アクティブマトリクス型の液晶表示装置の構造の他の例としては、共通の対向電極ではなく信号線を一方の基板上に配置し、画素電極、画素に所定の電位を与える共通線、画素ごとに設けられたスイッチング素子、並びにこれを駆動する走査線を他方の基板上に配置したもの（従来構成3と称する）が提案されています。このような、信号線と走査線とを異なる基板上に配置した構造は、例えば米国特許4,694,287号に開示されており、信号線の容量が減少してドライバにかかる負荷が減少することや、信号線と走査線などとのクロス部における短絡欠陥が防止されるなどの効果が示されている。

【0007】

【発明が解決しようとする課題】ところで、画素電極、信号線、スイッチング素子、並びに走査線を同一基板上有する上記従来の構造（従来構成1）では、走査線がある画素を選択し終えて走査信号がハイレベルからロウレベルに切り替わるとき、走査線と画素電極との間の寄生容量によって電位を押し下げる現象が現われる。焼き付き防止のため、液晶に印加する電圧は直流成分を取り除いておく必要があるので、上記構成では、この電位の押し下げ分も考慮して、他方の基板上に設けられた対向電極の電位を調整する必要が生じる。また、他の従来構造（従来構成3）でも、走査線が選択状態から非選択状態に切り替わるときにその電位を押し下げる効果がみられ、この場合には共通線に与える電位、もしくは他方の基板上に設けられた信号線の電位を調整する必要がある。

【0008】さらに、上記従来構成2のように、画素電極、信号線、画素用のスイッチング素子、並びに走査線を同一基板上有し、かつ、信号線スイッチング素子を介して映像信号（データ信号）を信号線に供給する場合では、1)走査信号がハイレベルからロウレベルに切り替わるときに加えて、2)信号線スイッチング素子の状態を選択から非選択に切り替える際にも、該スイッチング素子の制御信号入力用配線と信号線との寄生容量によって電位の押し下げが生じ、この電位の押し下げ分が液晶へ印加される電圧に重畠される。しかも、画素電極および信号線が同一基板上に同一プロセスによって形成されているという構成上、信号線スイッチング素子と画素用のスイッチング素子とは同種の素子となり、いずれも走査信号がハイレベルのときに選択（オン）状態となり、ロウレベルのときに非選択（オフ）状態となる。よって、上記1)、2)の電位の押し下げの極性は同方向となる。このため、対向電極には信号線の信号（表示信号）の直流成分と大きく異なる電圧を印加して、電位の

押し下げ分を補正する必要があった。

【0009】さらに、ドライバに高耐圧性を持たせる必要をなくす目的、またはより一層の低消費電力化を実現する目的で、信号線ドライバ（ソースドライバIC）の駆動電圧の範囲をより低く抑える場合には、ある一定振幅の波形の電圧（補正用電圧と称する）を対向電極（共通電極）に与える方法が従来とられている。なお、上記従来構成3の場合には、対向電極ではなく、共通線に補正用電圧を与えることになる。

【0010】このとき、信号線には、表示すべき画像に応じて補正用電圧に対する電圧を印加する。より具体的には、静止画像（固定画面）を表示して、対向電極および信号線の電圧を経時的に観察した場合には、一定振幅の電圧（補正用電圧）が与えられる対向電極に対し、信号線には表示すべき画像に応じて同相もしくは逆相にそれぞれ位相および振幅を調整した波形の電圧を印加する。補正用電圧のレベルを比較的大きくとっていれば、いずれの表示状態においても信号線への印加電圧を補正用電圧の振幅の範囲内におさめることができる。しかし、画素用のスイッチング素子と信号線用のスイッチング素子との双方の押し下げ分をうける場合など、上記電位の押し下げ分が大きい場合には、信号線の駆動電圧範囲が対向電極の駆動電圧範囲の外にはみ出ることがある。このときには、信号線用に対向電極用とは異なる新たな電源を設けて電圧生成をする必要が生じ、消費電力増大の要因となっていた。

【0011】また、スイッチング素子による電位の押し下げはそのスイッチング素子特有の寄生容量の大きさにより左右されるが、液晶パネルの通常の生産プロセスでは、各スイッチング素子の寄生容量の大きさにはセル毎にバラツキが見られる。これは、通常の生産プロセスでは、スイッチング素子をなすトランジスタのゲート絶縁膜の膜厚や線幅シフトが、生産時のロット間バラツキ、ロット内の基板間バラツキ、基板上のセル配置によるバラツキなどを受けて、セル毎にまちまちとなることに起因する。

【0012】液晶にDC(Direct current)成分（直流成分）が印加されると信頼性不良（焼き付きなど）を生じるおそれがあり、厳密な調整、例えば、個々の表示装置毎に外部に設けられた対向電圧（上記補正用電圧）調整用のボリュームなどを用いてDC成分をなくす調整が必要であった。

【0013】ところが、信号線にスイッチング素子を設ける構造（従来構成2）では、上記のように、画素のスイッチング素子と信号線のスイッチング素子との双方の押し下げ成分が重畠されるため、液晶に印加される電圧のバラツキ幅が大きくなり、対向電圧レベル（補正用電圧レベル）の可調整範囲を大きくとれるようにする必要が生じる。例えば、対向電圧レベル粗調整用と微調整用との二つのボリュームを持たせる必要があるなど、部品

点数の増加によるコストアップの問題も招来する。さらに、電位の押し下げが大きいがゆえに補正用電圧の電圧レベルの範囲が接地電位をまたぐ場合などでは、正電位および負電位の両方の調整回路を作成する必要があり、さらにコストアップを招来するという問題があった。

【0014】本発明は、上記の問題点を解決するためになされたものであって、その目的は、スイッチング素子のオン・オフにより生じる液晶への印加電圧の変動が抑制されてなる液晶表示装置を提供することにある。

【0015】

【課題を解決するための手段】本発明にかかる液晶表示装置は、上記の課題を解決するために、間隙をおいて対向配置された一対の基板と、これら一対の基板間に挟持された液晶層とを備え、上記一対の基板の一方には、列方向に延び、データ信号が供給される複数の信号線が形成されるとともに、上記一対の基板の他方には、マトリクス状に配された複数の画素電極と、それぞれが対応する画素電極に接続された複数の画素スイッチング素子と、行方向に延び、上記複数の画素スイッチング素子の動作制御を行う複数の走査線と、上記画素スイッチング素子を介して画素電極と接続された共通線とが形成されてなり、さらに、それぞれが対応する信号線に接続されるとともに、該信号線への上記データ信号の供給を制御する複数の信号線スイッチング素子を備えてなることを特徴としている。

【0016】上記の構成では、走査線により選択された画素スイッチング素子を介して共通線の電位が画素電極に書き込まれるとともに、信号線スイッチング素子により選択された信号線にデータ信号（映像信号）が書き込まれる。これにより、共通線の電位が書き込まれた画素電極と、データ信号が書き込まれた信号線との間に挟持された液晶層に、画素電極 - 信号線間の電位差に相当する電圧が印加され、該データ信号に対応した表示が実現される。

【0017】液晶層に印加された電圧の保持は、上記信号線スイッチング素子と画素スイッチング素子とがオンからオフへと切り替わることでなされるが、これらスイッチング素子のオン・オフ切り替えの際には、所定量の電位の押し下げが発生し、これに伴って液晶表示に不都合な直流成分も発生する。

【0018】しかしながら、本発明にかかる構成では、信号線には、その選択・非選択（オン・オフ）を制御する信号線スイッチング素子が、また、画素電極には、その選択・非選択を制御する画素スイッチング素子が接続されており、さらに、上記信号線と画素電極とが異なる基板上に形成されているので、電気的な極性が同じである信号線スイッチング素子による信号線電位の押し下げと、画素スイッチング素子による画素電極の電位の押し下げとが互いに打ち消し合う。

【0019】つまり、画素スイッチング素子のオンから

(4) 6
特開2002-196366

オフへの切り替えにより生じる液晶への印加電圧の変動を抑制するように上記信号線スイッチング素子を駆動することで、不都合な直流成分がより低減されるとともに、所望するレベルにより近い電圧を液晶層に印加することができる。そのため、極めて良好な表示動作を行いうる液晶表示装置を提供可能となる。また、上記スイッチング素子のオン・オフ切り替え時の電位の押し下げを補正するために新たな電圧生成が不要であり、該液晶表示装置の消費電力をより低減可能となる。

10 【0020】なお、信号線スイッチング素子による信号線電位の押し下げと、画素スイッチング素子による画素電極の電位の押し下げとが電気的に同極性となるのは、一般的のスイッチング素子の設計と同様に、これらスイッチング素子（薄膜トランジスタなど）がいずれも、走査信号がハイレベルのときにオンされ、ロウレベルのときにオフされるようになっており、このオン・オフ切り替え（オンからオフへ切り替え）時に発生する電位の押し下げ（薄膜トランジスタの場合のフィードスルー電圧分に相当）が同極性となるためである。

【0021】また、液晶層を挟んで対向する画素電極と信号線とに関し、該画素電極へ書き込まれた共通線の電位を維持するべく画素スイッチング素子をオフ状態とする期間と、該信号線に書き込まれたデータ信号の電位を維持するべく信号線スイッチング素子をオフ状態とする期間とが、少なくとも一部重複するように駆動を行えば、両スイッチング素子がオフ状態である期間では、画素電極は共通線の電位よりフィードスルー電圧分低い電位を維持し、また、信号線はデータ信号の電位よりフィードスルー電圧分低い電位を維持することになるので、この画素電極 - 信号線間の液晶層にはフィードスルー電圧分の電位変動がキャンセルされた所望の電圧（すなわち、ほぼデータ信号の電位と共通線の電位との電位差）が印加されることになる。

【0022】本発明にかかる液晶表示装置は、上記の構成において、上記複数の信号線スイッチング素子と画素スイッチング素子とが同一の基板上に形成されており、さらに、上記信号線スイッチング素子それぞれと、対応する信号線との電気的な接続を確保するための複数の信号線転移部が設けられている構成であることがより好ましい。

【0023】上記の構成によれば、画素スイッチング素子の形成時に、同時に、上記信号線スイッチング素子を形成することができるので、製造工程の追加やコスト高を招来することなく信号線スイッチング素子を形成可能である。また、これらスイッチング素子を同時に形成可能なことから、画素スイッチング素子と信号線スイッチング素子との電気的な特性をほぼ同一なものとすることが容易となる。その結果、画素スイッチング素子による画素電極の電位の押し下げ量と、信号線スイッチング素子による信号線の電位の押し下げ量とをほぼ同量に合わ

せこむことがより容易となる。

【0024】なお、上記の信号線転移部は、異なる基板上に設けられる信号線と信号線スイッチング素子との電気的な接続を確保するために必要な構成であり、上記信号線スイッチング素子を信号線形成側の基板に形成する程には製造工程数の増加を伴わずに形成可能である。

【0025】本発明にかかる液晶表示装置は、上記の構成において、上記画素スイッチング素子および信号線スイッチング素子が薄膜トランジスタであって、そのチャネル長が略同一であるとともに、上記画素スイッチング素子のチャネル幅と該画素スイッチング素子が設けられた画素の静電容量との比が、上記信号線スイッチング素子のチャネル幅と該信号線スイッチング素子が接続された信号線の静電容量との比と、略同一であることがより好ましい。

【0026】上記の構造によると、画素スイッチング素子による画素電極の電位の押し下げ量と、信号線スイッチング素子による信号線の電位の押し下げ量とをさらに正確に一致させることができるとなり、これらの押し下げ量が互いに打ち消し合う。さらに、信号線および共通線の電圧信号のDC(直流成分)レベルがほぼ一致し、該信号線と共通線とを同一の電源で駆動することができる、電圧形成ロスを省くことができる。また、押し下げ量のセル毎のバラツキを個々に調整する必要がなく、従来構成と比較して調整に必要な部品や労力を省略できるので、コストダウンを図ることが可能となる。

【0027】本発明にかかる液晶表示装置は、上記の構成において、上記画素スイッチング素子および信号線スイッチング素子が薄膜トランジスタであって、それらのチャネル長方向が略同一方向に揃っていることがより好ましい。

【0028】上記の構成によれば、液晶パネルの製造工程において、パターンシフトやすれが発生した場合でも、画素スイッチング素子による画素電極の電位の押し下げ量と、信号線スイッチング素子による信号線の電位の押し下げ量との双方がほぼ同じとなり、これらの押し下げ量が互いに打ち消し合う。さらに、信号線および共通線の電圧信号のDCレベルがほぼ一致し、該信号線と共通線とを同一の電源で駆動することができるので、電圧形成ロスを省くことができる。また、押し下げ量のセル毎のバラツキを個々に調整する必要がなく、従来構成と比較して調整に必要な部品や労力を省略できるので、コストダウンを図ることが可能となる。

【0029】本発明にかかる液晶表示装置の駆動方法は、上記の課題を解決するために、間隙において対向配置された一対の基板と、これら一対の基板間に挟持された液晶層とを備え、上記一対の基板の一方には、列方向に延び、データ信号が供給される複数の信号線が形成されるとともに、上記一対の基板の他方には、マトリクス状に配された複数の画素電極と、それぞれが対応する画

素電極に接続された複数の画素スイッチング素子と、行方向に延び、上記複数の画素スイッチング素子の動作制御を行う複数の走査線と、上記画素スイッチング素子を介して画素電極と接続された共通線とが形成されてなり、さらに、それぞれが対応する信号線に接続されるとともに、該信号線への上記データ信号の供給を制御する複数の信号線スイッチング素子を備えてなる液晶表示装置の駆動方法であって、液晶層を挟んで対向する画素電極と信号線とにおいて、該画素電極へ書き込まれた共通線の電位を維持するべく画素スイッチング素子をオフ状態とする期間と、該信号線に書き込まれたデータ信号の電位を維持するべく信号線スイッチング素子をオフ状態とする期間とが、少なくとも一部重複するように駆動を行ふことを特徴としている。

【0030】上記の方法によれば、信号線スイッチング素子による信号線電位の押し下げと、画素スイッチング素子による画素電極の電位の押し下げとが互いに打ち消し合い、不都合な直流成分がより低減されるとともに、所望するレベルにより近い電圧を液晶層に印加することが可能となる。

【0031】

【発明の実施の形態】〔実施の形態1〕本発明の実施の一形態について、図1ないし図3に基づいて説明すれば以下の通りである。なお、本願発明は、本実施の形態に記載の範囲内のみに限定されるものではない。

【0032】本実施の形態にかかる液晶表示装置の液晶表示パネル部は、図2に示すように、一面に電極が形成されてなる2枚のガラス基板(透光性・絶縁性基板)11・21を、それぞれの電極形成面が所定の間隔をおいて対向するように配し、さらに、対向するガラス基板11・21間に適当な液晶材料(図示せず)を封入してなるものである。一方のガラス基板11の電極形成面上には、一方向(列方向)に伸びる複数の信号線(列電極)12...が形成されてなり、他方のガラス基板21の電極形成面上には、信号線12...と略直交する方向(行方向)に伸びる複数の走査線(行電極)23...、複数の共通線24...、並びにマトリクス状に配された複数の画素電極22...が形成されている。本実施の形態に係る液晶表示装置はすなわち、走査線23...や画素電極25...と、信号線12...とが互いに異なる基板上に形成されてなる、いわゆる対向ソース型の電極配置を備えてなる。

【0033】ガラス基板21上に形成され、同一方向に伸長する走査線23と共に線24とは、1本ずつを組として隣接配置されている。また、行方向に並んだ複数の画素電極22...は、TFT(Thin Film Transistor)などの画素スイッチング素子25を介して、組をなす共通の走査線23と共に線24とに接続されている。

【0034】ガラス基板11・21の間での上下導通(トランスファ)、すなわち電極間の電気的な接続は、信号線転移部(信号線トランスファ部)31およびシ

ル材層（後述する）において達成されている。信号線転移部31では、ガラス基板11上に形成された各信号線12と、ガラス基板21側に形成された各信号線スイッチング素子27の一つの出力端子26とが電気的に接続される。

【0035】各信号線12に対応して設けられる信号線スイッチング素子27は TFT 等から構成され、行方向に沿ってガラス基板21上に複数並設されている。また、行方向に沿って並設された一群の信号線スイッチング素子27...はそれぞれ、該信号線スイッチング素子27...のオン・オフを共通に制御する制御配線（制御信号線）28、並びに信号線12へ書き込むデータ信号を供給する信号線導入部9に接続されている。なお、データ配線28は、走査線23と同方向に沿って（すなわち行方向に沿って）配設されている。

【0036】この液晶表示パネル部には、さらに、信号線駆動回路8（図1参照）、走査線駆動回路、共通線に一定レベルの電圧を供給する電源回路、信号線スイッチング素子27のオン・オフを制御する制御回路、などの外部駆動回路に接続され、液晶表示装置としてデータ信号（映像信号）に応じた表示動作を実行する。簡単に説明すれば、いずれかの走査線23が選択されると、該走査線23に沿って設けられた画素スイッチング素子25...がオンされ、この画素スイッチング素子25...を介して共通線24の電位（共通電位）が画素電極22に書き込まれる。このとき、共通電位が書き込まれた画素電極22に対向する信号線12が、対応する信号線スイッチング素子27のオンにより選択されると、該信号線12と画素電極22との間に配された液晶材料（液晶層）に対し表示すべきデータ信号に応じた電圧が印加され、液晶材料の電気光学効果を利用した表示がなされる。なお、表示動作の詳細については、図1に示す液晶表示装置の等価回路、並びに図3に示す液晶表示装置の駆動電圧波形を参照しながら詳細に後述する。また、画素スイッチング素子25と信号線スイッチング素子27とは互いに連関して動作タイミングが制御されているが、このタイミング制御を行うための制御手段は図示しない。

【0037】次に、本実施の形態にかかる液晶表示装置の製造方法の一例につき簡単に説明を行う。はじめに、電極形成材料の成膜とそのパターニングとにより、ガラス基板21の一面面上に、走査線23（画素スイッチング素子25をなすゲート電極25aを兼ねる）、並びに共通線24を形成する。このとき、信号線スイッチング素子27の制御配線28も同時に形成しておく。

【0038】次いで、ゲート絶縁膜、半導体層、ソース - ドレインコンタクト層となる n^+ -Si層（いずれも図示せず）を形成し、さらにゲート絶縁膜には電気的コンタクトに必要なパターンだけ取り除くべくパターニングを施し、共通線電極25cおよび画素電極22となる透明導電膜を形成する。ここで形成された共通線電極2

5cは共通線24に電気的に接続されており、かつ、画素スイッチング素子25のドレイン電極として機能するものである。また、画素電極22の一端部25bは、画素スイッチング素子25のソース電極として機能するものである。

【0039】つまり、上記の工程を経て、ゲート電極25a、ドレイン電極（共通線電極25c）、並びにソース電極（画素電極22の一端部25b）を含んでなる画素スイッチング素子（画素トランジスタ）25を完成させる。なお、画素スイッチング素子25と実質同一の構成を有する信号線スイッチング素子27も、このとき同時に形成すればよい。さらに、信号線駆動回路8（図1に示す）を液晶パネルに外部実装するための実装用パッドや、信号線導入部9（図1に示す）も同時に形成しておく。

【0040】一方、対向基板となるガラス基板（絶縁性基板上）11上にはあらかじめカラーフィルタやブラックマトリクスなどが所定のパターンで形成されている。次いで、ITO(Indium Tin Oxide)などの透明導電膜を成膜した後、図2に示すようにパターニングして信号線12...を形成する。

【0041】次に、上記のように電極が形成された2枚のガラス基板11・21を、それぞれの電極形成面が対向するように貼り合わせる。まず、一方のガラス基板11（またはガラス基板21）の周縁部に、接着剤中に金、銀、銅などの導電性粒子を混入してなるシール材を一部開口部（図示せず）を設けて塗布して棒状のシール材層を形成する。次に、基板間隔（液晶層）を一定の厚みとするため、電極形成面にスペーサ（図示せず）を散布した後、両ガラス基板11・21を貼りあわせ、加熱してシール材を硬化させる。ついで上記開口部から液晶材料を注入した後、封止剤（図示せず）によって開口部を塞ぎ、液晶表示装置のパネル部分（液晶表示パネル）が完成する。なお、上記説明のシール材には導電性粒子が混入されており、ガラス基板11・21間を密封するシール機能に加え、両基板間を電気的に接続する信号転移部（トランスファ）としての機能を兼ねる。

【0042】なお、ここで用いられるシール材に関しては、STN(Super Twisted Nematic)形液晶を用いたパッセラマトリクス方式の液晶表示装置などで実用化されており、狭ピッチで上下基板（ガラス基板11・21）を横方向にリードさせることなく接続する方法として、例えば特開平11-326934号公報に開示されている。

【0043】以下、図1に示す液晶表示装置の等価回路、および図3に示す液晶表示装置の駆動電圧波形を参照しながら、表示動作の詳細につきさらに説明を行う。

【0044】上記液晶表示装置の表示部として機能する液晶表示パネル部41の構成は、図2を参照してすでに説明した通りであり、液晶表示の単位となる画素A_k、

B_k 、 C_k 、 D_k 、…が、各画素電極22に対応して形成されている。また、液晶表示パネル部41には、信号線駆動回路8、走査線駆動回路1、共通線24に一定レベルの電圧を供給する電源回路2、信号線スイッチング素子27のオン・オフを制御する制御回路3・3、などの外部駆動回路が実装される。なお、液晶表示パネル部41には、図示した以外にも多数の信号線、走査線、共通線などの部材が配されているが、ここでは説明の便宜上簡略化し、信号線12として12a～12fの6本のみを、走査線23として G_k 、 G_{k+1} の2本のみを、共通線24として3本のみを示している。

【0045】上記信号線12a～12fの一端部にはそれぞれ、該図に示すように信号線スイッチング素子27(SW_a , SW_b , SW_c , SW_d , SW_e , SW_f)を設け、これら信号線スイッチング素子27の他端は、ソースドライバICなどを含んでなる信号線駆動回路8に電気的に接続されている。より具体的には、信号線駆動回路8の出力段からは出力線 S_1 、 S_2 、 S_3 が延び出してあり、これらはそれぞれ二叉分岐して、異なるブロック(以下に説明する)内の信号線スイッチング素子27・27の他端に接続されている。

【0046】また、上記信号線スイッチング素子 SW_a 、 SW_b 、 SW_c の制御端には、該信号線スイッチング素子のオン・オフ(導通・非導通)を切り替える制御回路3aが、制御配線 SW_1 を介して電気的に接続されており、一方、信号線スイッチング素子 SW_d 、 SW_e 、 SW_f の制御端には、該信号線スイッチング素子のオン・オフを切り替える他の制御回路3bが、制御配線 SW_2 を介して電気的に接続されている。

【0047】これにより信号線12...のオン・オフ制御は、信号線12a、12b、12cから構成されるブロック(第一ブロックと称する)と、信号線12d、12e、12fから構成される他のブロック(第二ブロックと称する)とで互いに独立に(時分割で)行われる。

【0048】つまり、信号線や走査線をブロックに分け、信号線であればある走査線が選択されている間(走査線の一選択期間、一水平期間)、また走査線であれば一垂直期間を時分割して、データ信号や走査信号を各ブロックに順次印加するように、信号の印加先のブロックを時間とともに切り替えるようにしている。そのなかで、本実施の形態では、信号線をブロックに分け、走査線の一選択期間を時分割して、データ信号を各ブロックに順次印加するように、信号の印加先のブロックを時間とともに切り替えるようにしている。

【0049】次に、図1および図3に基づき、上記液晶表示装置の駆動状態、駆動方法を説明する。なお、ここでは液晶表示パネル部41の画面全体を黒表示するために、信号線駆動回路8から各信号線12へ、出力線 S_1 、 S_2 、 S_3 を介して最大振幅のデータ信号(+ V_S 、- V_S)が供給されている場合を例に挙げるが、特50

にこの例に限定されるものではない。

【0050】まず、走査線駆動回路1から供給される走査信号がオン電圧レベルとなり、走査線 G_k が選択状態となる(時刻 t_1)、該走査線 G_k が選択されている間に信号線スイッチング素子27...をそれぞれ導通させるべく、制御配線 SW_1 および SW_2 に順に信号(制御信号)が送られる。制御配線 SW_2 への信号は、制御配線 SW_1 への信号がオン電圧レベルからオフ電圧レベルに変わるタイミング(例えば時刻 t_2)でオフ電圧レベルからオン電圧レベルとなる以外は、同波形を有する電圧信号である。

【0051】同時に、時刻 t_1 では制御配線 SW_1 への信号がオン電圧レベルとなり、該制御配線 SW_1 に接続された信号線スイッチング素子 SW_a 、 SW_b 、 SW_c が導通する。これにより信号線駆動回路8から供給されたデータ信号(+ V_S)が信号線12a、12b、12cに供給される(図中)。このとき、走査線 G_k が選択されているので画素(正確には画素電極22) A_k 、 B_k 、 C_k には共通線24の電位(- V_C)が書き込まれ(図中)、これらの画素に対応した液晶層LCA1、LCB1、LCC1には電圧($V_S + V_C$ (図中、-の絶対値))が印加される。なお、このとき制御配線 SW_2 は選択されていないため信号線12dにはデータ信号は供給されない。

【0052】次に時刻 t_2 では、制御配線 SW_1 が非選択になり、信号線スイッチング素子 SW_a 、 SW_b 、 SW_c が非導通となるため、信号線12a、12b、12cは電位保持の状態となる。また、信号線スイッチング素子 SW_d 、 SW_e 、 SW_f が選択状態から非選択状態に変わった瞬間に、その寄生容量により信号線電位の押し下げが発生し、信号線12a、12b、12cの電位は+ V_S より低い+ V_S' に変わる。また、時刻 t_2 では、制御配線 SW_2 が選択されて信号線スイッチング素子 SW_d 、 SW_e 、 SW_f が導通状態となり、信号線駆動回路8からのデータ信号が信号線12d、12e、12fに供給され(図中)、これらの画素に対応した液晶層LCD1などには電圧($V_S + V_C$ (図中、-の絶対値))が同様に印加される。

【0053】次に時刻 t_3 では、制御配線 SW_2 も非選択になり、信号線スイッチング素子 SW_d 、 SW_e 、 SW_f が非導通となる。この結果、信号線12d～12fの電位は、信号線12a～12cの場合と同様に+ V_S' に押し下げられる。

【0054】ついで時刻 t_4 では走査線 G_k へ供給される走査信号がロウ(オフ電圧レベル)になり、該走査線 G_k に沿って設けられた画素スイッチング素子25は全て非導通になる。また、画素スイッチング素子25が選択状態から非選択状態に変わった瞬間に、その寄生容量により画素電位の押し下げが発生するので、各画素(正確には画素電極22) A_k 、 B_k 、 C_k 、 D_k の電位は- V_S

Cより低い-VC'に変わる。したがって、画素スイッチング素子25が非導通になって液晶層の保持電圧が確定する時刻t₄から次の書き込みタイミングである時刻t₅までの間(保持期間)は、該液晶層にはVS'+VC'の電圧(液晶印加電圧)が印加されていることになる。

【0055】ここで、信号線スイッチング素子27のオン・オフに起因する信号線12の電位の押し下げ量をVS(0)、画素スイッチング素子25のオン・オフに起因する画素電位の押し下げ量をVC(0)とすると、

$$VS = VS - VS' \quad VC = VC' - VC$$

となり、保持期間での液晶印加電圧は、

$$VS' + VC' = VS + VC - (VS - VC)$$

となる。

【0056】同様に計算すると、次のフレーム、すなわち時刻t₅から始まるマイナス書き込みのフレームにおいても、

$$VS = VS - VS' \quad VC = VC' - VC$$

となり、保持期間の液晶印加電圧は、

$$-VS' - VC' = -(VS + VC) + (VS - VC)$$

となる。

【0057】すなわち、液晶層には、本来印加したい電圧(±(VS+VC))に対して、±(VS-VC)だけオフセットをかけた電圧が印加されることになる。

【0058】ここで、VC=VSとなるように、画素スイッチング素子25...および信号線スイッチング素子27...を設計した場合には、共通線24からのDC電圧成分と信号線12からのDC電圧成分とのレベルが一致する。つまり、液晶に印加される電圧のオフセット分±(VS-VC)が0となるので、液晶層にDC電圧成分が印加されることを防ぐために、電圧調整回路などを用いて信号線12や共通線24に上記オフセット分のDC値を重畳する必要がなくなる。

【0059】また、このときには、信号線12もしくは共通線24の一方のために用意した電源が供給する電圧の範囲内に、他方に供給すべき電圧の範囲が含まれることになる。よって、信号線12用の電源と、共通線24用の電源とを別々に用意する必要がなくなり、低消費電力化の観点からもより好ましい。

【0060】また、液晶に印加される電圧のオフセット分±(VS-VC)が仮に0とならない場合であっても、VSとVCとで電圧のオフセット分が打ち消されて非常に小さく抑えられ、従来構成と比較してより設定レベルの電圧(±(VS+VC))に近い電圧が液晶に印加されることとなる。

【0061】つまり、従来のように、画素電極と信号電極と同一基板上に設け、それぞれのオン・オフを、画

素スイッチング素子と信号線スイッチング素子とで制御する構成(従来構成2)では、液晶に印加される電圧のオフセット分が±(VS+VC)となり、VS、VCはともに正の量であることから(変化量のため)同極性に押し下げ効果を発揮し、設定レベルの電圧から大きくかけ離れた電圧が液晶に印加されてしまう。よって、対向調整回路(電圧調整回路)などを用いた印加電圧レベルの補正が必須となるが、本実施の形態では信号線12の電位の揺らぎに由来する電圧オフセット分と、画素電極22の電位の揺らぎに由来する電圧オフセット分とが互いに打ち消し合うので、印加電圧レベルの補正をなくすことができる。また、仮に印加電圧レベルの補正が必要であっても、補正量がより小さくて済むので、電圧調整回路の構成の簡略化や、消費電力の低減を実現可能となる。

【0062】ところで、一般にVCおよびVSは次の式で表される。

$$VC = Cgd / Cpix * Vgpp$$

$$VS = Csws / Csi * Vswwp$$

20 Cgd: 画素スイッチング素子のゲート-画素間寄生容量
Cpix: 画素のトータル容量(静電容量)
Vgpp: 走査線の信号のハイ-ロウ電圧差
Csws: 信号線スイッチング素子の制御電極-信号線間寄生容量

Csi: 信号線のトータル容量(静電容量)
Vswwp: 制御配線の信号のハイ-ロウ電圧差

生産品のプロセスバラツキなどによって、ゲート絶縁膜の膜厚が変動したり、トランジスタ(スイッチング素子)のゲート電極の幅、ゲート-ドレイン電極の重なり量が変動した場合、上記のCgdやCswsの値は大きく変動する。ところが、実際の生産プロセスでは、これらの変動を完全になくすることは不可能であり、したがって従来は、液晶表示装置に備えられた液晶表示パネル毎に対向電極(従来構成2の場合)のDCレベルを調整する必要があった。

【0064】本実施の形態に記載の液晶表示装置でも、仮に、液晶に印加される電圧のオフセット分±(VS-VC)が0でない場合で、かつ、この電圧オフセットを取り除く調整を行う場合には、各パネル毎に対応する必要が生じるが、VC=VSの場合には工程のばらつきの有無に関わらず画素にDC値が印加されず、当然変動もないため調整の必要がない。

【0065】ところで、走査線23の電圧レベルと制御配線SW₁・SW₂の電圧レベルとは、アモルファスSiなどによるスイッチングデバイスを駆動する上で必要なデバイス固有の電圧レベルをとる故、同一であることが多い。よって、上記のVgppとVswwpとは一般に同一値をとると考えてよく、VC=VSとするためには、Cgd/CpixとCsws/Csiとを同一に

する必要がある。

【0066】トランジスタ製造プロセスの最小ルールを採用することによって画素スイッチング素子および信号線スイッチング素子のチャネル長（後述する）を同一の最小値とし、 C_{gd} と C_{sws} とを最小にすべく試みた場合、信号線もしくは画素に所定の電圧を印加する能力もしくは充電率は、チャネル長が同一である故、各スイッチング素子のチャネル幅と対応する負荷容量との比率によって定まる。

【0067】このとき、信号線スイッチング素子と画素スイッチング素子とにおける、チャネル幅と負荷容量（信号線の静電容量、画素の静電容量）との比率は略一定とすることがのぞましく、この設定によれば、寄生容量と負荷容量との比率も、信号線スイッチング素子と画素スイッチング素子とで略同一となる。すなわち、 C_{gd} / C_{pix} と C_{sws} / C_s とは同一となる。また上記スイッチング素子の構成は、チャネル幅が異なる以外はほぼ同一であるため、ゲート絶縁膜やパターンシフト、パターンずれなどによる作用もほぼ同一となる。すなわち、製造プロセスのバラツキを受けても、 $C_{gd} / C_{pix} = C_{sws} / C_s$ の関係が保たれ、 $V_C = V_S$ の関係を常時満足するようになる。

【0068】さらに、画素スイッチング素子と信号線スイッチング素子とのチャネル長方向が略同一であることがより好ましい。ここで、各スイッチング素子のチャネルとは、ソース - ドレインコンタクト層となる n^+ - S_i 層（アモルファス S_i 層）のソース - ドレイン間に挟まれた領域を指し、チャネル長とは一般に定義されるようにソース - ドレイン間隔に対応したチャネルの長さに相当し、チャネル幅とは、ソースドレイン間方向に直交する方向でのチャネルの長さを指す。また、チャネル長方向とは、チャネル長の形成方向（ソース - ドレイン間方向）を指す。チャネル長方向のすればTFTの特性バラツキを招来するが、上記の構成とすれば、製造工程においてある特定方向のパターンシフトやすれが発生した場合にも、画素スイッチング素子による画素電位の押し下げ量と、信号線スイッチング素子による信号線電位の押し下げ量との双方の変化量がほぼ同じになるので、 $C_{gd} / C_{pix} = C_{sws} / C_s$ の関係が保たれ、信号線と共に接続される複数の信号線と接続される複数の走査線との信号のDCレベルに差が生じないという、上記の効果が保たれる。

【0069】以上のように、本発明にかかる液晶表示装置は、間隙をなして相対して配置された基板と、これらの基板の間隙に挟持された液晶と、これら基板のうち一方の基板上に列方向に配置された複数の信号線と、該信号線を他方の基板側に転移する複数の信号線転移部と、他方の基板上に形成された複数の画素電極と、該画素電極に個別に接続される画素スイッチング素子と、行方向に配置され該画素スイッチング素子を駆動する複数の走査線と、該画素スイッチング素子を介して画素電極と接続された共通線と、該他方の基板上にあって、上記複数の信号線と個別に一端が電気的に接続された複数の信号線スイッチング素子とを有する構成であってもよい。

【0070】上記の構成によれば、画素スイッチング素子のオン・オフにより発生する画素電位の押し下げと、信号線スイッチング素子のオン・オフにより発生する信号線電位の押し下げとが互いに打ち消し合うように発生するので、画素電位や信号線電位の調整を特に要せずに、より所望する値に近い電圧を液晶層に印加可能となるという効果を奏する。

【0071】

【発明の効果】本発明にかかる液晶表示装置は、以上のように、一对の基板と、該基板間に挟持された液晶層とを備え、基板の一方には、列方向に延び、データ信号が供給される複数の信号線が形成されるとともに、基板の他方には、複数の画素電極と、画素電極に接続された複数の画素スイッチング素子と、行方向に延び、画素スイッチング素子の動作制御を行う複数の走査線と、画素スイッチング素子を介して画素電極と接続された共通線とが形成されてなり、さらに、対応する信号線に接続されるとともに、信号線への上記データ信号の供給を制御する複数の信号線スイッチング素子を備えてなる構成である。

【0072】上記の構成によれば、不都合な直流成分がより低減され、かつ所望するレベルにより近い電圧を液晶層に印加することができるので、極めて良好な表示動作を行いうる液晶表示装置を提供可能となるという効果を奏する。

【0073】本発明にかかる液晶表示装置は、上記の構成において、上記複数の信号線スイッチング素子と画素スイッチング素子とが同一の基板上に形成されており、さらに、上記信号線スイッチング素子それぞれと、対応する信号線との電気的な接続を確保するための複数の信号線転移部が設けられている構成であることがより好ましい。

【0074】上記の構成によれば、画素スイッチング素子の形成時に、同時に、上記信号線スイッチング素子を形成することができる所以、製造工程の追加やコスト高を招来することなく信号線スイッチング素子を形成可能である。また、画素スイッチング素子による画素電極の電位の押し下げ量と、信号線スイッチング素子による信号線の電位の押し下げ量とをほぼ同量に合わせこむことがより容易となるという効果を加えて奏する。

【0075】本発明にかかる液晶表示装置は、上記の構成において、上記画素スイッチング素子および信号線スイッチング素子が薄膜トランジスタであって、そのチャネル長が略同一であるとともに、画素スイッチング素子のチャネル幅と画素の静電容量との比が、信号線スイッチング素子のチャネル幅と信号線の静電容量との比と、略同一であることがより好ましい。

【0076】上記の構造によれば、画素スイッチング素子による画素電極の電位の押し下げ量と、信号線スイッチング素子による信号線の電位の押し下げ量とがほぼ同じとなって互いに打ち消し合い、さらに、信号線および共通線の電圧信号のDCレベルがほぼ一致し、該信号線と共に線とを同一の電源で駆動することができるので、電圧形成ロスを省くことができるという効果を加えて奏する。

【0077】さらにまた、押し下げ量のセル毎のバラツキを個々に調整する必要がなく、従来構成と比較して調整に必要な部品や労力を省略できるので、コストダウンを図ることができるという効果を加えて奏する。

【0078】本発明にかかる液晶表示装置は、上記の構成において、上記画素スイッチング素子および信号線スイッチング素子が薄膜トランジスタであって、それらのチャネル長方向が略同一方向に揃っていることがより好ましい。

【0079】上記の構成によれば、液晶パネルの製造工程において、パターンシフトやすれが発生した場合でも、画素スイッチング素子による画素電極の電位の押し下げ量と、信号線スイッチング素子による信号線の電位の押し下げ量との双方がほぼ同じとなり、これらの押し下げ量が互いに打ち消し合う。さらに、信号線および共通線の電圧信号のDCレベルがほぼ一致し、該信号線と共に線とを同一の電源で駆動することができるので、電圧形成ロスを省くことができるという効果を加えて奏する。

【0080】本発明にかかる液晶表示装置の駆動方法は、以上のように、一対の基板と、これら基板間に挟持された液晶層とを備え、基板の一方には信号線が形成されるとともに、基板の他方には、画素電極と、画素電極に接続された画素スイッチング素子と、画素スイッチング素子の動作制御を行う走査線と、画素スイッチング素

10

30

子を介して画素電極と接続された共通線とが形成されたり、さらに、信号線へのデータ信号の供給を制御する信号線スイッチング素子を備えてなる液晶表示装置の駆動方法であって、液晶層を挟んで対向する画素電極と信号線とにおいて、画素電極へ書き込まれた共通線の電位を維持するべく画素スイッチング素子をオフ状態とする期間と、信号線に書き込まれたデータ信号の電位を維持するべく信号線スイッチング素子をオフ状態とする期間とが、少なくとも一部重複するように駆動を行う方法である。

【0081】上記の方法によれば、信号線電位の押し下げ量と、画素電極の電位の押し下げ量とが互いに打ち消し合い、不都合な直流成分がより低減されるとともに、所望するレベルにより近い電圧を液晶層に印加することが可能となるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係る液晶表示装置の等価回路の概略を示す図である。

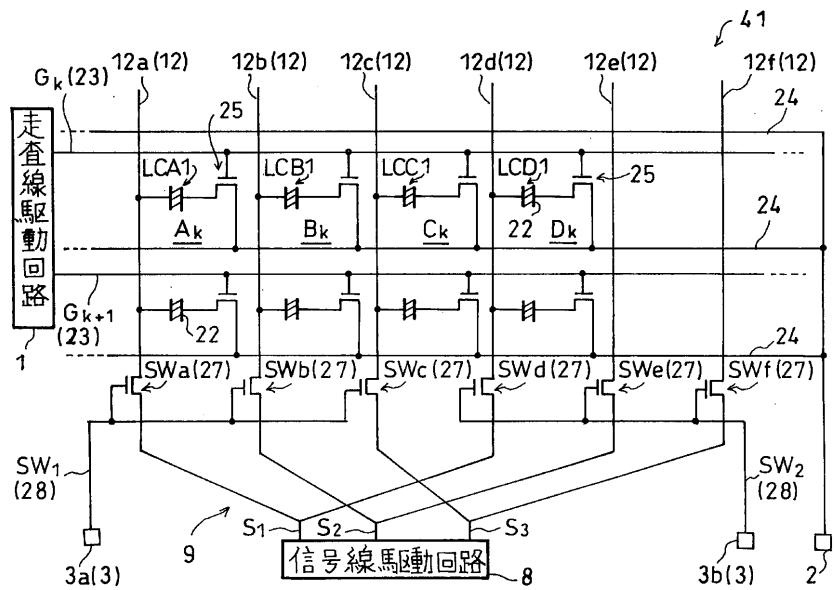
【図2】図1に示す液晶表示装置の概略構成を表す斜視図である。

【図3】図1に示す液晶表示装置の駆動状態を表すタイミングチャートである。

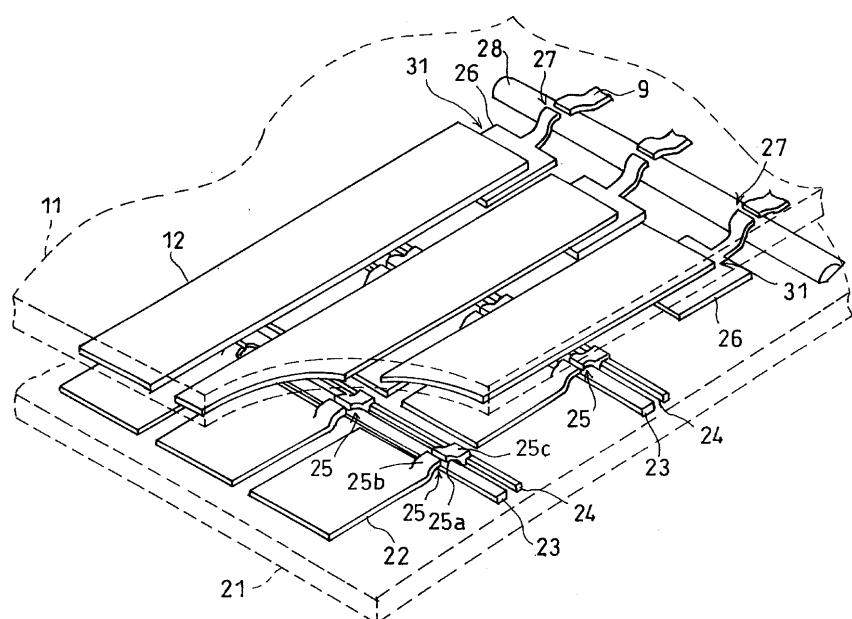
【符号の説明】

- | | |
|-----|-------------|
| 1 1 | ガラス基板(基板) |
| 1 2 | 信号線 |
| 2 1 | ガラス基板(基板) |
| 2 2 | 画素電極 |
| 2 3 | 走査線 |
| 2 4 | 共通線 |
| 2 5 | 画素スイッチング素子 |
| 2 7 | 信号線スイッチング素子 |
| 3 1 | 信号線転移部 |

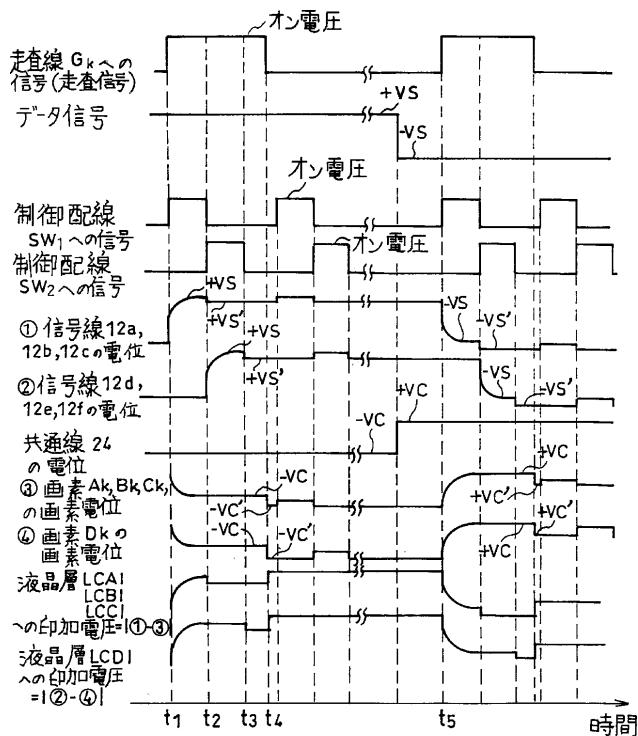
【図1】



【図2】



【図3】



フロントページの続き

(51) Int.CI. ⁷ G 0 9 G 3/20 3/36	識別記号 6 8 0	F I G 0 9 G 3/20 3/36	テ-マコド ⁸ (参考) 6 8 0 G 5 G 4 3 5
--	---------------	--------------------------------	---

(72)発明者 野口 登
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

F ターム(参考) 2H092 GA14 GA38 GA59 JA24 JB52
NA01 NA24 NA27 PA06 PA09
2H093 NA16 NA43 NC16 NC34 NC35
NC62 ND12 ND34 ND35 ND39
ND49 ND54 ND58 NE03 NH18
5C006 AF46 AF52 AF69 AF71 BB16
BC03 BC06 BC13 BC20 EB05
FA34 FA38 FA47
5C080 AA10 BB05 DD18 DD26 DD30
FF11 JJ02 JJ04 JJ06
5C094 AA02 AA21 AA43 AA44 BA03
BA43 CA19 DA14 DA15 DB04
EA04 EA07 EB02 FB12 FB14
FB15
5G435 AA00 AA17 BB12 EE33 EE36
EE41 GG21 HH12 HH13 HH14

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2002196366A	公开(公告)日	2002-07-12
申请号	JP2000395840	申请日	2000-12-26
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	永田尚志 山本智彦 野口登		
发明人	永田 尚志 山本 智彦 野口 登		
IPC分类号	G02F1/1368 G02F1/133 G09F9/00 G09F9/30 G09G3/20 G09G3/36		
F1分类号	G02F1/1368 G02F1/133.550 G09F9/00.348.C G09F9/30.338 G09G3/20.621.M G09G3/20.680.G G09G3/36 G09F9/00.348.Z		
F-TERM分类号	2H092/GA14 2H092/GA38 2H092/GA59 2H092/JA24 2H092/JB52 2H092/NA01 2H092/NA24 2H092/ /NA27 2H092/PA06 2H092/PA09 2H093/NA16 2H093/NA43 2H093/NC16 2H093/NC34 2H093/NC35 2H093/NC62 2H093/ND12 2H093/ND34 2H093/ND35 2H093/ND39 2H093/ND49 2H093/ND54 2H093/ /ND58 2H093/NE03 2H093/NH18 5C006/AF46 5C006/AF52 5C006/AF69 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC13 5C006/BC20 5C006/EB05 5C006/FA34 5C006/FA38 5C006/ /FA47 5C080/AA10 5C080/BB05 5C080/DD18 5C080/DD26 5C080/DD30 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06 5C094/AA02 5C094/AA21 5C094/AA43 5C094/AA44 5C094/BA03 5C094/ /BA43 5C094/CA19 5C094/DA14 5C094/DA15 5C094/DB04 5C094/EA04 5C094/EA07 5C094/EB02 5C094/FB12 5C094/FB14 5C094/FB15 5G435/AA00 5G435/AA17 5G435/BB12 5G435/EE33 5G435/ /EE36 5G435/EE41 5G435/GG21 5G435/HH12 5G435/HH13 5G435/HH14 2H092/JB37 2H192/AA24 2H192/AA25 2H192/AA33 2H192/BA17 2H192/CB05 2H192/CB52 2H192/CC04 2H192/CC58 2H192/ /EA22 2H192/EA43 2H192/FA14 2H192/FB05 2H192/GD61 2H193/ZA04 2H193/ZH40 2H193/ZP03		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置和该液晶显示装置的驱动方法，其中，抑制了因开关元件的导通/截止引起的施加于液晶的电压的变动。液晶显示装置包括：一对玻璃基板和夹在玻璃基板之间的液晶层；以及信号线（列电极），在其中一个玻璃基板的电极形成面上提供数据信号。在另一玻璃基板的电极形成面上形成有图12所示的像素电极22，连接至像素电极22的像素开关元件25，以及用于控制像素开关元件25的动作的扫描线（行电极）。23）和公共线24通过像素开关元件25连接到像素电极22，并进一步连接到信号线12，以控制向信号线12的数据信号供应。提供信号线切换元件27。

