

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4819094号
(P4819094)

(45) 発行日 平成23年11月16日(2011.11.16)

(24) 登録日 平成23年9月9日(2011.9.9)

(51) Int.Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
GO2F 1/1343 (2006.01) GO2F 1/1343

請求項の数 12 (全 11 頁)

(21) 出願番号	特願2008-141728 (P2008-141728)	(73) 特許権者	507134301
(22) 出願日	平成20年5月29日 (2008.5.29)		北京京東方光電科技有限公司
(65) 公開番号	特開2009-86629 (P2009-86629A)		中華人民共和国北京経済技術開発区西環中路8號
(43) 公開日	平成21年4月23日 (2009.4.23)	(74) 代理人	100064908
審査請求日	平成20年5月29日 (2008.5.29)		弁理士 志賀 正武
(31) 優先権主張番号	200710175483.9	(74) 代理人	100089037
(32) 優先日	平成19年9月29日 (2007.9.29)		弁理士 渡邊 隆
(33) 優先権主張国	中国 (CN)	(74) 代理人	100108453
			弁理士 村山 靖彦
		(74) 代理人	100110364
			弁理士 実広 信哉
		(72) 発明者	金 在光
			中華人民共和国北京経済技術開発区西環中路8號

最終頁に続く

(54) 【発明の名称】 水平電界型液晶ディスプレイ装置の画素構造

(57) 【特許請求の範囲】

【請求項1】

複数の画素ユニットを含んだ水平電界型液晶ディスプレイ装置の画素構造であって、前記各画素ユニットは、画素ユニットに対応するゲートラインと、画素ユニットに対応するデータラインと、少なくとも1つの薄膜トランジスタと、を備え、前記薄膜トランジスタは前記ゲートラインと前記データラインと電気的に連結され、前記ゲートラインと前記データラインにより前記画素ユニットが4つの子画素に分割され、前記子画素に前記薄膜トランジスタと電気的に連結された画素電極が設けられ、前記画素電極に方向が設定された複数のスリットが設けられた水平電界型液晶ディスプレイ装置の画素構造。

【請求項2】

前記子画素の面積は同じであることを特徴とする請求項1に記載の水平電界型の液晶ディスプレイ装置の画素構造。

【請求項3】

第1～4の子画素において、前記スリットと前記ゲートラインとの間の角度がそれぞれ、 $(n/2) +$ 、 $[(n+1)/2] +$ 、 $[(n+2)/2] +$ 、 $[(n+3)/2] +$ であり、又は、第1～4の子画素において、前記スリットと前記データラインとの間の角度が、それぞれ $(n/2) +$ 、 $[(n+1)/2] +$ 、 $[(n$

$+ 2) / 2] +$ 、 $[(n + 3) / 2] +$ であり、但し、 n は自然数、 θ は 180 度、 $0 < \theta < 90$ 度であることを特徴とする請求項1に記載の水平電界型液晶ディスプレイ装置の画素構造。

【請求項4】

第1～4の子画素において、前記スリットと前記ゲートラインとの間の角度が、それぞれ、 $n + \theta$ 、 $n - \theta$ 、 $(n + 1) + \theta$ 、 $(n + 1) - \theta$ であり、又は、第1～4の子画素において、前記スリットと前記ゲートラインとの間の角度が、それぞれ、 $n - \theta$ 、 $n + \theta$ 、 $(n + 1) - \theta$ 、 $(n + 1) + \theta$ であり、又は、第1～4の子画素において、前記スリットと前記データラインとの間の角度が、それぞれ、 $n + \theta$ 、 $n - \theta$ 、 $(n + 1) + \theta$ 、 $(n + 1) - \theta$ であり、又は、第1～4の子画素において、前記スリットと前記データラインとの夾角が、それぞれ、 $n - \theta$ 、 $n + \theta$ 、 $(n + 1) - \theta$ 、 $(n + 1) + \theta$ であり、但し、 n は自然数、 θ は 180 度、 $0 < \theta < 90$ 度であることを特徴とする請求項1に記載の水平電界型液晶ディスプレイ装置の画素構造。

10

【請求項5】

隣接しない子画素内に位置する前記スリットは相互に平行することを特徴とする請求項1または2に記載の水平電界型液晶ディスプレイ装置の画素構造。

【請求項6】

隣接する子画素内に位置する前記スリットは相互に垂直することを特徴とする請求項5に記載の水平電界型液晶ディスプレイ装置の画素構造。

【請求項7】

隣接する子画素内に位置するスリットは対称軸とするゲートラインに対して対称し、隣接する子画素内に位置するスリットは対称軸とするデータラインに対して対称することを特徴とする請求項5に記載の水平電界型の液晶ディスプレイ装置の画素構造。

20

【請求項8】

前記薄膜トランジスタは1つであり、前記薄膜トランジスタは1つの子画素内の画素電極と電氣的に連結され、異なる子画素内に位置する画素電極は相互に電氣的に連結されることを特徴とする請求項5に記載の水平電界型液晶ディスプレイ装置の画素構造。

【請求項9】

前記薄膜トランジスタは2つであり、各前記薄膜トランジスタは夫々2つの子画素内に位置する画素電極と電氣的に連結されることを特徴とする請求項5に記載の水平電界型液晶ディスプレイ装置の画素構造。

30

【請求項10】

前記薄膜トランジスタは2つであり、各前記薄膜トランジスタは夫々1つの子画素内に位置する画素電極と電氣的に連結され、薄膜トランジスタと電氣的に連結された前記画素電極は、薄膜トランジスタと電氣的に連結していないもう1つの前記画素電極と電氣的に連結されることを特徴とする請求項5に記載の水平電界型液晶ディスプレイ装置の画素構造。

【請求項11】

前記薄膜トランジスタは4つであり、各薄膜トランジスタは1つの子画素内の画素電極と電氣的に連結されることを特徴とする請求項5に記載の水平電界型液晶ディスプレイ装置の画素構造。

40

【請求項12】

前記水平電界は共同平面電界転換方式の水平電界、又はフリンジフィールド転換方式の水平電界であることを特徴とする請求項5に記載の水平電界型液晶ディスプレイ装置の画素構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイの画素構造、特に水平電界型液晶ディスプレイ装置の画素構造に関する。

50

【背景技術】

【0002】

共同平面電場転換 (in-plane field switching、以下は「IPS」と称する) 技術は、共同平面内に相互平行する水平電界を生じさせ、液晶分子の回転を発生させることにより、液晶ディスプレイ装置の視角性能を向上できる。フリンジフィールド転換 (fringe field switching、以下は「FFS」と称する) 技術は、電極間でフリンジフィールドを生じさせ、電極間及び電極正上方の全ての液晶分子を平面方向に回転転換させることにより、液晶ディスプレイ装置の視角性能を向上する。しかし、液晶ディスプレイ装置のディスプレイパネルが次第に増大することに伴い、IPS型の液晶ディスプレイ装置とFFS型の液晶ディスプレイ装置などの水平電界型の液晶ディスプレイ装置の視角性能はみな、大型液晶ディスプレイ装置、特に40インチ以上のワイド液晶ディスプレイ装置の視角性能に対する要求を満足できなくなる。

10

【0003】

従来のIPS型の液晶ディスプレイ装置とFFS型の液晶ディスプレイ装置はみなディスプレイパネル内の画素構造により同じ方向に視角を形成するため、見る視角と画素構造により形成された視角との方向が一致しない場合、使用者は正常の画面を見えなくなる。また、使用者のディスプレイパネルを見る角度が視角の極限に接近すれば接近するほど色違いがひどくなり、使用者の視覚効果に影響を与える。

【0004】

同時に、従来技術によって製造した大型の液晶ディスプレイ装置によくダックドット現象があり、即ち液晶ディスプレイパネルの製造過程においてディスプレイパネルに損傷された画素が現れ、該画素は正常に仕事できない。それによりディスプレイパネルにダックドットが現れ、液晶ディスプレイ装置の顯示効果に大きな影響を与える。

20

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は水平電界型の液晶ディスプレイ装置の画素構造を提供し、大型液晶ディスプレイ装置の視角性能を効果的に向上し、色違いとダックドットの欠陥を克服することである。

【0006】

本発明の1つの方面において、水平電界型の液晶ディスプレイ装置の画素構造が提供される。該画素構造は複数の画素ユニットを含み、各画素ユニットは、画素ユニットに対応するゲートラインと、画素ユニットに対応するデータラインと、少なくとも1つの薄膜トランジスタと、を備え、薄膜トランジスタはゲートラインとデータラインと電気的に連結され、ゲートラインとデータラインにより画素ユニットが4つの子画素に分割され、子画素に薄膜トランジスタと電気的に連結された画素電極が設けられ、画素電極に方向が設定された複数のスリットが設けられる。

30

【0007】

子画素の面積は同じであることが望ましい。

【0008】

第1~4の子画素において、スリットとゲートラインとの間の角度が、それぞれ $(n/2)^+$ 、 $[(n+1)/2]^+$ 、 $[(n+2)/2]^+$ 、 $[(n+3)/2]^+$ であり、又は、第1~4の子画素において、スリットとデータラインとの間の角度が、それぞれ、 $(n/2)^+$ 、 $[(n+1)/2]^+$ 、 $[(n+2)/2]^+$ 、 $[(n+3)/2]^+$ であり、但し、 n は自然数、 $^+$ は180度、 $^-$ は90度であることが望ましい。

40

【0009】

第1~4の子画素において、スリットとゲートラインとの間の角度が、それぞれ、 n^+ 、 n^- 、 $(n+1)^+$ 、 $(n+1)^-$ であり、又は、第1~4の子画素において、スリットとゲートラインとの間の角度が、それぞれ、 n^- 、 n^+ 、 $(n+1)^-$ 、 $(n+1)^+$ であり、

50

$n + 1$) - 、 $(n + 1) +$ であり、又は、第 1 ~ 4 の子画素において、スリットとデータラインとの間の角度が、それぞれ、 $n +$ 、 $n -$ 、 $(n + 1) +$ 、 $(n + 1) -$ 、又は、第 1 ~ 4 の子画素において、スリットとデータラインとの間の角度が、それぞれ、 $n -$ 、 $n +$ 、 $(n + 1) -$ 、 $(n + 1) +$ 、但し、 n は自然数、 θ は 180 度、 $0 < \theta < 90$ 度であることが望ましい。

【 0 0 1 0 】

隣接しない子画素内に位置するスリットは相互に平行することが望ましい。

【 0 0 1 1 】

隣接する子画素内に位置するスリットは相互に垂直することが望ましい。

【 0 0 1 2 】

隣接する子画素内に位置するスリットは、対称軸とするゲートラインに対して対称し、隣接する子画素内に位置するスリットは、対称軸とするデータラインに対して対称することが望ましい。

【 0 0 1 3 】

薄膜トランジスタは 1 つであり、薄膜トランジスタと 1 つの子画素内の画素電極と電氣的に連結され、異なる画素内に位置する画素電極は相互に電氣的に連結されることが望ましい。

【 0 0 1 4 】

薄膜トランジスタは 2 つであり、各薄膜トランジスタは夫々 2 つの子画素内に位置する画素電極と電氣的に連結されることが望ましい。

【 0 0 1 5 】

薄膜トランジスタは 2 つであり、各薄膜トランジスタは夫々 1 つの子画素内に位置する画素電極と電氣的に連結され、薄膜トランジスタと電氣的に連結された画素電極は、もう 1 つの薄膜トランジスタと電氣的に連結していない画素電極と連結されることが望ましい。

【 0 0 1 6 】

薄膜トランジスタは 4 つであり、各薄膜トランジスタは 1 つの子画素内の画素電極と電氣的に連結されることが望ましい。

【 0 0 1 7 】

水平電界は共同平面電界転換方式の水平電界、又は境界電界転換方式の水平電界であることが望ましい。

【 発明を実施するための最良の形態 】

【 0 0 1 8 】

本発明の実施例により水平電界型液晶ディスプレイ装置の画素構造を提供し、該画素構造は、複数の画素ユニットを含み、各画素ユニットは画素ユニットに対応するゲートラインと、画素ユニットに対応するデータラインと、少なくとも 1 つの薄膜トランジスタと、を備え、薄膜トランジスタはゲートラインとデータラインと電氣的に連結され、ゲートラインとデータラインにより画素ユニットが 4 つの子画素に分割され、子画素に薄膜トランジスタと電氣的に連結された画素電極が設けられ、画素電極に方向が設定された複数のスリットが設けられた。

【 実施例 1 】

【 0 0 1 9 】

図 1 は本発明実施例 1 の構造概略図である。図 1 に示すように、各画素ユニットは、画素ユニットに対応するゲートライン 1 と、画素ユニットに対応するデータライン 2 と、2 つの薄膜トランジスタ 3 と、4 つの子画素 4 と、4 つの画素電極 5 と、を備え、前記ゲートライン 1 は画素ユニット内の隣接する子画素 4 同士の間位置し、データライン 2 は画素ユニット内の隣接する子画素 4 同士の間位置し、ゲートライン 1 とデータライン 2 とは相互に垂直し、1 つの薄膜トランジスタ 3 はゲートライン 1、データライン 2 及び 2 つの隣接子画素 4 と電氣的に連結され、各子画素 4 内に 1 つの画素電極 5 が設けられ、各画素電極に方向が設定された複数のスリットが設けられ、更に該画素ユニットは水平電界を

10

20

30

40

50

生じさせ、液晶分子の配列を制御する。

【 0 0 2 0 】

本実施例に提供される液晶ディスプレイ装置の画素構造は、水平電界により液晶分子を配列し、更に画素電極のスリットにより方向の異なる水平電界を形成し、異なる方向に視角を形成する技術案である。本実施例の画素構造は複数の方向に視角を形成したため、1つの方向に視角を形成した従来の画素構造と比べ、本実施例の技術案は液晶ディスプレイ装置の視角性能を更に向上し、それにより使用者は異なる方向、異なる視角からディスプレイパネルを見ても視覚効果が影響されない。また、該技術案は4つの子画素により一つの画素ユニットを構成し、且つ各子画素内のスリットの方向が異なるため、使用者の視角がある方向の極限視角に接近する時、近い方向に形成された視角から光線の補償を得られ、ある方向の極限視角に接近する時に発生する色違いを効果的に防止できる。同時に、製造過程において、ある画素電極が損傷される場合、該画素電極に対応する子画素はスリット方向が異なる隣接の子画素から光線の補償を得られるため、損傷画素電極による影響を効果的に低減できる。

10

【 0 0 2 1 】

本実施例にかかるゲートラインとデータラインは垂直交差する網状型構造であるが、必要に応じて設定された角度をもつ網状型構造であっても良い。また、本実施例にかかる各子画素の面積は同じであり、更に色顯示の具体的な必要に応じて画素面積の大きさを調整できる。

【 0 0 2 2 】

図2は本発明図1のA領域の拡大概略図である。図2に示すように、ゲートライン1と画素電極5との間の角度はaである。図3は本発明図1のB領域の拡大概略図である。図3に示すように、ゲートライン2と画素電極5との間の角度はbである。実際において、具体的な必要によって子画素同士の間角度a、bを夫々調整でき、それにより異なる子画素内に位置する画素電極のスリットの方向を夫々異ならせ、同時に画素電極のスリットの数量も必要に応じて調整できる。図4は本発明の図1のC領域の拡大概略図である。図4に示すように、2つの子画素内のスリットにより形成された角度はcである。実際の必要によって、2つのスリットの間形成された角度cも調整できる。

20

【 0 0 2 3 】

図1に示すように、第1～4の子画素において、スリットとゲートライン1との間の角度が、それぞれ、 $(n/2) +$ 、 $[(n+1)/2] +$ 、 $[(n+2)/2] +$ 、 $[(n+3)/2] +$ であり、但し、nは自然数、は180度、0 90度である。仮にn=0、=45度の場合、右上の子画素、即ち第1の子画素において、スリットとゲートライン1との間の角度は45度であり、左上の子画素、即ち第2の子画素において、スリットとゲートライン1との間の角度は135度であり、左下の子画素、即ち第3の子画素において、スリットとゲートライン1との間の角度は225度であり、右下の子画素、即ち第4の子画素において、スリットとゲートライン1との間の角度は315度である。

30

【 0 0 2 4 】

この時、の数値を問わず、隣接する子画素内に形成された画素電極のスリット同士の間は、90度の角度を有する。第1～4の子画素において、スリットとデータラインとの間の角度が、それぞれ、 $(n/2) +$ 、 $[(n+1)/2] +$ 、 $[(n+2)/2] +$ 、 $[(n+3)/2] +$ であると、状況が同じであるため、詳細が省略する。

40

【 0 0 2 5 】

図1に示すように、第1～4の子画素において、スリットとゲートラインとの間の角度が、それぞれ、 $n +$ 、 $n -$ 、 $(n+1) +$ 、 $(n+1) -$ であり、但し、nは自然数、は180度、0 90度である。仮にn=0、=45度の場合、右上の子画素、即ち第1の子画素において、スリットとゲートライン1との間の角度は45度であり、左上の子画素、即ち第2の子画素において、スリットとゲートライン1との

50

間の角度は135度であり、左下の子画素、即ち第3の子画素において、スリットとゲートライン1との間の角度は225度であり、右下の子画素、即ち第4の子画素において、スリットとゲートライン1との間の角度は315度である。

【0026】

この時、 n の数值を問わず、隣接の子画素内に形成された画素電極のスリット同士は、ゲートライン、或いはデータラインを対称軸として対称し、即ち隣接の画素電極のスリットの位置関係は上下関係である時、ゲートラインを対称軸として上下対称し、隣接の画素電極のスリットの位置関係は左右関係である時、データラインを対称軸として左右対称する。第1～4の子画素において、スリットとゲートラインとの間の角度が、それぞれ、 $n -$ 、 $n +$ 、 $(n + 1) -$ 、 $(n + 1) +$ であり、又は、第1～4の子画素において、スリットとデータラインとの間の角度が、それぞれ、 $n +$ 、 $n -$ 、 $(n + 1) +$ 、 $(n + 1) -$ であり、又は、第1～4の子画素において、スリットとデータラインとの間の角度が、それぞれ、 $n -$ 、 $n +$ 、 $(n + 1) -$ 、 $(n + 1) +$ である場合、状況は同じであるため、ここで省略する。

10

【0027】

また、本実施例において、隣接しない画素電極のスリットは画素中心を対称点にして相互に点对称する。

【0028】

更に、画素電極のスリットをゲートライン、或いはデータラインと平行させてもよく、また、スリットは直線形のほかに、曲線形であってもよい。

20

【0029】

更に、本実施例にかかる水平電界はIPS方式、或いはFFS方式であってよく、この2種類方式の水平電界は従来技術であるため、ここで省略する。

【実施例2】

【0030】

図5は本発明の実施例2の構造概略図である。図5に示すように、画素ユニットは、画素ユニットに対応するゲートライン1と、画素ユニットに対応するデータライン2と、4つの薄膜トランジスタ3と、4つの子画素4と、4つの画素電極5と、を備え、前記ゲートライン1は画素ユニット内の隣接画素4同士の間位置し、データライン2は画素ユニット内の隣接画素4同士の間位置し、ゲートライン1とデータライン2とは相互に垂直し、1つの薄膜トランジスタ3は、ゲートライン1、データライン2及び1つの子画素4と電氣的に連結され、即ち各薄膜トランジスタ3は、それぞれ1つの子画素4に対応し、各子画素4内に1つの画素電極5が設けられ、各画素電極5に方向が設定された複数のスリットが設けられ、更に該画素ユニットは水平電界を生じさせ、液晶分子の配列を制御する。

30

【0031】

本実施例に提供された液晶ディスプレイ装置の画素構造は、4つの薄膜トランジスタを有する画素ユニットにより画素構造を形成し、実施例1と同じの技術的效果を実現した。同時に4つの薄膜トランジスタを採用したため、1つの薄膜トランジスタが損傷される場合、2つの子画素にダックドット現象は発生しない。それにより液晶ディスプレイ装置の顯示効果が向上されるとともに、許容度も向上される。

40

【実施例3】

【0032】

図6は本発明の実施例3の構造概略図である。図6に示すように、画素ユニットは、画素ユニットに対応するゲートライン1と、画素ユニットに対応するデータライン2と、2つの薄膜トランジスタ3と、4つの子画素4と、4つの画素電極5と、を備え、前記ゲートライン1は画素ユニット内の隣接子画素4同士の間位置し、データライン2は画素ユニット内の隣接子画素4同士の間位置し、ゲートライン1とデータライン2とは相互に垂直し、1つの薄膜トランジスタ3は、ゲートライン1、データライン2及び2つの隣接子画素4と電氣的に連結され、各子画素4内に1つの画素電極5が設けられ、各画素電極

50

5に方向が設定された複数のスリットが設けられ、更に隣接画素電極5のスリット同士の間形成された角度は直角であり、また、2つの画素電極5のスリットはゲートライン1と平行し、残りの2つの画素電極5のスリットはデータライン2と平行し、更に該画素ユニットは水平電界を生じさせ、液晶分子の配列を制御する。

【0033】

本実施例に提供された液晶ディスプレイ装置の画素構造は、画素電極のスリットの間角度を直角に設置する技術案により、各方向に形成する視角を均一に分布でき、異なる方向、異なる視角の視覚効果を考慮できる。

【0034】

更に、図6に示すように、第1～4の子画素において、スリットとゲートライン1との間の角度が、それぞれ、 $(n/2) + \theta$ 、 $[(n+1)/2] + \theta$ 、 $[(n+2)/2] + \theta$ 、 $[(n+3)/2] + \theta$ であり、 n は自然数、 θ は180度、0度、90度である。仮に $n=0$ 、 $\theta=0$ の場合、右上の子画素、即ち第1の子画素において、スリットとゲートライン1との間の角度は0度であり、左上の子画素、即ち第2の子画素において、スリットとゲートライン1との間の角度は90度であり、左下の子画素、即ち第3の子画素において、スリットとゲートライン1との間の角度は180度であり、右下の子画素、即ち第4の子画素において、スリットとゲートライン1との間の角度は270度である。第1～4の子画素において、スリットとデータラインとの間の角度が、それぞれ、 $(n/2) + \theta$ 、 $[(n+1)/2] + \theta$ 、 $[(n+2)/2] + \theta$ 、 $[(n+3)/2] + \theta$ であれば、 $n=0$ 、 $\theta=90$ 度となる場合について、詳細な説明がここで省略する。

【実施例4】

【0035】

図7は本発明の実施例4の構造概略図である。図7に示すように、画素ユニットは、画素ユニットに対応するゲートライン1と、画素ユニットに対応するデータライン2と、1つの薄膜トランジスタ3と、4つの子画素4と、4つの画素電極5と、を備え、前記ゲートライン1は画素ユニット内の隣接画素4同士の間位置し、データライン2は画素ユニット内の隣接画素4同士の間位置し、ゲートライン1とデータライン2とは相互に垂直し、薄膜トランジスタ3はゲートライン1、データライン2及び1つの隣接子画素4と電氣的に連結され、各子画素4内に1つの画素電極5が設けられ、隣接画素4内の画素電極5は導電梁6を介して相互に電氣的に連結され、各画素電極5に設定方向を有する複数のスリットが設けられ、更に該画素ユニットは水平電界を生じさせ、液晶分子の配列を制御する。

【0036】

更に、導電梁は隣接子画素内の画素電極を電氣的に連結することに用いられるため、導電梁自身は画素電極材料であってよく、又はデータライン金属材料であってよい。即ち、導電梁は画素電極材料である時、画素電極の形成過程において同時に形成できる。導電梁はデータライン金属材料である時、データラインとソース・ドレイン電極の形成過程において同時に形成でき、更にパッシベーション層に設置された電氣的連結ビアホールを介して隣接子画素内の画素電極の電氣的な連結を実現する。

【実施例5】

【0037】

図8は本発明の実施例5の構造概略図である。図8に示すように、画素ユニットは、画素ユニットに対応するゲートライン1と、画素ユニットに対応するデータライン2と、2つの薄膜トランジスタ3と、4つの子画素4と、4つの画素電極5と、を備え、前記ゲートライン1は画素ユニット内の隣接画素4同士の間位置し、データライン2は画素ユニット内の隣接画素4同士の間位置し、ゲートライン1とデータライン2とは相互に垂直し、1つの薄膜トランジスタ3はゲートライン1、データライン2及び1つの隣接子画素4と電氣的に連結され、各子画素4内に1つの画素電極5が設けられ、薄膜トランジスタ3と電氣的に連結された画素電極5は導電梁6を介して、薄膜トランジスタ3と電氣的に

10

20

30

40

50

連結していない画素電極 5 と電氣的に連結され、各画素電極 5 に設定方向を有する複数のスリットが設けられ、更に該画素ユニットは水平電界を生じさせ、液晶分子の配列を制御する。

【 0 0 3 8 】

更に、導電梁は隣接子画素内の画素電極を電氣的に連結することに用いられるため、導電梁自身は画素電極材料であってよく、又はデータライン金属材料であってよい。即ち、導電梁は画素電極材料である時、画素電極の形成過程において同時に形成できる。導電梁はデータライン金属材料である時、データラインとソース・ドレイン電極の形成過程において同時に形成でき、更にパッシベーション層に設置された電氣的連結ビアホールを介して隣接子画素内の画素電極の電氣的な連結を実現する。

10

【 0 0 3 9 】

上記実施例は本発明の技術案を説明するものであり、限定するものではない。最良な実施形態を参照して本発明を詳細に説明したが、当業者にとって、必要に応じて異なる材料や設備などをもって本発明を実現できる。即ち、その要旨を逸脱しない範囲内において種々の形態で実施しえるものである。

【 図面の簡単な説明 】

【 0 0 4 0 】

【 図 1 】 本発明の実施例 1 の構造概略図。

【 図 2 】 本発明図 1 の A 領域の拡大概略図。

【 図 3 】 本発明図 1 の B 領域の拡大概略図。

【 図 4 】 本発明図 1 の C 領域の拡大概略図。

【 図 5 】 本発明の実施例 2 の構造概略図。

【 図 6 】 本発明の実施例 3 の構造概略図。

【 図 7 】 本発明の実施例 4 の構造概略図。

【 図 8 】 本発明の実施例 5 の構造概略図。

【 符号の説明 】

【 0 0 4 1 】

1 : ゲートライン

2 : データライン

3 : 薄膜トランジスタ

4 : 子画素

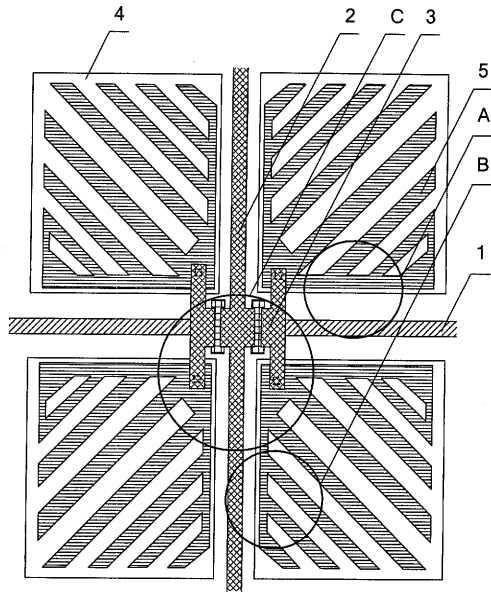
5 : 画素電極

6 : 導電梁

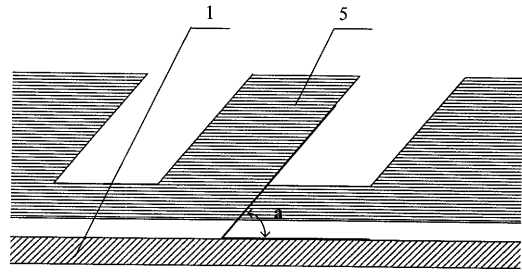
20

30

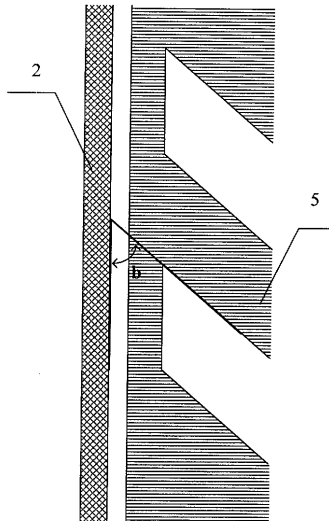
【図1】



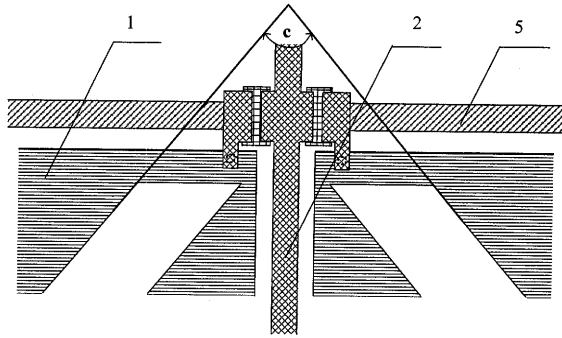
【図2】



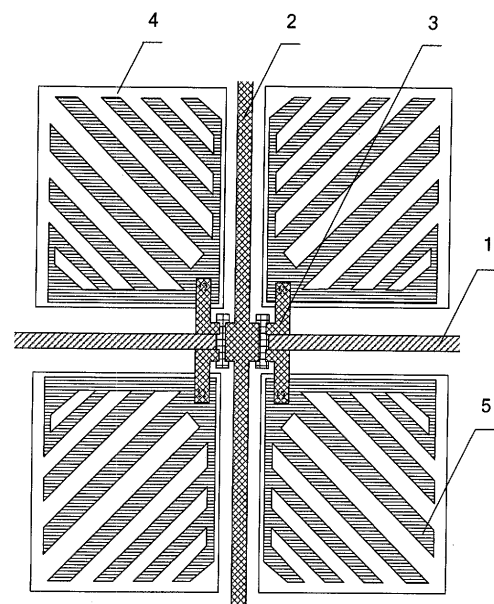
【図3】



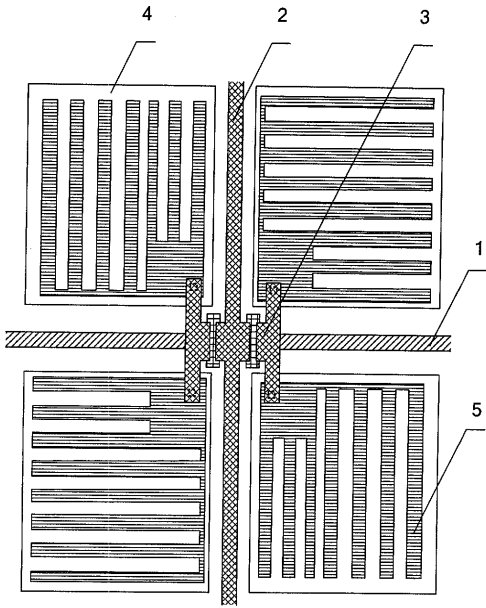
【図4】



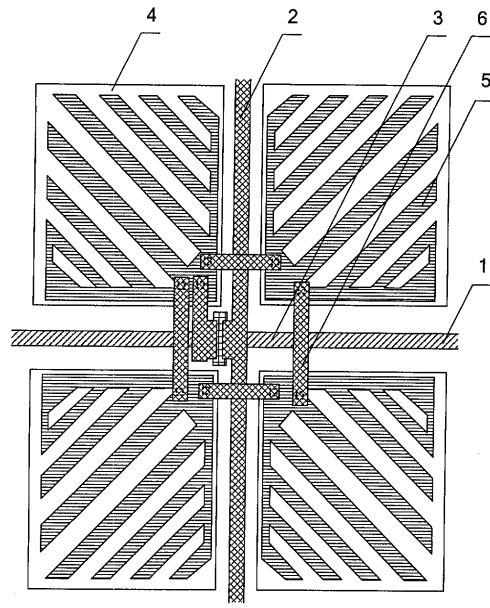
【図5】



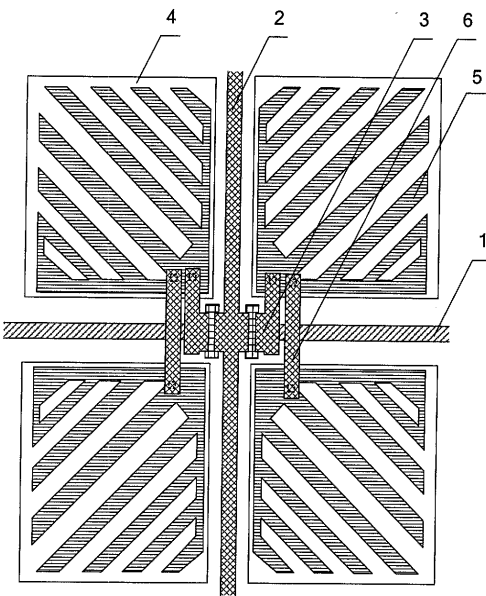
【図 6】



【図 7】



【図 8】



フロントページの続き

審査官 森江 健蔵

- (56)参考文献 特開平09 - 269509 (JP, A)
特開平05 - 066412 (JP, A)
特開2006 - 330137 (JP, A)
特開2006 - 330638 (JP, A)
特開2004 - 037854 (JP, A)
特開2004 - 145270 (JP, A)
特開2006 - 091062 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G02F 1/1343

专利名称(译)	水平电场型液晶显示装置的像素结构		
公开(公告)号	JP4819094B2	公开(公告)日	2011-11-16
申请号	JP2008141728	申请日	2008-05-29
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	金在光		
发明人	金在光		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/134363 G02F2001/134345 G02F2001/134372		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/JA24 2H192/AA24 2H192/BB13 2H192/BB53 2H192/BC12 2H192/BC42 2H192/CB02 2H192/CB05 2H192/CB45 2H192/CC05 2H192/CC22 2H192/JA33		
代理人(译)	渡边 隆 村山 彦		
审查员(译)	森江 健藏		
优先权	200710175483.9 2007-09-29 CN		
其他公开文献	JP2009086629A		
外部链接	Espacenet		

摘要(译)

提供一种水平电场型液晶显示装置的像素结构。像素结构包括多个像素单元，每个像素单元包括对应于像素单元的栅极线，对应于像素单元的数据线，以及至少一个薄膜晶体管，其中薄膜晶体管包括栅极线像素单元与数据线电连接，像素单元通过栅极线和数据线分成四个子像素，电连接到薄膜晶体管的像素电极为子像素提供，设置方向设置为像素电极提供多个狭缝。点域1

【图5】

