

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-242197

(P2008-242197A)

(43) 公開日 平成20年10月9日(2008.10.9)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H093
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 550	5C006
<b>G09G 3/20 (2006.01)</b>	G02F 1/133 575	5C080
	G09G 3/20 641G	
	G09G 3/20 623C	
審査請求 未請求 請求項の数 17 O L (全 28 頁) 最終頁に続く		

(21) 出願番号 特願2007-84201 (P2007-84201)  
 (22) 出願日 平成19年3月28日 (2007.3.28)

(71) 出願人 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100090479  
 弁理士 井上 一  
 (74) 代理人 100104710  
 弁理士 竹腰 昇  
 (74) 代理人 100124626  
 弁理士 榎並 智和  
 (74) 代理人 100124682  
 弁理士 黒田 泰  
 (72) 発明者 渡辺 賢哉  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

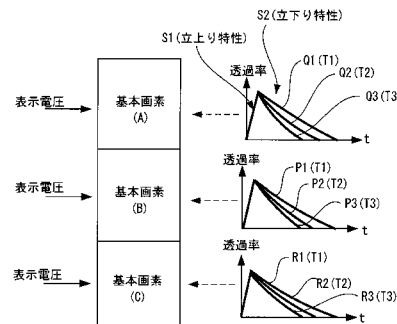
(54) 【発明の名称】 アクティブマトリクス型液晶装置、画素回路、画素駆動方法および電子機器

(57) 【要約】

【課題】 基本画素と副画素によって1画素が構成される液晶装置において、各画素における液晶の光学的特性の整合性を実現容易な方法で確保すると共に、面積階調を行う場合における、副画素の数と面積比率との関係を明確化し、また、面積階調駆動とサブフィールド駆動との整合性も確保し易くする。

【解決手段】 基本画素(A)と副画素(B, C)の透過率を、液晶の粘性に依存する立下り応答特性(S2)を支配的要因として決定する。副画素の数をnとしたとき、基本画素の画素面積は $1/(2n+1)$ とし、副画素の画素面積は $2/(2n+1)$ に設定する。必要に応じて、印加電圧値を可変とし、また、電圧印加期間を可変とする。また、デジタル階調駆動と組み合わせることによって、さらに細かな階調表示を実現する。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

複数の走査線と、複数のデータ線と、マトリクス状に配置された複数の画素を有する画素部と、を含むアクティブマトリクス型液晶装置であって、

前記複数の画素のうち少なくとも一部の画素は、基本画素および少なくとも一つの副画素を含み、

前記画素における多階調表示を行うために、前記基本画素および前記副画素の各々における液晶の光学特性が独立に制御され、

前記基本画素および前記副画素の各々における前記液晶の応答特性のうち、前記液晶の粘性に依存する立下り応答特性を積極的に利用して階調表示を行う、

ことを特徴とするアクティブマトリクス型液晶装置。

10

**【請求項 2】**

請求項 1 記載のアクティブマトリクス型液晶装置であって、

前記基本画素および前記副画素の各々は、

前記走査線によってオン/オフが制御されると共に、オン状態となったときに前記データ線の電圧を前記液晶に供給するトランスファースイッチと、

前記トランスファースイッチのオンによって前記液晶への印加電圧が立ち上って最大電圧値に達し、前記トランスファースイッチがオフ状態に移行した後、前記液晶への印加電圧を急峻に低下させる印加電圧オフ手段と、

を有することを特徴とするアクティブマトリクス型液晶装置。

20

**【請求項 3】**

請求項 2 記載のアクティブマトリクス型液晶装置であって、

前記印加電圧オフ手段は、

前記液晶に並列に接続される保持容量を含み、前記保持容量の容量値は、前記トランスファースイッチのオフ期間において前記液晶の前記印加電圧を一定値に維持できない値に設定されることを特徴とするアクティブマトリクス型液晶装置。

**【請求項 4】**

請求項 2 または請求項 3 記載のアクティブマトリクス型液晶装置であって、

前記印加電圧オフ手段は、

前記トランスファースイッチとは独立にオン/オフが制御され、一端が前記液晶に接続され、他端が前記データ線とは別個に設けられるディスチャージ線に接続されたディスチャージ素子を含み、

前記トランスファースイッチがオフ状態となり、前記ディスチャージ素子がオン状態となった場合に、前記液晶の前記印加電圧を維持する必要があるときは、前記ディスチャージ線には前記印加電圧と同じ値の第 1 の電圧を印加し、前記液晶の前記印加電圧を急峻に低下させる必要があるときは、前記ディスチャージ線には前記第 1 の電圧よりも低い第 2 の電圧を印加する、

ことを特徴とするアクティブマトリクス型液晶装置。

30

**【請求項 5】**

請求項 2 ~ 請求項 4 のいずれか記載のアクティブマトリクス型液晶装置であって、

前記基本画素の前記トランスファースイッチおよび前記副画素の前記トランスファースイッチの各々は、ゲートが共通の走査線に接続され、一端が別々のデータ線に接続され、他端が前記液晶に接続された MOS トランジスタによって構成され、

前記基本画素および前記副画素における前記トランスファースイッチとしての前記 MOS トランジスタのサイズは等しく設定され、

前記基本画素および前記副画素における前記保持容量の容量値は等しく設定される、

ことを特徴とするアクティブマトリクス型液晶装置。

40

**【請求項 6】**

請求項 1 ~ 請求項 5 のいずれか記載のアクティブマトリクス型液晶装置であって、

前記基本画素の画素面積と、前記少なくとも一つの副画素の画素面積との比率が所定比

50

率に設定され、これによって前記画素の階調表示が行われることを特徴とするアクティブマトリクス型液晶装置。

【請求項 7】

請求項 6 記載のアクティブマトリクス型液晶装置であって、  
前記 1 画素の全体の画素面積を 1 とし、かつ、前記副画素の数を  $n$  ( $n$  は 1 以上の自然数) としたとき、

前記基本画素の画素面積は、 $1 / (2n + 1)$  に設定され、

前記副画素の画素面積は、 $2 / (2n + 1)$  に設定される、

ことを特徴とするアクティブマトリクス型液晶装置。

【請求項 8】

請求項 1 ~ 請求項 7 のいずれか記載のアクティブマトリクス型液晶装置であって、  
前記基本画素の液晶および前記副画素の液晶の各々に対する印加電圧値を、前記画素の表示階調に対応させて変化させることを特徴とするアクティブマトリクス型液晶装置。

【請求項 9】

請求項 1 ~ 請求項 7 のいずれか記載のアクティブマトリクス型液晶装置であって、  
前記基本画素の液晶および前記副画素の液晶の各々に対する電圧の印加期間を、前記画素の表示階調に対応させて変化させることを特徴とするアクティブマトリクス型液晶装置。

【請求項 10】

請求項 1 ~ 請求項 9 のいずれか記載のアクティブマトリクス型液晶装置であって、  
画像表示のための 1 フィールド期間を複数のサブフィールド期間に分割し、各サブフィールド期間毎に前記液晶への電圧印加の有無を制御することによって、前記 1 画素の階調表示を行うことを特徴とするアクティブマトリクス型液晶装置。

【請求項 11】

請求項 1 ~ 請求項 10 のいずれか記載のアクティブマトリクス型液晶装置であって、  
前記基本画素と前記副画素との間、ならびに複数の副画素が設けられるときは各副画素の間に、所定電位に固定されたシールド領域が設けられることを特徴とするアクティブマトリクス型液晶装置。

【請求項 12】

複数の走査線と、複数のデータ線と、マトリクス状に配置された複数の画素を有する画素部と、を含むアクティブマトリクス型液晶装置における、前記画素を構成する画素回路であって、

前記複数の画素のうち少なくとも一部の画素における前記画素回路は、基本画素を構成する基本画素回路と、副画素を構成する副画素回路と、を有し、

前記基本画素回路および前記副画素回路の各々は、

前記走査線によってオン/オフが制御されると共に、オン状態となったときに前記データ線の電圧を前記液晶に供給するトランスファースイッチと、

前記トランスファースイッチのオンによって前記液晶への印加電圧が立上って最大電圧値に達し、前記トランスファースイッチがオフ状態に移行した後、前記液晶への印加電圧を急峻に低下させる印加電圧オフ手段と、

を有し、

前記基本画素の前記トランスファースイッチおよび前記副画素の前記トランスファースイッチの各々は、ゲートが共通の走査線に接続され、一端が別々のデータ線に接続され、他端が前記液晶に接続された MOS トランジスタによって構成され、

前記基本画素および前記副画素における前記トランスファースイッチとしての前記 MOS トランジスタのサイズは等しく設定され、

前記 1 画素の全体の画素電極の面積を 1 とし、かつ、前記副画素の数を  $n$  ( $n$  は 1 以上の自然数) としたとき、

前記基本画素回路における画素電極の面積は、 $1 / (2n + 1)$  に設定され、

前記副画素回路における画素電極の面積は、 $2 / (2n + 1)$  に設定される、

10

20

30

40

50

ことを特徴とする画素回路。

【請求項 13】

1画素を基本画素および少なくとも一つの副画素によって構成すると共に、前記基本画素および前記副画素の各々において、液晶への印加電圧が最大値に達した後に前記液晶への印加電圧を急峻に低下させ、これによって、前記基本画素および前記副画素の各々における前記液晶の応答特性のうちの、前記液晶の粘性に依存する立下り応答特性を積極的に利用して階調表示を行うことを特徴とする画素駆動方法。

【請求項 14】

請求項 13 記載の画素駆動方法であって、

前記 1画素の全体の画素電極の面積を 1とし、かつ、前記副画素の数を  $n$  ( $n$  は 1以上の自然数)としたとき、

前記基本画素回路における前記画素電極の面積は、 $1 / (2n + 1)$  に設定され、

前記副画素回路における前記画素電極の面積は、 $2 / (2n + 1)$  に設定される、

ことを特徴とする画素駆動方法。

10

【請求項 15】

請求項 13 または 請求項 14 記載の画素駆動方法であって、

前記基本画素の画素電極ならびに前記副画素の画素電極の各々に与えられる前記印加電圧の電圧値、または、前記印加電圧が前記液晶に印加される期間を、個別に調整することを特徴とする画素駆動方法。

【請求項 16】

請求項 13 ~ 請求項 15 のいずれか記載の画素駆動方法であって、

画像表示のための 1フィールド期間を複数のサブフィールド期間に分割し、各サブフィールド期間毎に前記液晶への電圧印加の有無を制御することを特徴とする画素駆動方法。

20

【請求項 17】

請求項 1 ~ 請求項 11 のいずれか記載のアクティブマトリクス型液晶装置を搭載する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型液晶装置、画素回路、画素駆動方法および電子機器に関する。

30

【背景技術】

【0002】

少なくとも一つの副画素を用い、いわゆる面積階調法によって多階調表示を行う液晶装置は、例えば、特許文献 1 に記載されている。

【特許文献 1】特開平 10 - 68931 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

基本画素と副画素によって 1画素を構成する場合、基本画素における液晶の光学的特性 (例えば、透過率や反射率) と、副画素における液晶の光学的特性の整合をとることは、正確な多階調表示を行う上で重要である。

40

【0004】

例えば、液晶の光学的特性 (例えば、透過率) は周囲温度依存性 (いわゆる温度特性) をもつ。周囲温度に依存することなく正確な多階調表示を行うためには、液晶の駆動電圧を補正する必要がある。

【0005】

しかし、基本画素に対する駆動電圧の補正と、副画素に対する駆動電圧の補正は個別に行われるため、補正された駆動電圧にばらつきが生じる場合がある。この場合には、基本画素における液晶の光学的特性と、副画素における液晶の光学的特性とのバランスがくず

50

れ、階調表示に誤差が生じる。

【0006】

図20は、基本画素および副画素の各々に対する表示電圧の温度特性補正を個別に行う場合に生じ得る、表示電圧のばらつきを説明するための図である。

【0007】

図20において、1画素は、基本画素(A)と、副画素(B)および副画素(C)によって構成される。

【0008】

図20の右側に点線で囲んで示される液晶の特性図に示されるように、各画素における液晶の光学的特性(以下の説明では透過率とする)は、主として、「立上がり応答特性(立上り特性)」によって制御されるのが一般的である。

10

【0009】

すなわち、電圧が印加されていない液晶に対して所定値の電圧を印加すると、液晶の透過率は、時間軸に対して徐々に変化し、やがて印加電圧値によって定まる最大(あるいは最小)の透過率に収束する。このような、液晶の、電圧印加に対する応答特性が「立上り応答特性」である。

【0010】

液晶の透過率は、「立上り応答特性」が支配的要因となって決定されるため、印加電圧の電圧値等を正確に制御することは重要である。

【0011】

図20では、液晶の温度特性を補償するために、各画素(A)、(B)、(C)に与えられる表示電圧(駆動電圧)は、個別に調整される。この調整は、温特補正回路1a、1b、1cによって行われる。温特補正回路1a、1b、1cは、個別に与えられる調整信号に基づいて、表示電圧(駆動電圧)に対して温特補償処理を行う。

20

【0012】

しかし、各画素に対する温特補償は個別に行われるため、温特補正回路1a、1b、1cの各々から出力される、補正後の表示電圧(駆動電圧)にばらつきが生じる場合がないと言えない。よって、正確な多階調表示を行うためには、画素毎の表示電圧(駆動電圧)の温特調整を、入念に行う必要があり、このことが温特補正のための表示電圧(駆動電圧)の調整の困難性を高める要因となる。また、高価な回路部品が必要となることからコスト高の一因ともなる。

30

【0013】

また、基本画素と副画素の面積比率を調整して面積階調を行う場合に、副画素数に対応して、面積比率をどのように設定するかは重要な問題である。上記特許文献1では、具体的な面積階調の実現方法については記載されていない。

【0014】

また、面積階調法とデジタル階調駆動法(1フィールドを複数のサブフィールドに分割し、サブフィールドを駆動単位として規格化された駆動パルスで液晶を駆動する時分割駆動法的一种)を組み合わせると、面積階調法によって所定階調が確保されるために、デジタル階調駆動の負担が少なくなり、サブフィールド数を減少させることができる。しかし、必要な階調数から決まるサブフィールド数と、面積階調との整合性をどのようにとればよいかについては、従来、検討されていない。

40

【0015】

本発明は、このような考察に基づいてなされたものであり、その目的は、基本画素と副画素によって1画素が構成される液晶装置において、各画素における液晶の光学的特性の整合性を実現容易な方法で確保すると共に、面積階調を行う場合における、副画素の数と面積比率との関係を明確化し、また、面積階調駆動とサブフィールド駆動との整合性も確保し易くする、ことにある。

【課題を解決するための手段】

【0016】

50

(1) 本発明のアクティブマトリクス型液晶装置の一態様は、複数の走査線と、複数のデータ線と、マトリクス状に配置された複数の画素を有する画素部と、を含むアクティブマトリクス型液晶装置であって、前記複数の画素のうち少なくとも一部の画素は、基本画素および少なくとも一つの副画素を含み、前記画素における多階調表示を行うために、前記基本画素および前記副画素の各々における液晶の光学特性が独立に制御され、前記基本画素および前記副画素の各々における前記液晶の応答特性のうちの、前記液晶の粘性に依存する立下り応答特性を積極的に利用して階調表示を行う。

【0017】

基本画素と副画素の各々において、独立した液晶の光学的特性(例えば透過率)が得られるため、1画素全体として所望の階調を刻むことができる。例えば、ノーマリーブラックの基本画素と1個の副画素の画素面積を同じとし、基本画素に電圧を印加して、実効的な透過率50%を実現したとし、副画素には電圧を印加せずに実効的な透過率が0%とすれば、各画素を合わせた1画素全体としての透過率は25% $(= (50 + 0) / 2)$ となり、階調表示が可能となる。また、液晶の応答特性(立上り応答特性と立下り応答特性)のうちの立下り応答特性を積極的に利用して階調表示が行われる。「立下り応答特性(立下り特性)」は、液晶の粘性が支配的となって決定される液晶の応答特性であり、具体的には、電圧の印加によって液晶の光学的特性が最大の変化点に到達した後、印加電圧が急峻に低下したとき(具体的には、例えば、液晶への印加電圧をゼロとしたとき)、液晶の光学的特性が、電圧印加時とは逆の方向に変化する際の応答特性であり、この立下り応答特性は、主として液晶の粘性に依存する。基本画素と副画素の各々における液晶の立下り応答特性は、液晶が共通であるために同じであり、その温度依存性(温特)も同じ傾向をもつため、周囲温度が変化すれば、基本画素と副画素の各々における液晶の立下り応答特性も同じように変化する。よって、各画素における液晶の光学的特性は、整合性を保って変化する。よって、1画素に含まれる複数の画素の各々の光学的特性は、周囲温度に影響されずに常にバランスがとれることになり、理想的には温度補償が必要なくなる。また、温度補償が必要な場合であっても、従来よりも容易に、かつ低コストで各画素の温度補償を実行できる。本発明の手法は、アナログ駆動、デジタル駆動を問わず、適用することができる。

【0018】

(2) 本発明のアクティブマトリクス型液晶装置の他の態様では、前記基本画素および前記副画素の各々は、前記走査線によってオン/オフが制御されると共に、オン状態となったときに前記データ線の電圧を前記液晶に供給するトランスファースイッチと、前記トランスファースイッチのオンによって前記液晶への印加電圧が立ち上って最大電圧値に達し、前記トランスファースイッチがオフ状態に移行した後、前記液晶への印加電圧を急峻に低下させる印加電圧オフ手段と、を有する。

【0019】

液晶の立下り応答特性を階調表示に積極的に利用するための具体的な手段を明確化したものである。すなわち、本実施態様では、印加電圧オフ手段によって、液晶への印加電圧を急峻に低下させる(すなわち印加電圧をオフする)ことによって、液晶の光学的特性は粘性のみに依存して変化し、したがって、液晶の立下り応答特性を、必要なタイミングで積極的に利用することが可能となる。

【0020】

(3) 本発明のアクティブマトリクス型液晶装置の他の態様では、前記印加電圧オフ手段は、前記液晶に並列に接続される保持容量を含み、前記保持容量の容量値は、前記トランスファースイッチのオフ期間において前記液晶の前記印加電圧を一定値に維持できない値に設定される。

【0021】

従来は、トランスファースイッチがオン状態(書込み状態)からオフ状態となると、液晶への印加電圧は保持容量にて保持期間中は、ほぼ所定値に保持されるのが一般的であるが、本態様では、保持容量の容量値を、保持期間(トランスファースイッチがオフしてい

10

20

30

40

50

る期間)において液晶への印加電圧を一定値に保持できないような小さな値に、積極的に設定する。この場合、トランスファースイッチがオン状態となると、液晶への印加電圧が急峻に立ち上がって最大電圧に到達し、その後、トランスファースイッチがオフ状態となると、液晶への印加電圧が急峻に低下する。つまり、トランスファースイッチがオンとなると、印加電圧の急峻な立上がりによって液晶の光学的特性は最大の変化点まで到達し、次にトランスファースイッチがオフすると、液晶の印加電圧は急峻に低下して印加電圧オフ状態となることから、液晶の光学的特性は、今度は、液晶の粘性に依存して徐々に逆方向に変化する。よって、液晶の光学的特性は、立上り応答特性ではなく、主として、立下り応答特性によって決定されることになる。この構成によれば、最も簡素化された構成により、液晶の光学的特性を、液晶の立下り応答特性を支配的な要因として決定することができる。画素回路の構成は何ら複雑化しないため、高密度な画素配置が可能である。また、保持容量(保持コンデンサ)の容量値を小さく設定することは、コストを抑制する上でも効果がある。例えば、小さな容量を小面積で実現しようとする、DRAM回路(メモリ回路)で用いられているようなタンタルやハフニウムといった高誘電率材料を用いる必要がある。これに対して、保持容量値が小さくて済むのであれば、トランジスタのゲート酸化膜や配線間容量といった一般的な半導体プロセス技術を使用して保持容量を形成できる。よって、製造プロセス上のコストの抑制や、必要なマスク枚数の低減といったコストメリットを得やすくなる。

10

## 【0022】

(4)本発明のアクティブマトリクス型液晶装置の他の態様では、前記印加電圧オフ手段は、前記トランスファースイッチとは独立にオン/オフが制御され、一端が前記液晶に接続され、他端が前記データ線とは別個に設けられるディスチャージ線に接続されたディスチャージ素子を含み、前記トランスファースイッチがオフ状態となり、前記ディスチャージ素子がオン状態となった場合に、前記液晶の前記印加電圧を維持する必要があるときは、前記ディスチャージ線には前記印加電圧と同じ値の第1の電圧を印加し、前記液晶の前記印加電圧を急峻に低下させる必要があるときは、前記ディスチャージ線には前記第1の電圧よりも低い第2の電圧を印加する。

20

## 【0023】

液晶の立下り応答特性を積極的に利用するために、各画素に、印加電圧オフ手段としてのディスチャージ素子を設けるものである。ディスチャージ素子は、トランスファースイッチがオフした後の保持期間において、液晶への印加電圧を積極的に調整するために設けられる。すなわち、液晶の立下がり応答特性を利用するタイミングでディスチャージ素子をオンさせ、ディスチャージ線に低電圧(第2の電圧)を印加することによって、液晶への印加電圧は急峻に低下し、したがって、正確なタイミングで液晶の立下り応答特性を利用することが可能となる。また、液晶の立下り応答特性を利用するタイミングを自在に制御することも可能となる。また、液晶への印加電圧を書込み時の電圧に保持する必要がある期間や、あるいは液晶の立下り応答特性を積極的に利用しない場合においては、ディスチャージ線ならびにディスチャージ素子を経由して、第1の電圧(例えば書込み電圧と同じ値の電圧)を液晶に印加することによって、液晶の印加電圧を正確に一定値に保持することができる。つまり、正規の書込みルートとは別のルートを介して液晶の電圧を精度よく一定値に保持できるのであり、これによって、液晶による階調表示を安定化させることもできる。また、容量値が小さな保持容量とディスチャージ素子とを併用することも可能である。この場合、保持容量があるために液晶への印加電圧が安定化されるという利点がある。また、保持容量だけでは印加電圧の長期間の維持ができないが、ディスチャージ素子をオンさせることによって液晶の印加電圧を、保持期間のすべてにわたって一定値に維持することも簡単にできる。また、液晶の立下がり応答特性を利用するタイミングでディスチャージ素子をオンすると、保持容量の容量値は小さいために、液晶の印加電圧は急峻に立ち下がり、よって、正確なタイミングで液晶の立下り応答特性を利用することができる。

30

40

## 【0024】

50

(5) 本発明のアクティブマトリクス型液晶装置の他の態様では、前記基本画素の前記トランスファースイッチおよび前記副画素の前記トランスファースイッチの各々は、ゲートが共通の走査線に接続され、一端が別々のデータ線に接続され、他端が前記液晶に接続されたMOSトランジスタによって構成され、前記基本画素および前記副画素における前記トランスファースイッチとしての前記MOSトランジスタのサイズは等しく設定され、前記基本画素および前記副画素における前記保持容量の容量値は等しく設定される。

【0025】

基本画素および副画素の各々におけるトランスファースイッチを共通の走査線で駆動することによって、各画素の駆動タイミングを揃えることができる。また、各画素の保持容量値やトランスファースイッチを構成するMOSトランジスタのサイズを同一とすることによって、各画素における特性の微調整が容易化される。例えば、フィードスルー等のカップリングによる電圧変動に対する補正(補償)を基本画素および副画素の各々に行う場合に、各画素に対して同量の補正を行えばよく、調整が容易であるという利点がある。

10

【0026】

(6) 本発明のアクティブマトリクス型液晶装置の他の態様では、前記基本画素の画素面積と、前記少なくとも1つの副画素の画素面積との比率が所定比率に設定され、これによって前記画素の階調表示が行われる。

【0027】

基本画素と副画素の面積比を所定比率に設定し、いわゆる面積階調法によって、所定数の階調を刻むことを可能とするものである。

20

【0028】

(7) 本発明のアクティブマトリクス型液晶装置の他の態様では、前記1画素の全体の画素面積を1とし、かつ、前記副画素の数を $n$ ( $n$ は1以上の自然数)としたとき、前記基本画素の画素面積は、 $1/(2n+1)$ に設定され、前記副画素の画素面積は、 $2/(2n+1)$ に設定される。

【0029】

このような規則を導入することによって、面積階調法による階調表示を行う場合に、副画素数の数が何個であるかにかかわらず、基本画素と副画素との面積比が一義的に定まり、画素回路の設計が容易化される。また、デジタル階調駆動(サブフィールド駆動)と組み合わせる場合の設計も容易となる。つまり、サブフィールド数と整合のある数の階調を、面積階調法によって確保したい場合に、どれだけの副画素をどのような面積比で設定すればよいのかを計算し易いという利点がある。例えば、 $n=1$ では $1/3$ 、 $2/3$ 、 $3/3$ という3階調を実現することができる。 $n=2$ のときは、 $1/5$ 、 $2/5$ 、 $3/5$ 、 $4/5$ 、 $5/5$ の5階調を実現することができる。面積階調法により5階調が実現できるのであれば、例えば、本来ならば255のサブフィールド数が必要であるところを、51サブフィールドで済ますことができ、その分、データ線ドライバにおけるトランジスタの動作速度を遅くすることができる。副画素の数が決まれば、基本画素と副画素との面積比が決定され、実現できる階調数も決定されるため、画素回路の設計上も、有利である。

30

【0030】

(8) 本発明のアクティブマトリクス型液晶装置の他の態様では、前記基本画素の液晶および前記副画素の液晶の各々に対する印加電圧値を、前記1画素の表示階調に対応させて変化させる。

40

【0031】

液晶印加電圧値(波高値)を変化させるというアナログ駆動の手法を導入することによって、1画素における所望の階調値を実現し易くなる。例えば、デジタル階調駆動において規格化されたパルスで液晶を駆動した場合に、立下り応答特性に依存して得られる1画素の実効的な透過率が50%である場合、規格化されたパルスよりも波高値が大きなパルスを印加することによって、例えば、60%の透過率を実現することができる。これによって、より細かな階調を刻むことが可能となる。

【0032】

50



(9) 本発明のアクティブマトリクス型液晶装置の他の態様では、前記基本画素の液晶および前記副画素の液晶の各々に対する電圧の印加期間を、前記1画素の表示階調に対応させて変化させる。

【0033】

液晶への電圧印加期間(電圧パルスの幅)を変化させるというPWMの手法を導入することによって、1画素における所望の階調値を実現し易くなる。例えば、デジタル階調駆動において規格化されたパルスで液晶を駆動した場合に、立下り応答特性に依存して得られる1画素の実効的な透過率が50%である場合、規格化されたパルスよりもパルス幅が長いパルスを印加することによって、例えば、60%の透過率を実現することができる。これによって、より細かな階調を刻むことが可能となる。

10

【0034】

(10) 本発明のアクティブマトリクス型液晶装置の他の態様では、画像表示のための1フィールド期間を複数のサブフィールド期間に分割し、各サブフィールド期間毎に前記液晶への電圧印加の有無を制御することによって、前記1画素の階調表示を行う。

【0035】

デジタル駆動(サブフィールド駆動)にも本発明の適用範囲を広げることによって、より細かな階調を、無理なく刻むことが可能となる。

【0036】

(11) 本発明のアクティブマトリクス型液晶装置の他の態様では、前記基本画素と前記副画素との間、ならびに複数の副画素が設けられるときは各副画素の間に、所定電位に固定されたシールド領域が設けられる。

20

【0037】

電磁波のシールド領域を設けることによって、基本画素と副画素間における電界、あるいは副画素間における電界が、液晶の光学的特性に与える悪影響を軽減することができる。また、簡単な手法であるため、実現が容易である。

【0038】

(12) 本発明の画素回路は、複数の走査線と、複数のデータ線と、マトリクス状に配置された複数の画素を有する画素部と、を含むアクティブマトリクス型液晶装置における、前記画素を構成する画素回路であって、前記複数の画素のうち少なくとも一部の画素における前記画素回路は、基本画素を構成する基本画素回路と、副画素を構成する副画素回路と、を有し、前記基本画素回路および前記副画素回路の各々は、前記走査線によってオン/オフが制御されると共に、オン状態となったときに前記データ線の電圧を前記液晶に供給するトランスファースイッチと、前記トランスファースイッチのオンによって前記液晶への印加電圧が立上って最大電圧値に達し、前記トランスファースイッチがオフ状態に移行した後、前記液晶への印加電圧を急峻に低下させる印加電圧オフ手段と、を有し、前記基本画素の前記トランスファースイッチおよび前記副画素の前記トランスファースイッチの各々は、ゲートが共通の走査線に接続され、一端が別々のデータ線に接続され、他端が前記液晶に接続されたMOSトランジスタによって構成され、前記基本画素および前記副画素における前記トランスファースイッチとしての前記MOSトランジスタのサイズは等しく設定され、前記1画素の全体の画素電極の面積を1とし、かつ、前記副画素の数を $n$ ( $n$ は1以上の自然数)としたとき、前記基本画素回路における画素電極の面積は、 $1/(2n+1)$ に設定され、前記副画素回路における画素電極の面積は、 $2/(2n+1)$ に設定される。

30

40

【0039】

本発明の画素回路では、各画素の特性を揃えることが容易であり、温度特性の調整も容易に行うことができる。また、副画素数によって、基本画素と副画素との面積比が一律に決まり、設計上も有利である。

【0040】

(13) 本発明の画素駆動方法の一態様では、1画素を基本画素および少なくとも一つの副画素によって構成すると共に、前記基本画素および前記副画素の各々において、液晶

50

への印加電圧が最大値に達した後に前記液晶への印加電圧を急峻に低下させ、これによって、前記基本画素および前記副画素の各々における前記液晶の応答特性のうちの、前記液晶の粘性に依存する立下り応答特性を積極的に利用して階調表示を行う。

【0041】

この画素駆動方法によれば、液晶の立下り応答特性を支配的な要素として液晶の光学的特性を制御することができ、基本画素と副画素との温度特性の調整が容易となる。

【0042】

(14) 本発明の画素駆動方法の他の態様では、1画素の全体の画素電極の面積を1とし、かつ、前記副画素の数を $n$  ( $n$ は1以上の自然数)としたとき、前記基本画素回路における前記画素電極の面積は、 $1/(2n+1)$ に設定され、前記副画素回路における前記画素電極の面積は、 $2/(2n+1)$ に設定される。

10

【0043】

本発明の画素駆動方法において、面積階調法を導入し、その際、副画素数によって基本画素と副画素の面積比を一律に決定するものである。

【0044】

(15) 本発明の画素駆動方法の他の態様では、前記基本画素の画素電極ならびに前記副画素の画素電極の各々に与えられる前記印加電圧の電圧値、または、前記印加電圧が液晶に印加される期間を、個別に調整する。

【0045】

本発明の画素駆動方法において、印加電圧値(波高値)を変化させるアナログ駆動的な手法、あるいは、電圧の印加期間(電圧パルスのパルス幅)を変化させるPWMの手法を導入することによって、所望の階調値を無理なく得ることが容易となり、より細かな階調も刻むことが可能となる。

20

【0046】

(16) 本発明の画素駆動方法の他の態様では、画像表示のための1フィールド期間を複数のサブフィールド期間に分割し、各サブフィールド期間毎に前記液晶への電圧印加の有無を制御する。

【0047】

デジタル駆動(サブフィールド駆動)にも本発明の適用範囲を広げることによって、より細かな階調を、無理なく刻むことが可能となる。

30

【0048】

(17) 本発明の電子機器は、本発明のアクティブマトリクス型液晶装置を搭載する。

【0049】

本発明によれば、簡単な構成によって、細かな階調を刻むことができる、ローコストかつ高精彩な液晶装置を実現できる。よって、この液晶装置を搭載した電子機器(携帯端末等)も、小型、ローコスト、かつ高性能という機能を享受することができる。

【発明を実施するための最良の形態】

【0050】

次に、本発明の実施形態について、図面を参照して説明する。なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成のすべてが、本発明の解決手段として必須であるとは限らない。

40

【0051】

(第1の実施形態)

(液晶の立下り応答特性の利用)

図1(A)~図1(D)は、本発明のアクティブマトリクス型液晶装置が、液晶の立下り応答特性を利用して画像表示を行うことを説明するための図である。

【0052】

図1(A)は、通常(従来)のアクティブマトリクス型液晶装置の画素構成の一例(DRAM構成)を示す回路図である。トランスファースイッチとして機能するNMOSTラ

50

ンジスタ (M1) のゲートは走査線 (W) に接続され、一端がデータ線 (DL) に接続され、他端は保持容量 (C1) および液晶 (LC) の一極に接続されている。保持容量 (C1) および液晶 (LC) の他極は VCOM (基板共通電位: 例えば GND) に接続されている。保持容量 (C1) は、画素の非選択期間において、液晶 (LC) への印加電圧を所定レベルに保持できるような容量値に設定されている。

【0053】

図1(B)は、図1(A)に示される液晶(LC)における透過率の変化を示す。図示されるように、液晶(LC)の透過率は、時刻 $t_0$ から徐々に立ち上がり、やがて飽和して時刻 $t_1$ に至る。通常(従来)の液晶(LC)の実効的な透過率は、電圧印加に対する立ち上がり応答特性 $S_1$ が支配的要因となって決定される。

10

【0054】

図1(C)は、本発明のアクティブマトリクス型液晶装置の画素構成の一例(DRAM構成)を示す回路図である。図1(C)の画素構成は、基本的には図1(A)と同じである。ただし、図1(C)の保持容量(C2)の容量値は、保持容量(C1)に比べて十分に小さく設定されている。この結果、保持容量(C2)は、非選択期間において、液晶(LC)への印加電圧を所定レベルに維持することができない。

【0055】

図1(D)は、図1(C)に示される液晶(LC)における透過率の変化を示す。図示されるように、トランスファースイッチ(M1)がオンすると、液晶(LC)の透過率は、時刻 $t_0$ から急峻に立ち上がり、すぐに最高値に到達する。トランスファースイッチ(M1)がオフすると、液晶(LC)への印加電圧は急峻に低下する(0Vに戻る)ため、液晶(LC)に印加される電圧がなくなり、液晶の透過率は、液晶自体の粘性に従って徐々に変化する。したがって、図1(D)の液晶の実効的な透過率は、液晶の粘性にのみ依存した立下り特性( $S_2$ )が支配的要因となって決定される。

20

【0056】

(副画素を使用した場合の各画素の温特調整について)

図2は、副画素を使用した場合の各画素の温特調整について説明するための図である。図2では、1画素を、一つの基本画素(A)、副画素(B)および副画素(C)によって構成している。

【0057】

図2の右側には、周囲温度が( $T_1, T_2, T_3$ )のときの、各画素(A)~(C)の立下り応答特性( $S_2$ )が示されている。

30

【0058】

基本画素(A)の立下り応答特性は、 $Q_1(T_1), Q_2(T_2), Q_3(T_3)$ のように変化する。 $Q_1, Q_2, Q_3$ は各々、周囲温度が $T_1, T_2, T_3$ のときの立下り応答特性である。

【0059】

同様に、副画素(B)の立下り応答特性は、 $P_1(T_1), P_2(T_2), P_3(T_3)$ のように変化する。同様に、副画素(C)の立下り応答特性は、 $R_1(T_1), R_2(T_2), R_3(T_3)$ のように変化する。

40

【0060】

図2から明らかのように、基本画素(A)と副画素(B), (C)の立下り応答特性は、周囲温度に依存して、同じ傾向をもって変化する。よって、各画素の光学的特性のバランスは一定に保たれる。

【0061】

つまり、液晶(LC)の粘性は、周囲温度が決まれば一義的に決定される。図1(C), (D)の場合、液晶の実効的な透過率は、印加電圧ではなく粘性に依存した立下り応答特性( $S_2$ )が支配的となって決定されるため、周囲温度が決まれば、立ち上がり特性( $S_1$ )も定まることになる。

【0062】

50

したがって、図2の場合、1画素を基本画素と副画素で構成した場合、周囲温度が変化すると、各画素の液晶の立下り応答特性(S2)は、周囲温度に依存して同じ傾向をもって変化し、各画素の光学的特性のバランスは一定に保たれる。

【0063】

このため、図2では、基本画素(A)と副画素(B)、(C)の温特合わせが不要となり、また、その温特合わせが必要となったとしても、その調整は、従来(図20の場合)よりも精度の低い回路部品を用いて容易に行うことができる。

【0064】

(立上がり特性と立下り応答特性について)

図3は、液晶の立上がり特性と立下り応答特性について説明するための図である。図3(A)はノーマリーホワイトの液晶に急峻な電圧を印加した後、印加電圧を急峻に低下させた(印加電圧をゼロとした)場合の透過率の変化を示し、図3(B)は、ノーマリーブラックの液晶に急峻な電圧を印加した後、印加電圧を急峻に低下させた(印加電圧をオフした)場合の透過率の変化を示している。

10

【0065】

図3(A)では、ノーマリーホワイトであるため、電圧印加がないときは透過率が100%であり、電圧印加とともに透過率は急峻に立ち上がって飽和する(つまり、透過率は0%となる)。印加電圧がオフとなると、透過率は粘性に依存して徐々に立下がる。

【0066】

一般に、液晶の透過率Aと透過率Bが、 $A > B$ の関係にあるとき、AからBに向かうときの特性を「ディケイ特性」といい、BからAに向かうときの特性を「ライズ特性」という。

20

【0067】

図3(A)では、電圧印加に伴って立上るときの特性が「ディケイ特性」であり、印加電圧がオフとなって立下るときの特性が「ライズ特性」ということになる。

【0068】

図3(B)は、ノーマリーブラックの液晶であるため、電圧印加がないときは透過率が0%であり、電圧印加とともに透過率は急峻に立ち上がって飽和する(つまり、透過率は100%となる)。図3(B)では、電圧印加に伴って立上るときの特性が「ライズ特性」であり、印加電圧がオフとなって立下るときの特性が「ディケイ特性」ということになる。

30

【0069】

ライズ特性とディケイ特性は、ノーマリーブラックの液晶とノーマリーホワイトの液晶では逆になる。そこで、本発明では、誤解が生じないように、「立上り応答特性」と「立下り応答特性」という用語を使用する。

【0070】

「立上り応答特性(S1)」は、要するに、「液晶に電圧を印加したときの液晶の応答特性」であり、「立下り応答特性(S2)」とは、「液晶に印加する電圧を急峻に低下させたとき(一般的には印加電圧をオフした場合)における液晶の応答特性」である。

【0071】

上述のとおり、本発明では、副画素を使用すると共に、各画素の液晶の立下り応答特性(S2)を支配的要因として、各画素の実効的な透過率を決定(制御)する。

40

【0072】

(基本画素と副画素を用いて多階調表示を実現する方法)

次に、基本画素と副画素を用いて多階調表示を実現する方法について説明する。

【0073】

1.面積階調法

図4は、基本画素と副画素を用いて面積階調法によって多階調表示を行う例を示す図である。

【0074】

50

本発明では、副画素の数を  $n$  ( $n$  は 1 以上の自然数) としたとき、基本画素における画素面積は、 $1 / (2n + 1)$  に設定され、副画素の画素面積は、 $2 / (2n + 1)$  に設定される。画素面積は、すなわち、画素電極の面積のことである。

【0075】

図4では、副画素の数は、2個であるため ( $n = 2$ )、1画素全体の面積を1とすると、基本画素 (A) の画素面積は  $1 / 5$  であり、副画素 (B)、(C) は各々、 $2 / 5$  である。したがって、基本画素 (A)、副画素 (B)、副画素 (C) の画素面積比は、 $1 : 2 : 2$  に設定されることになる。

【0076】

基本画素 (A) と副画素 (B)、(C) は全体で1画素として機能し、各画素の液晶の透過率の相互作用によって、1画素の表示階調が決定される。

10

【0077】

図4の右側に示されるように、基本画素 (A) には、実効透過率が  $1 / 5$  の液晶が1個あり、副画素 (B) には、実効透過率  $1 / 5$  の液晶が2個あり、同様に、副画素 (C) には、実効透過率  $1 / 5$  の液晶が2個あると考えることができ、これらの液晶全体として、 $1 / 5$  階調単位で、階調を刻むことができる。

【0078】

すなわち、副画素 (A) のみをオンさせれば  $1 / 5$  階調であり、副画素 (B) 単独ならば  $2 / 5$  階調であり、基本画素 (A) と副画素 (B) を共にオンさせれば  $3 / 5$  階調であり、副画素 (B)、(C) を同時にオンさせれば  $4 / 5$  階調であり、全部同時にオンさせれば階調1が表示される。

20

【0079】

このように、上記のような規則を導入することによって、面積階調法による階調表示を行う場合に、副画素数の数 ( $n$ ) が何個であるかにかかわらず、基本画素と副画素との面積比が一義的に定まり、画素回路の設計が容易化される。また、デジタル階調駆動 (サブフィールド駆動) と組み合わせる場合の設計も容易となる。つまり、サブフィールド数と整合のある数の階調を、面積階調法によって確保したい場合に、どれだけの副画素をどのような面積比で設定すればよいのかを計算し易いという利点がある。例えば、 $n = 1$  では  $1 / 3$ 、 $2 / 3$ 、 $3 / 3$  という3階調を実現することができる。 $n = 2$  のときは、上述のように、 $1 / 5$ 、 $2 / 5$ 、 $3 / 5$ 、 $4 / 5$ 、 $5 / 5$  の5階調を実現することができる。面積階調法により5階調が実現できるのであれば、例えば、本来ならば255のサブフィールド数が必要であるところを、51サブフィールドで済ますことができ、その分、データ線ドライバにおけるトランジスタの動作速度を遅くすることができる。副画素の数が決まれば、基本画素と副画素との面積比が決定され、実現できる階調数も決定されるため、画素回路の設計上も、有利である。

30

【0080】

(面積階調の実現方法)

図5は、図4の面積階調を実現するための液晶装置の構造の一例を示す図である。TN液晶装置 (STN液晶でもよい) では、液晶層20が対向電極10 (VCOM電位に接続されている) と画素電極30a、30b、30cに挟まれている。

40

【0081】

図示されるように、画素電極30a、30b、30cは各々、基本画素 (A)、副画素 (B)、副画素 (C) を構成しており、各画素電極の面積は、 $1 : 2 : 2$  に設定されている。

【0082】

図6は、図4の面積階調を実現するための液晶装置の構造の他の例を示す図である。図6の液晶装置は、FFS (フリンジフィールド・スイッチング) モードの液晶装置である。FFSモードは、IPS (インプレーン・スイッチング) IPSモードと同様に、基板に対して水平方向の横電界 (あるいは斜め電界) を用いて液晶分子の向きをスイッチングさせるモードである。FFSモード液晶では、画素電極とコモン電極との間隔を液晶パネ

50

ルの上下基板間のセルギャップよりも狭くすることによりフリンジフィールドを形成する。このフリンジフィールドに発生する電界によって液晶層の液晶分子を動作させるため、IPSモードの液晶に比べて高開口率かつ高透過率である。

#### 【0083】

図6のFFSモードの液晶装置は、水平方向に配置されたコモン電極50上に絶縁膜51が形成され、絶縁膜51上に、透明電極(ITO電極)からなる画素電極(40a, 40b, 40c)が形成されている。図6中、参照符号20は液晶層であり、参照符号60は対向基板である。

#### 【0084】

図示されるように、画素電極40a, 40b, 40cは各々、基本画素(A), 副画素(B), 副画素(C)を構成しており、各画素電極の面積は、1:2:2に設定されている。

10

#### 【0085】

##### 2. 液晶への印加電圧値(波高値)を変化させて階調表示を行う方法

図7は、液晶への印加電圧値を変化させて階調表示を行う方法を示す図である。図7では、基本画素(A)と、副画素(B)および(C)の画素面積(画素電極の面積)は同じに設定されている(ただし、これに限定されるものではなく、図6のように、1:2:2に設定してもよい)。

#### 【0086】

図7では、基本画素(A)に対する印加電圧値を“1”とすると、副画素(B), (C)に対する印加電圧値は“2”に設定されている。これによって、基本画素(A)の実効的な透過率は“1/5”となり、副画素(B), (C)の実効的な透過率は“2/5”となり、各画素の透過率の相互作用によって、1画素全体の透過率が決定される。

20

#### 【0087】

液晶印加電圧値(波高値)を変化させるというアナログ駆動の手法を導入することによって、1画素における所望の階調値を実現し易くなる。例えば、デジタル階調駆動において規格化されたパルスで液晶を駆動した場合に、立下り応答特性に依存して得られる1画素の実効的な透過率が50%である場合、規格化されたパルスよりも波高値が大きなパルスを印加することによって、例えば、60%の透過率を実現することができる。これによって、より細かな階調を刻むことが可能となる。

30

#### 【0088】

##### 3. 液晶への電圧印加期間を変化させて階調表示を行う方法

図8は、液晶への電圧印加期間を変化させて階調表示を行う方法を示す図である。図8では、基本画素(A)と、副画素(B)および(C)の画素面積(画素電極の面積)は同じに設定されている(ただし、これに限定されるものではなく、図6のように、1:2:2に設定してもよい)。

#### 【0089】

図8では、基本画素(A)に対する印加電圧期間を“1”とすると、副画素(B), (C)に対する電圧印加期間は“2”に設定されている。これによって、基本画素(A)の実効的な透過率は“1/5”となり、副画素(B), (C)の実効的な透過率は“2/5”となり、各画素の透過率の相互作用によって、1画素全体の透過率が決定される。

40

#### 【0090】

液晶への電圧印加期間(電圧パルスの幅)を変化させるというPWMの手法を導入することによって、1画素における所望の階調値を実現し易くなる。例えば、デジタル階調駆動において規格化されたパルスで液晶を駆動した場合に、立下り応答特性に依存して得られる1画素の実効的な透過率が50%である場合、規格化されたパルスよりもパルス幅が長いパルスを印加することによって、例えば、60%の透過率を実現することができる。これによって、より細かな階調を刻むことが可能となる。

#### 【0091】

また、図7で説明した印加電圧値を変化させる方法と組み合わせることによって、さら

50

に細かく階調を刻むことができる。

【0092】

4. 面積階調法と時分割駆動法（デジタル階調駆動）との組み合わせによる多階調表示  
図9は、面積階調法と時分割駆動法との組み合わせによる多階調表示を説明するための図である。図9の場合、図4～図6で説明した面積階調法によって5階調を確保し、さらに、時分割駆動によって階調数を増加させている。

【0093】

図9では、1フィールドを4つのサブフィールド（第1～第4のサブフィールド）に分割し、サブフィールド単位で規格化された電圧パルスのオン/オフを制御することによって、階調表示を実現する。図9の場合、合計で20階調を実現している。このとき、面積積階調法によって5階調を確保しているため、サブフィールド数は4サブフィールドで済む。サブフィールド数の削減は、データ線駆動回路の動作周波数の低減につながり、トランジスタの負担が少なくなり、また、低消費電力化にも寄与する。

【0094】

（第2の実施形態）

（副画素をもつデジタル階調駆動方式の液晶装置の構成）

【0095】

図10は、本発明の液晶装置（ここでは副画素を備える反射型の液晶装置）の全体の具体的な構成を示すブロック図である。

【0096】

図示されるように、液晶装置は、画素部101と、タイミング生成回路201と、データコーディング回路301と、フィールドメモリ310と、走査線駆動回路401と、データ線駆動回路500と、を有する。画素部101には、複数の画素（ $J_1 \sim J_x$ ）がマトリクス状に配置される。各画素（ $J_1 \sim J_x$ ）の各々は、基本画素A（ $A_1 \sim A_x$ ）と、副画素B（ $B_1 \sim B_x$ ）と、副画素C（ $C_1 \sim C_x$ ）を備える。

【0097】

1画素に含まれる基本画素と副画素は共通の走査線（ $W_1 \sim W_n$ ）で同時に駆動され、かつ、基本画素と各副画素とは、別個のデータ線（DL）で駆動される。すなわち、基本画素および各副画素における液晶の光学的特性（透過率）は、各々独立に制御される。

【0098】

走査線駆動回路401は、書込みパルス（ $G_1 \sim G_n$ ）によって、走査線（ $W_1 \sim W_n$ ）を駆動する。

【0099】

また、データ線駆動回路500は、データ線（DL）を經由して各画素110に表示電圧（書込み電圧） $d_1 \sim d_n$ を供給する。

【0100】

書込み電圧（ $d_1 \sim d_n$ ）の生成の基礎となる2値データ（ $D_s$ ）は、データコーディング回路301により生成される。各部の動作タイミングは、タイミング生成回路201から出力される各種のタイミング信号に基づいて制御される。

【0101】

タイミング信号生成回路201は、上位装置（不図示）から供給される垂直同期信号 $V_s$ 、水平同期信号 $H_s$ 、ドットクロック信号 $DCLK$ 等のタイミング信号に従って、極性反転信号FR、走査スタートパルスDY、走査側転送クロックCLY、データイネーブル信号ENBX、データ転送クロックCLX、データ転送スタートパルスDDS、サブフィールド識別信号SFを生成する。各信号の機能を以下に説明する。

【0102】

極性反転信号FRは、1フィールド毎に極性が反転する信号である。走査スタートパルスDYは、各サブフィールドの最初に出力されるパルス信号であり、これが走査線駆動回路401に入力されることにより、走査線駆動回路401は書込みパルス（ $G_1 \sim G_n$ ）を出力する。走査側転送クロックCLYは、走査側（Y側）の走査速度を規定する信号で

10

20

30

40

50

あり、書込みパルス ( $G_1 \sim G_n$ ) はこの転送クロックに同期して走査線毎送られる。

【0103】

データイネーブル信号  $ENBX$  は、データ線駆動回路 500 中にあるシフトレジスタに蓄えられたデータを水平画素数分並列に出力させるタイミングを決定するものである。データ転送クロック  $CLX$  は、データ線駆動回路 500 へデータを転送するためのクロック信号である。サブフィールド識別信号  $SF$  は、そのパルス (サブフィールド) が何番目のパルスであるかを、データコーディング回路 301 へ知らせるためのものである。

【0104】

データコーディング回路 301 では、表示データを 2 値化する際に、1 フィールドのうちどのサブフィールドであるかを認識する必要がある。本実施の形態では、タイミング信号生成回路 201 で、走査スタートパルス  $DY$  を計数し、その結果をサブフィールド識別信号  $SF$  としてデータコーディング回路 301 に向けて出力するようになっている。データコーディング回路 301 は、このサブフィールド識別信号  $SF$  によりサブフィールドを認識する。

【0105】

データコーディング回路 301 に接続されるフィールドメモリ 310 には、例えば、2 フィールド分の表示データを蓄えられる分の容量が設けられている。ここで、第 1 のフィールドメモリは、外部より入力される表示データが書き込まれるメモリであり、第 2 のフィールドメモリは 1 フィールド前に入力された表示データが格納されているメモリである。フィールドメモリ 310 は、第 1 のフィールドメモリに外部から入力されている表示データが書き込まれている間に、データコーディング回路 301 が第 2 のフィールドメモリにアクセスし、各画素の表示データが読み出されるようになっている。第 1 のフィールドメモリと第 2 のフィールドメモリの役割は、フィールド毎に交換される。

【0106】

図 11 は、図 10 の液晶装置における 1 画素の具体的な構成を示す図である。図 11 では、図 10 の画素  $J_1$  の構成が示されている。

【0107】

図示されるように、画素  $J_1$  は、基本画素 ( $A_1$ ) と、副画素 ( $B_1$ ) と、副画素 ( $C_1$ ) で構成される。基本画素 ( $A_1$ ) は、トランスファースイッチとしての  $NMOS$  トランジスタ ( $M_{1a}$ ) と、非選択期間 (保持期間) において電圧を所定レベルに保持できない小さな容量値の保持容量 ( $C_a$ ) と、液晶素子 ( $LC$ ) とにより構成される。

【0108】

同様に、副画素 ( $B_1$ ) は、トランスファースイッチとしての  $NMOS$  トランジスタ ( $M_{1b}$ ) と、非選択期間 (保持期間) において電圧を所定レベルに保持できない小さな容量値の保持容量 ( $C_b$ ) と、液晶素子 ( $LC$ ) とにより構成される。同様に、副画素 ( $C_1$ ) は、トランスファースイッチとしての  $NMOS$  トランジスタ ( $M_{1c}$ ) と、非選択期間において電圧を所定レベルに保持できない小さな容量値の保持容量 ( $C_c$ ) と、液晶素子 ( $LC$ ) とにより構成される。

【0109】

保持容量 ( $C_b$ ,  $C_c$ ) の容量値が非選択期間 (保持期間) において電圧を一定に維持できないような小さな値に設定することによって、データ線の電位が  $L$  から  $H$  に変化すると、液晶素子 ( $LC$ ) への印加電圧は急峻に立ち上る。同様に、データ線の電位が  $H$  から  $L$  に変化すると、液晶素子 ( $LC$ ) への印加電圧は急峻に立ち下がり、これによって、液晶素子 ( $LC$ ) は印加電圧オフ状態となる。すなわち、保持容量 ( $C_b$ ,  $C_c$ ) は、印加電圧オフ手段として機能する。この印加電圧オフ状態における液晶の透過率の変化がその画素の表示階調を決定する主な要因となる。

【0110】

但し、画素構成は上記のものに限定されない。例えば、 $SRAM$  等のメモリ回路を備える画素を用いることもできる。なお、保持容量の容量値を小さく設定するだけでは、液晶の印加電圧を保持期間において維持する必要がある場合に対応できないが、この場合には

10

20

30

40

50



、第4の実施形態の回路構成を用いれば問題は生じない（この点については、第4の実施形態で図面を参照して説明する）。

【0111】

図12は、図10に示されるデータ線駆動回路の回路構成例を示すブロック図である。図示されるように、データ線駆動回路500は、シフトレジスタ510と、第1ラッチ回路520と、第2ラッチ回路530と、電位選択回路540と、によって構成される。

【0112】

電位選択回路540は、第2ラッチ回路530を構成する各ラッチからのデータ114に基づいて、 $-V_1$ 、 $0$ 、 $+V_1$ のいずれかを選択して出力する。

【0113】

例えば、電位選択回路540から出力される電圧（ $d_1$ 、 $d_2$ 、 $d_3$ ）は各々、画素J1の基本画素（A1）、副画素（B1）、副画素（C1）の各々に対応する。

【0114】

また、データ線の駆動電圧値を可変とする場合には、図12の右上側に示されるように、D/A変換器550を設ける。D/A変換器550は、基本画素（A）、副画素（B）、副画素（C）の各々用の駆動データ（VDATA（A）、（B）、（C））を、アナログ値に変換し、電位選択回路540に供給する。電位選択回路540は、第2ラッチ回路530を構成する各ラッチからのデータ114に基づいて、D/A変換器550からのアナログ電圧のいずれかを選択する。

【0115】

図13は、図10の液晶装置におけるサブフィールド駆動の一例を示す図である。図13では、1フィールドを12個のサブフィールド（1sf～12sf）に分割している。基本画素（A）、（B）、（C）の各々には、第1サブフィールド（1sf）においてのみ駆動電圧が印加される。基本画素（A）、副画素（B）、副画素（C）のいずれも、液晶の立下がり応答特性を支配的な要因として光学的特性（透過率）が制御される。ただし、副画素（B）については、印加電圧値が、他の画素の1/2となっており、これによって、副画素（B）の実効的な透過率が微調整されており、したがって、より細かな階調を刻むことができる。

【0116】

図14は、図10の液晶装置におけるサブフィールド駆動の他の例を示す図である。図13と同様に、1フィールドは12個のサブフィールド（1sf～12sf）に分割される。

【0117】

図14の場合、パルス幅を変化させる手法が採用され、これによって、基本画素（A）の実効的な透過率が微調整される。

【0118】

基本画素（A）には、第1サブフィールド（1sf）から第5サブフィールド（5sf）までの期間において、電圧が印加される。一方、副画素（B）には電圧が印加されない。また、副画素（C）には、第1サブフィールド（1sf）においてのみ電圧が印加される。基本画素（A）、副画素（B）、副画素（C）の各々の透過率の相互作用によって、1画素全体の实効的な透過率が決定される。

【0119】

（第3の実施形態）

図15は、1画素においてシールド領域を設けた例を示す図である。図示されるように、基本画素（A）と副画素（B）との間、ならびに副画素（B）と副画素（C）との間に、所定電位（図15では接地電位）に接続されたシールド領域（L）が設けられている。このシールド領域は、例えば接地配線によって構成される。

【0120】

電磁波のシールド領域（L）を設けることによって、基本画素（A）と副画素（B）間における電界、あるいは副画素（B）と（C）との間における電界が、液晶の光学的特性

10

20

30

40

50

に与える悪影響を軽減することができる。このことは、多階調表示の安定性向上に寄与する。また、簡単な手法であるため、実現が容易である。

【0121】

(第4の実施形態)

上述のとおり、本発明では、液晶の光学的特性を立下り応答特性(液晶の粘性に依存する特性)を利用して制御する。上述の例では、各画素の保持容量の容量値を従来よりも小さな値に設定し、これによって液晶の立下り応答特性を積極的に利用している。但し、液晶の立下り応答特性を積極的に利用する方法は、上述の方法に限定されるものではなく、種々の変形、応用が可能である。例えば、回路の工夫によって、液晶の立下り応答特性を、より正確かつ自在に利用することが可能となる。

10

【0122】

本実施形態では、各画素にディスチャージ素子を付加して、液晶の立下り応答特性を、より正確かつ自在に制御する。

【0123】

また、トランスファースイッチがオフした後、所定期間においては、液晶への印加電圧を一定に維持したい場合もあり得、また、液晶の立下り応答特性を利用しない場合もあり得る。ディスチャージ素子を設ける構成によれば、このような要求にも柔軟に対応することが可能である。

【0124】

なお、以下の説明では、ディスチャージ素子としてNMOSトランジスタを利用した場合について説明する。但し、これに限定されるものではなく、ダイオードを利用したスイッチ回路等によってディスチャージ素子を構成してもよい。本実施形態では、ディスチャージ素子(ならびに保持容量)が、印加電圧オフ手段の構成要素となる。

20

【0125】

(ディスチャージトランジスタを備える画素回路の回路構成と動作)

図16(A)、図16(B)は、本発明の液晶装置の他の例(ディスチャージ回路を設ける例)の構成を示す回路図である。図16(A)は、本実施形態の画素回路の構成を示している。図示されるように、通常の走査線(W1)によって駆動されるトランスファースイッチトランジスタ(M10)に加えて、ディスチャージ線(W2)によって駆動されるディスチャージトランジスタ(M20)が設けられている。

30

【0126】

図16(A)に示される保持容量(C10)は、前掲の実施形態で説明したとおりの、保持期間において液晶への印加電圧を一定値に保持できない小さな容量値に設定されている。この保持容量(C10)は、液晶素子(LC)への印加電圧を安定化させるのに役立つ。ただし、本実施形態の画素回路では、基本的には、保持容量(C10)を除去することも可能である。また、場合によっては、保持容量(C10)の容量値を通常の容量値に設定することもできないわけではない。

【0127】

図16(A)の画素回路では、走査線(W1)をアクティブ状態とし、画素回路に、第1のデータ線(DL1a)を介して正規データ(D1)を書き込む。次に、その走査線(W1)を非アクティブとし、その後、ディスチャージ線(W2)をアクティブとしてディスチャージトランジスタ(M20)をオンさせる。

40

【0128】

このディスチャージトランジスタ(M20)には、第2のデータ線DL1bを經由して、液晶(LC)への印加電圧を調整するための調整データ(D2)が与えられる。調整データ(D2)は、例えば、“1”(=VDD:第1の電圧)と、“0”(=VCOM:第2の電圧)の2値電圧データである。但し、これに限定されるものではなく、液晶の光学的特性を意図的に変更する目的で、調整データ(D2)を多値化することも可能である。

【0129】

例えば、トランスファースイッチトランジスタ(M10)のオンによって液晶への印加

50

電圧が十分に变化し、例えばVDDに達する。その後、例えば、タイミング調整のために所定期間に渡ってその印加電圧値(VDD)を維持する場合や、液晶の立下り応答特性を積極的に利用しない場合には、調整データ(D2)として“1”(=VDD:第1の電圧)を選択する。

【0130】

また、液晶の立下り特性を積極的に利用する場合には、立下り応答特性を必要とするタイミングで、調整データ(D2)として“0”(=VCOM=GND:第2の電圧)を選択する。これによって、液晶(LC)への印加電圧を急峻に低下させることができる。このとき、液晶(LC)の光学的特性は、主に粘性にのみ依存して変化し、これによって、液晶の立下り応答特性を積極的に利用した階調表示が実現される。

10

【0131】

図16(B)は、図16(A)の画素回路を用いた液晶装置におけるドライバの構成例を示している。Yドライバ回路52は、前掲の実施形態と同じ構成(シフトレジスタ回路と走査線駆動回路を備える構成)である。

【0132】

Xドライバ回路50は、シフトレジスタ回路とサンプルホールド回路から構成され、前掲の実施形態と同様の構成を採る。但し、データ線の電位がVDDとVCOM電位の2値しかとらない場合は、サンプルホールド回路のかわりにラッチ回路(Dラッチ回路等)を使用しても良い。

【0133】

ディスチャージ回路(Y)56は、Yドライバ回路52によって非選択状態となっているラインに対して任意のラインを選択可能な回路構成を有する。例えば、メモリLSIのアドレスデコード回路やシフトレジスタ回路を備えたYドライバ回路52と同様の構成を備える。

20

【0134】

また、ディスチャージ回路(Y)56の動作が、Yドライバ回路52の動作と同期しない場合(例えば、Yドライバ回路52によって1本の走査線(W1)が選択されている時に、2本以上の非選択のライン(W2)に必要な電位を設定するような場合)には、ディスチャージ回路(Y)56は、例えば、非選択の複数のライン(W2)を選択可能なアービトレーション回路を備える。

30

【0135】

また、ディスチャージ回路(X)54は、ディスチャージ回路(Y)56によって選択中のディスチャージ線(W2)に接続される画素に、必要な電位(例えば、VDDまたはVCOM電位)を供給する回路であり、VDDまたはVCOMのいずれを選択するかを切り換えるためのスイッチ回路を内蔵する。

【0136】

本実施形態の液晶装置では、液晶の立下り応答特性が必要となるタイミングで、液晶(LC)への印加電圧を、正確に急峻に低下させることができる。したがって、図1(D)に示すような、立下り応答特性(S2)を自在のタイミングで積極的に利用することができる。

40

【0137】

また、図16(A)、図16(B)の回路では、書込みトランジスタ(M10)と、ディスチャージトランジスタ(M20)が分離されていることから、ディスチャージタイミングを、書込みタイミングとは独立に制御できるという利点がある。本実施形態の液晶装置を用いると、図13や図14に示されるような駆動方式も容易に実現することができる。すなわち、本実施形態の液晶装置によれば、デジタル駆動方式の液晶装置における、立下り応答特性の利用タイミングを、正確かつ自在に制御することも可能である。

【0138】

このように、本実施形態では、液晶の立下り応答特性を利用するタイミングでディスチャージ素子をオンさせ、ディスチャージ線に低電圧(第2の電圧)を印加することによ

50

って、液晶への印加電圧は急峻に低下し、したがって、正確なタイミングで液晶の立下り応答特性を利用することが可能となる。

【0139】

また、液晶の立下り応答特性を利用するタイミングを自在に制御することも可能となる。また、液晶への印加電圧を書込み時の電圧に保持する必要がある期間や、あるいは液晶の立下り応答特性を積極的に利用しない場合においては、ディスチャージ線ならびにディスチャージ素子を經由して、第1の電圧（例えば書込み電圧と同じ値の電圧）を液晶に印加することによって、液晶の印加電圧を正確に一定値に保持することができる。つまり、正規の書込みルートとは別のルートを介して液晶の電圧を精度よく一定値に保持できるのであり、これによって、液晶による階調表示を安定化させることもできる。

10

【0140】

また、図16(A)、図16(B)のように、容量値が小さな保持容量とディスチャージ素子とを併用した場合には、保持容量があるために液晶への印加電圧が安定化されるという利点がある。また、保持容量だけでは印加電圧の長期間の維持ができないが、ディスチャージ素子をオンさせることによって液晶の印加電圧を、保持期間のすべてにわたって一定値に維持することも簡単にできる。また、液晶の立下がり応答特性を利用するタイミングでディスチャージ素子をオンすると、保持容量の容量値は小さいために、液晶の印加電圧は急峻に立ち下がり、よって、正確なタイミングで液晶の立下り応答特性を利用することができる。

【0141】

20

(第5の実施形態)

本実施形態では、本発明のアクティブマトリクス型液晶装置（電気光学装置）を搭載した電子機器の例について説明する。

【0142】

(プロジェクタ)

まず、本発明の電気光学装置をライトバルブとして用いたプロジェクタについて説明する。図17は、本発明の電気光学装置（反射型液晶装置）を搭載したプロジェクタの全体構成を示す図である。

【0143】

図示されるように、プロジェクタ1100内部には、偏光照明装置1110がシステム光軸PLに沿って配置されている。この偏光照明装置1110において、ランプ1112からの出射光は、リフレクタ1114による反射で略平行な光束となって、第1のインテグレートレンズ1120に入射する。これにより、ランプ1112からの出射光は、複数の中間光束に分割される。この分割された中間光束は、第2のインテグレートレンズを光入射側に有する偏光変換素子1130によって、偏光方向が略々揃った種類の偏光光束（s偏光光束）に変換されて、偏光照明装置1110から出射される。

30

【0144】

偏光照明装置1110から出射されたs偏光光束は、偏光ビームスプリッタ1140のs偏光光束反射面1141によって反射される。この反射光束のうち、青色光（B）の光束がダイクロイックミラー1151の青色光反射層にて反射され、反射型の電気光学装置100Bによって変調される。また、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、赤色光（R）の光束は、ダイクロイックミラー1152の赤色光反射層にて反射され、反射型の液電気光学装置100Rによって変調される。

40

【0145】

一方、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、緑色光（G）の光束は、ダイクロイックミラー1152の赤色光反射層を透過して、反射型の電気光学装置100Gによって変調される。

【0146】

このようにして、電気光学装置100R、100G、100Bによってそれぞれ色光変調された赤色、緑色、青色の光は、ダイクロイックミラー1152、1151、偏光ビー

50

ムスプリッタ 1140 によって順次合成された後、投射光学系 1160 によって、スクリーン 1170 に投射されることとなる。なお、電気光学装置 100R、100B および 100G には、ダイクロミックミラー 1151、1152 によって、R、G、B の各原色に対応する光束が入射するので、カラーフィルタは必要ない。

【0147】

上述のとおり、本発明の電気光学装置（100R、100G、100B）は、面積階調法と組み合わせることによって、サブフィールド数を増加させることなく、より細かな階調表現が可能である。よって、図7のプロジェクトは、低消費電力性を維持しつつ、より高精細な画像表示が可能であり、例えば、ホームシアター用のプロジェクトとして有用である。

【0148】

なお、上述の例では反射型の電気光学装置を用いたが、透過型表示の電気光学装置を用いたプロジェクトとすることもできる。但し、本発明の液晶装置では、副画素が採用されており、画素部における素子数が増大するため、この点を考慮すれば、十分な空きスペースを確保し易い（つまり、反射電極の下に素子の配置が可能な）反射型液晶装置の方が有利である。

【0149】

（モバイル型コンピュータ）

次に、本発明の電気光学装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図18は、本発明の電気光学機器を搭載したパーソナルコンピュータの構成を示す斜視図である。

【0150】

図18において、コンピュータ1200は、キーボード1202を備えた本体部1204と、表示ユニット1206とから構成されている。この表示ユニット1206は、先に述べた電気光学装置100の前面にフロントライトを付加することにより構成されている。なお、この構成では、電気光学装置100を反射直視型として用いることになるので、画素電極118において、反射光が様々な方向に散乱するように、凹凸が形成される構成が望ましい。

【0151】

上述のとおり、本発明の電気光学装置は、面積階調法と組み合わせることによって、サブフィールド数を増加させることなく、より細かな階調表現が可能である。よって、図18のモバイル型コンピュータは、低消費電力性を維持しつつ、従来に比べて高精細な画像表示が可能である。

【0152】

（携帯端末）

図19は、本発明の電気光学装置を搭載した携帯端末（ここでは、携帯電話端末とする）の構成を示す斜視図である。同図において、携帯電話1300は、複数の操作ボタン1302のほか、受話口1304、送話口1306と共に、電気光学装置100を備えるものである。この電気光学装置100にも、必要に応じてその前面にフロントライトが設けられる。また、この構成でも、電気光学装置100が反射直視型として用いられることになるので、画素電極118に凹凸が形成される構成が望ましい。

【0153】

上述のとおり、本発明の電気光学装置は、面積階調法と組み合わせることによって、サブフィールド数を増加させることなく、より細かな階調表現が可能である。よって、図9の携帯端末は、低消費電力性を維持しつつ、従来に比べて、より高精細な画像表示が可能である。

【0154】

なお、本発明は、その他の電子機器（例えば、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを

10

20

30

40

50

備えた機器等)にも適用が可能である。

【0155】

以上、本発明の実施形態を参照して本発明の内容を説明したが、本発明の要旨を逸脱しない範囲で、多くの変形が可能であることは、当業者には容易に理解できるであろう。したがって、このような変形例は、すべて本発明に含まれるものとする。例えば、電気光学材料としては、電圧印加によって透過率が変化する材料を広く利用することができる。また、スイッチ素子を、トランジスタではなくダイオードで構成するといった変形がなされた画素回路は、すべて本発明の技術範囲に含まれる。

【0156】

以上説明したように、本発明は、本画素と副画素によって1画素が構成される液晶装置において液晶の立下り応答特性を積極的に利用することによって、各画素における液晶の光学的特性の整合性を容易に確保することが可能となる。特に、各画素の温特調整が基本的には不要となり、温特調整をする場合でも、簡単に行えるようになる。

【0157】

液晶の立下り応答特性の積極的な利用は、印加電圧オフ手段(小さな容量値の保持容量やディスチャージ回路を含んで構成される)を用いて、正確なタイミングで、精度よく、かつ柔軟に行うことができる。

【0158】

また、面積階調を行う場合における、副画素の数と面積比率との関係を明確化することができ、副画素数が多くなった場合でも、画素面積の設定を容易に行える。

【0159】

また、面積階調駆動とサブフィールド駆動との整合性も確保し易くなる。また、印加電圧値を可変とし、あるいは印加電圧期間(パルス幅)を可変とすることによって、必要な階調レベルをより容易に実現でき、より細かな階調も刻むことが可能となる。

【0160】

また、本発明によって、高精細な表示が可能なローコストの電気光学装置を得ることができる。

【0161】

本発明は、副画素を備える画素構成を採用したアクティブマトリクス型液晶装置(特に、反射型の液晶表示装置)および電子機器(携帯端末やホームシアター用プロジェクタ等)として有用である。

【図面の簡単な説明】

【0162】

【図1】図1(A)~図1(D)は、本発明のアクティブマトリクス型液晶装置が、液晶の立下り応答特性を利用して画像表示を行うことを説明するための図

【図2】副画素を使用した場合の各画素の温特調整について説明するための図

【図3】液晶の立上がり特性と立下り応答特性について説明するための図

【図4】基本画素と副画素を用いて面積階調法によって多階調表示を行う例を示す図

【図5】図4の面積階調を実現するための液晶装置の構造の一例を示す図

【図6】図4の面積階調を実現するための液晶装置の構造の他の例を示す図

【図7】液晶への印加電圧値を変化させて階調表示を行う方法を示す図

【図8】液晶への電圧印加期間を変化させて階調表示を行う方法を示す図

【図9】面積階調法と時分割駆動法との組み合わせによる多階調表示を説明するための図

【図10】本発明の液晶装置(ここでは副画素を備える反射型の液晶装置)の全体の具体的な構成を示すブロック図

【図11】図10の液晶装置における1画素の具体的な構成を示す図

【図12】図10に示されるデータ線駆動回路の回路構成例を示すブロック図

【図13】図10の液晶装置におけるサブフィールド駆動の一例を示す図

【図14】図10の液晶装置におけるサブフィールド駆動の他の例を示す図

【図15】1画素においてシールド領域を設けた例を示す図

10

20

30

40

50

【図16】図16(A), 図16(B)は、本発明の液晶装置の他の例(ディスチャージ回路を設ける例)の構成を示す回路図

【図17】本発明の電気光学装置(反射型液晶装置)を搭載したプロジェクタの全体構成を示す図

【図18】本発明の電気光学機器を搭載したパーソナルコンピュータの構成を示す斜視図

【図19】本発明の電気光学装置を搭載した携帯端末(ここでは、携帯電話端末とする)の構成を示す斜視図

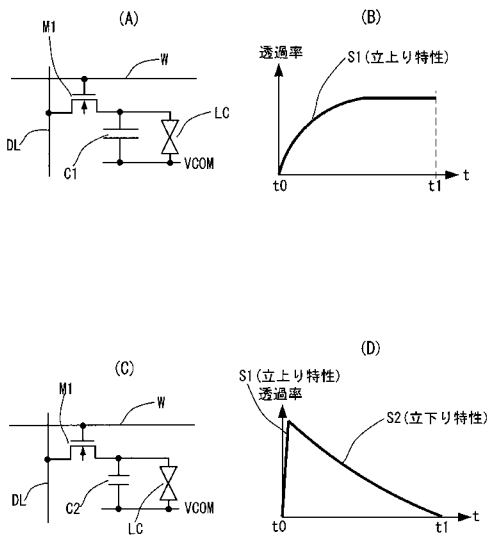
【図20】基本画素および副画素の各々に対する表示電圧の温度特性補正を個別に行う場合に生じ得る、表示電圧のばらつきを説明するための図

【符号の説明】

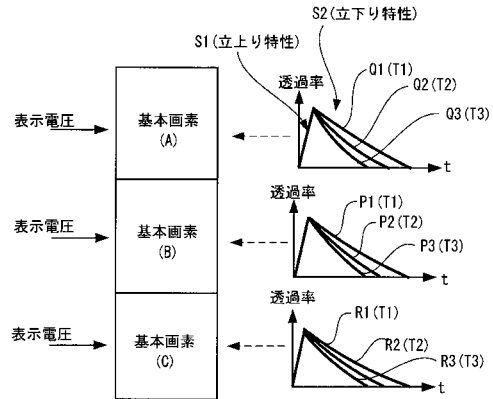
【0163】

101 画素部 201 タイミング信号生成回路、301 データコーディング回路、  
 310 フィールドメモリ、401 走査線駆動回路、500 データ線駆動回路、  
 C1(C3) 第1の保持容量、C2(C4) 第2の保持容量、  
 LC 電気光学素子(液晶素子)、M1(M1a~M1c) トランスファースイッチ(画素選択トランジスタ)、DL データ線、W1~Wn 走査線、  
 GWRT 画素選択信号、V DATA 表示電圧、  
 Vcom 電気光学素子の共通基板電圧、A 基本画素 B, C 副画素

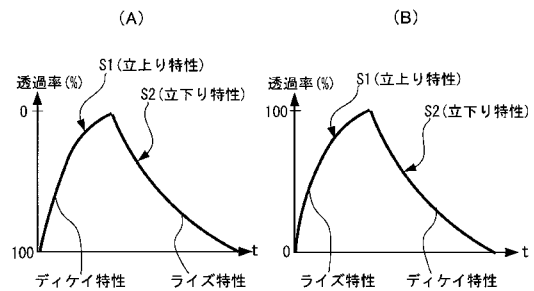
【図1】



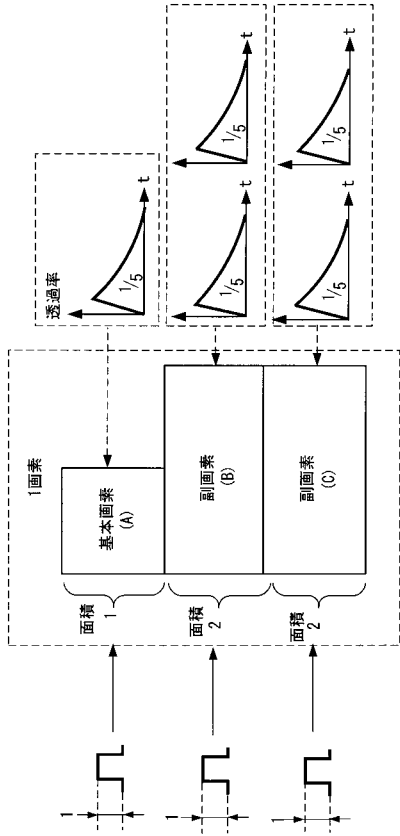
【図2】



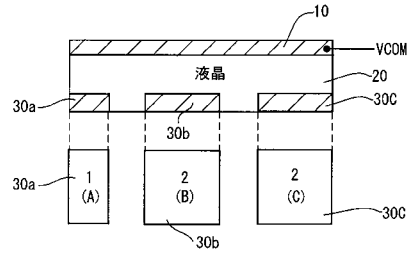
【図3】



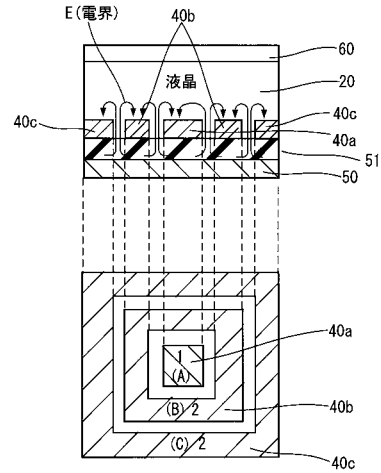
【 图 4 】



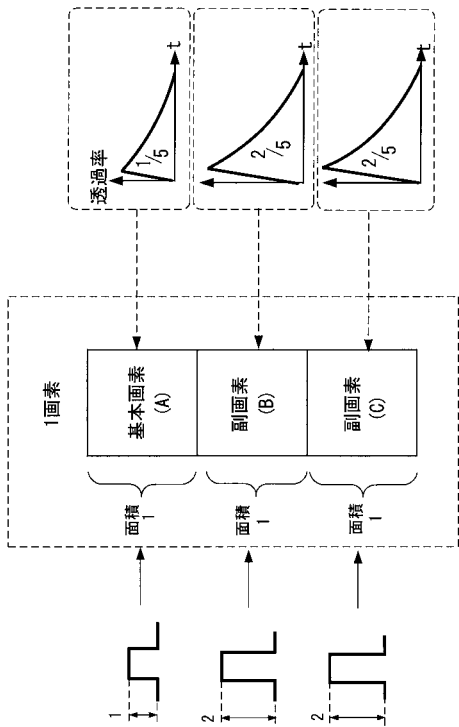
【 图 5 】



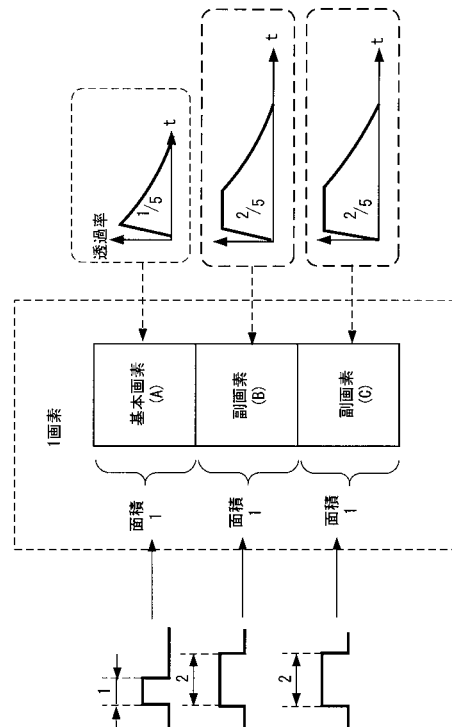
【 图 6 】



【 图 7 】

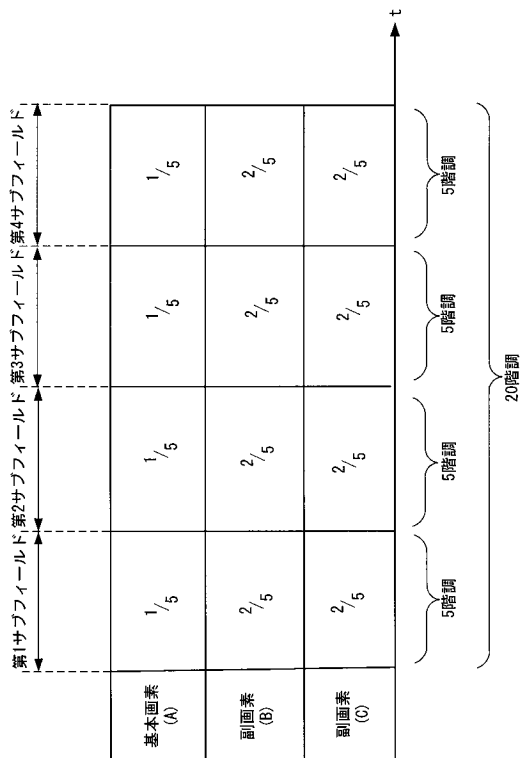


【 图 8 】

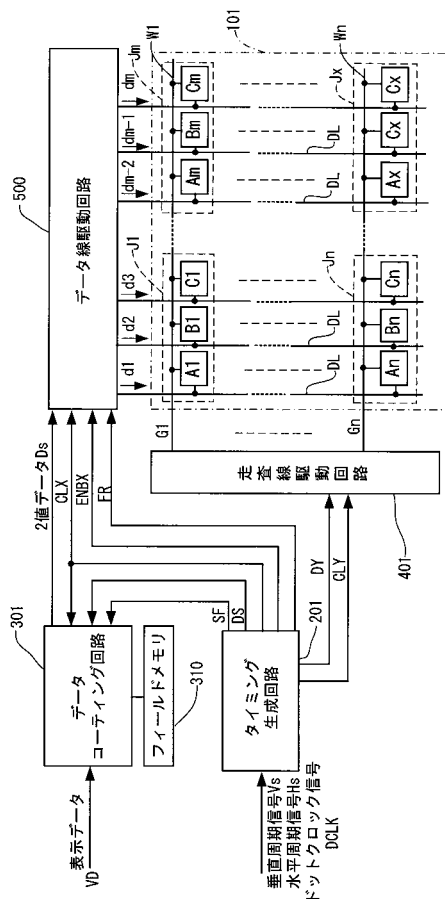




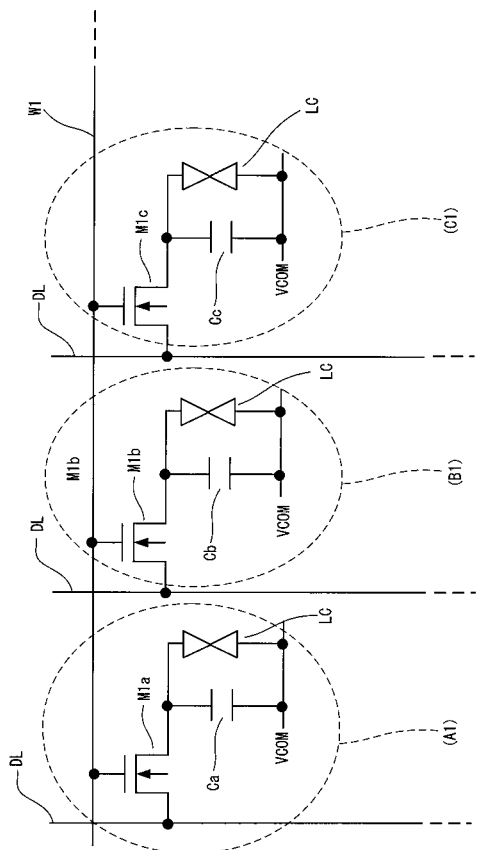
【 図 9 】



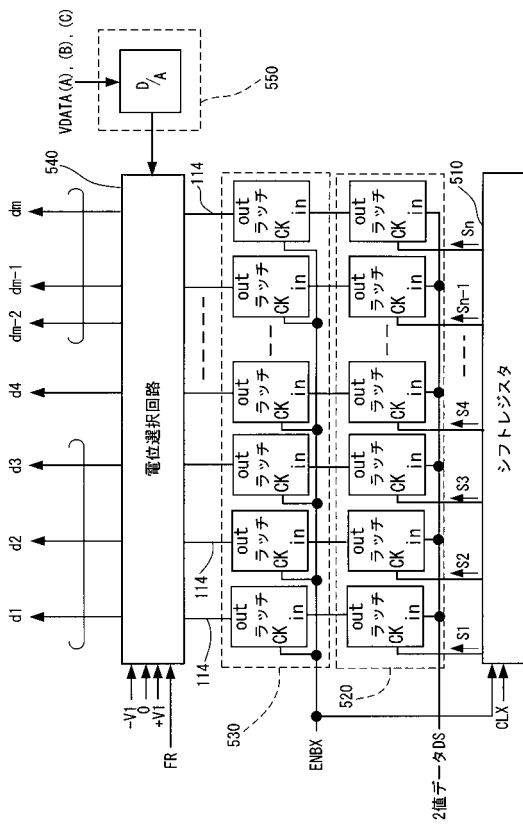
【 図 10 】



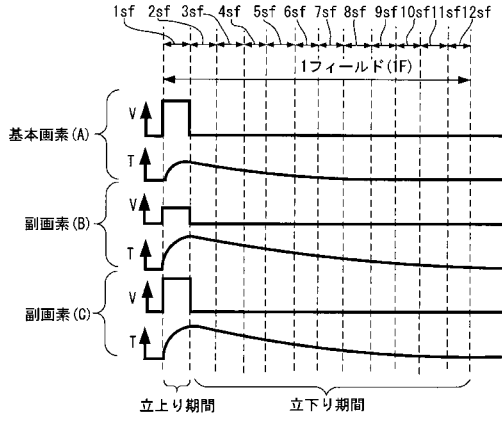
【 図 11 】



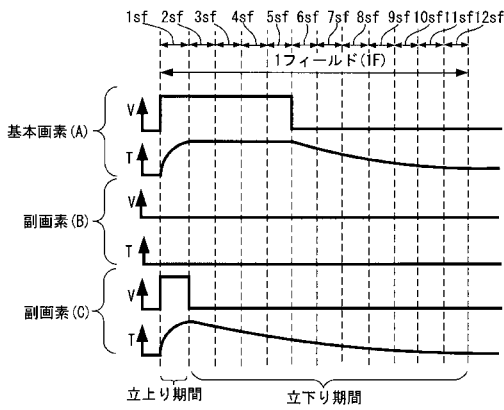
【 図 12 】



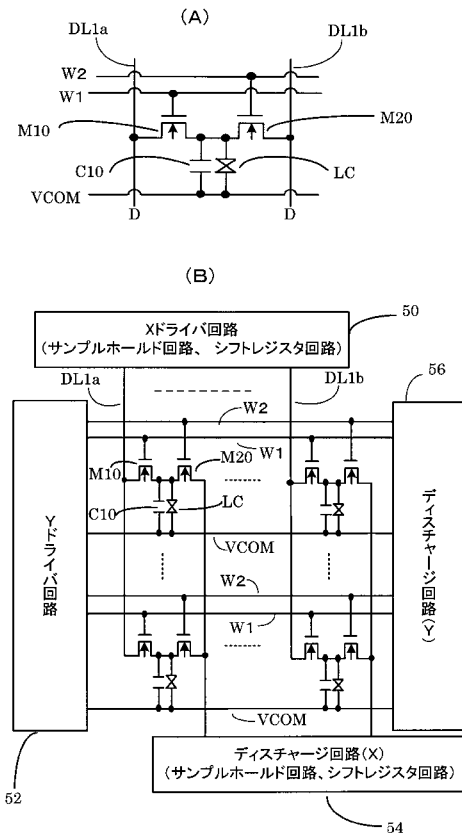
【図13】



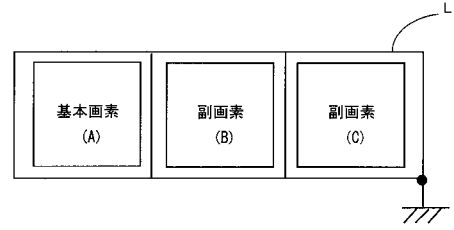
【図14】



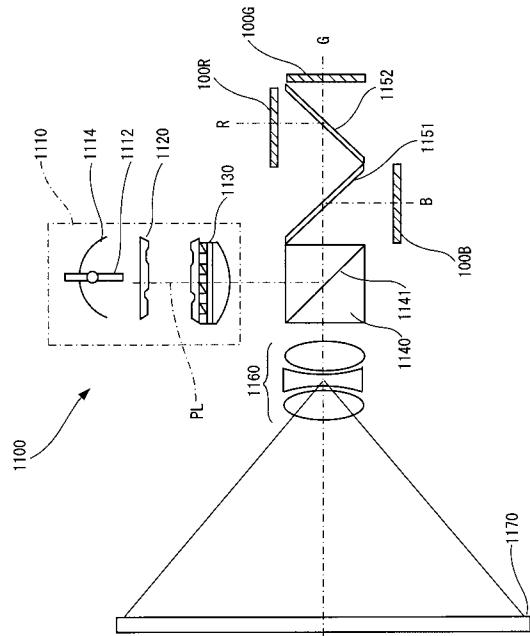
【図16】



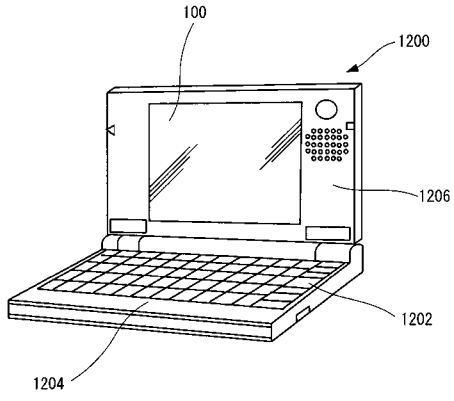
【図15】



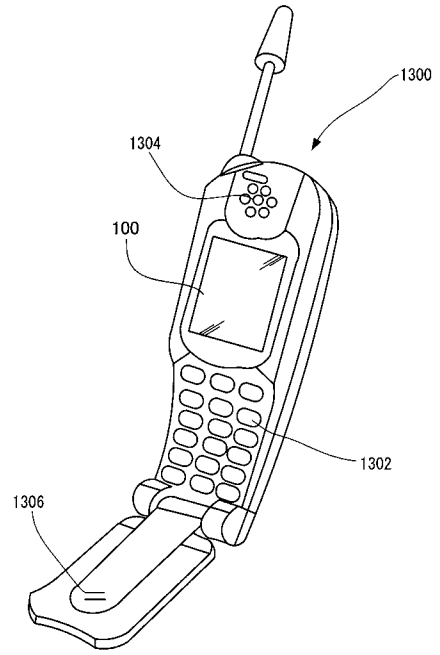
【図17】



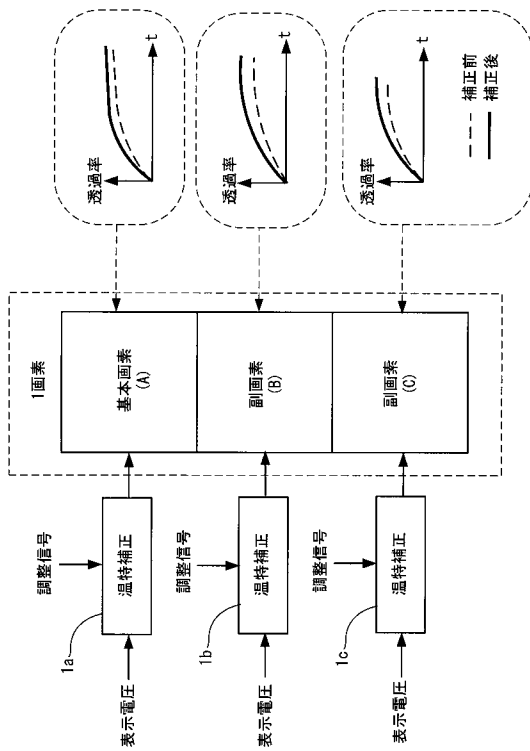
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 4 1 K
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 4 2 C

F ターム(参考)	2H093	NA16	NA33	NA54	NC13	NC22	NC26	NC29	NC34	NC35	ND06
	5C006	AA12	AA14	AA17	AC21	AF44	AF46	AF51	AF71	BB16	BC06
		BF34	FA16	FA19	FA51	FA56					
	5C080	AA10	BB05	DD03	DD27	EE28	EE29	FF11	JJ02	JJ03	JJ04
		JJ05	JJ06	KK07	KK43	KK47					

专利名称(译)	有源矩阵液晶器件，像素电路，像素驱动方法和电子器件		
公开(公告)号	<a href="#">JP2008242197A</a>	公开(公告)日	2008-10-09
申请号	JP2007084201	申请日	2007-03-28
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	渡辺賢哉		
发明人	渡辺 賢哉		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.641.G G09G3/20.623.C G09G3/20.641.E G09G3/20.641.K G09G3/20.624.B G09G3/20.621.A G09G3/20.642.C		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA54 2H093/NC13 2H093/NC22 2H093/NC26 2H093/NC29 2H093/NC34 2H093/NC35 2H093/ND06 5C006/AA12 5C006/AA14 5C006/AA17 5C006/AC21 5C006/AF44 5C006/AF46 5C006/AF51 5C006/AF71 5C006/BB16 5C006/BC06 5C006/BF34 5C006/FA16 5C006/FA19 5C006/FA51 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD27 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK07 5C080/KK43 5C080/KK47 2H193/ZA04 2H193/ZC15 2H193/ZD24		
代理人(译)	井上 一 托莫卡祖·纳米 黑田靖		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：为了确保液晶装置的各个像素之间液晶的光学特性的一致性，其中一个像素由基本像素和子像素构成，通过简单的方法，以清楚数字之间的关系当执行区域覆盖调制时，子像素和面积比的比较，并且使得容易确保区域覆盖调制驱动和子场驱动之间的一致性。解决方案：确定基本像素(A)和子像素(B, C)的透射率，同时根据作为主导因素的液晶的粘度产生下降响应特性。当子像素的数量表示为(n)时，基本像素的像素区域被设置为 $2 / (2n + 1)$ 并且子像素的像素区域被设置为 $1 / (2n + 1)$ 。必要时使施加的电压值可变，并且电压施加周期也可变。此外，结合数字灰度驱动器获得更详细的灰度显示。 Ž

