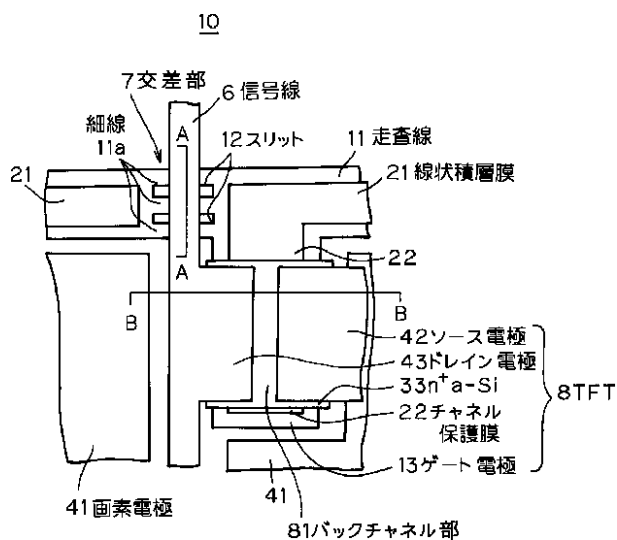




【特許請求の範囲】

【請求項 1】透明絶縁基板上に略平行に配列される複数の走査線と、この走査線の一部または延在部により画素ごとに形成されるゲート電極と、これらゲート電極及び走査線の全面を被覆するゲート絶縁膜と、このゲート絶縁膜を介して前記ゲート電極を覆うように配置される半導体活性膜と、前記走査線に略直交して配列され少なくとも前記ゲート絶縁膜を介して前記走査線に交差する複数の信号線と、この信号線の一部または延在部からなり前記ゲート絶縁膜及び前記半導体活性膜を介して前記ゲート電極の側部に重ねられるドレイン電極と、前記画素ごとに配置され走査線及び前記信号線に画される画素電極と、この画素電極に電気的に接続され前記ゲート絶縁膜及び前記半導体活性膜を介して前記ゲート電極の他の側部に重ねられるソース電極と、前記ソース及びドレイン電極の間のチャンネル部に沿って配置され前記半導体活性膜を覆うチャンネル保護膜とを備えた表示装置用アレ

10 イ基板において、
前記半導体活性膜と同一の材料で同時に形成される半導体膜、及び前記チャンネル保護膜と同一の材料で同時に形成される膜よりなり、前記走査線に重ねられて線状に延びる線状積層膜を備え、
前記走査線が、前記信号線と交差する交差部において、スリットにより複数の細線に分割され、前記線状積層膜が前記交差部で省かれていることを特徴とする表示装置用アレ

20 イ基板。
【請求項 2】前記細線の幅は、前記チャンネル保護膜の輪郭と前記ゲート電極の輪郭との間の間隔の 2 倍以下であることを特徴とする請求項 1 記載の表示装置用アレ

30 イ基板。
【請求項 3】透明絶縁基板上に走査線及びゲート電極を含む下層配線パターンを形成する工程と、
前記下層配線パターンをマスクとして前記透明絶縁基板の裏面から露光を行なう裏面露光工程と、
前記裏面露光工程によりレジストパターンを形成した後、エッチングにより前記下層配線パターンに沿った線状の膜を形成する、裏面露光後のエッチング工程と、
前記走査線に交差する信号線を含む上層配線パターンを形成する工程とを含む表示装置用アレ

40 イ基板の製造方法において、
前記下層配線パターンを形成する工程にて、前記走査線には、前記信号線と交差する交差部に開口が設けられ、前記裏面露光工程における前記開口を通じた光の散乱、及び、前記エッチング工程におけるサイドエッチングの少なくとも一方により、前記線状の膜が前記交差部で省かれることを特徴とする表示装置用アレ

50 イ基板の製造方法。
【請求項 4】前記開口が前記走査線に沿ったスリットであり、このスリットにより前記走査線が前記交差部にて複数の細線に分割されていることを特徴とする請求項 3

記載の表示装置用アレイ基板の製造方法。

【請求項 5】前記交差部において、前記開口の分布領域、または前記スリットについての、前記走査線に沿った方向の寸法が、前記信号線の幅よりも大きいことを特徴とする請求項 3 または 4 記載の表示装置用アレイ基板の製造方法。

【請求項 6】前記表示装置用アレイ基板には画素ごとにスイッチング素子として薄膜トランジスタが配置され、前記線状の膜の形成と同時に同一材料により、前記薄膜トランジスタのチャンネル部のエッチングストップをなすチャンネル保護膜が形成されることを特徴とする請求項 3 記載の表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置等の平面表示装置に用いられる表示装置用アレイ基板、及びその製造方法に関する。

【0002】

【従来の技術】近年、CRT ディスプレイに代わる平面型の表示装置が盛んに開発されており、中でも液晶表示装置は軽量、薄型、低消費電力等の利点から特に注目を集めている。

【0003】例えば、各表示画素毎にスイッチ素子が配置された光透過型のアクティブマトリクス型の液晶表示装置を例にとり説明する。アクティブマトリクス型液晶表示装置は、アレイ基板と対向基板との間に配向膜を介して液晶層が保持されて成っている。アレイ基板は、ガラスや石英等の透明絶縁基板上に複数本の信号線と走査線とが格子状に配置され、各交点部分にアモルファスシリコン（以下、a-Si:H と略称する。）等の半導体薄膜を用いた薄膜トランジスタ（以下、TFT と略称する。）が接続されている。そして TFT のゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電気的に接続され、さらにソース電極は画素電極を構成する透明導電材料、例えばITO (Indium-Tin-Oxide) に電気的に接続されている。

【0004】対向基板は、ガラス等の透明絶縁基板上にITO から成る対向電極が配置され、またカラー表示を実現するのであればカラーフィルタ層が配置されて構成されている。

【0005】従来例における表示装置用アレイ基板の製造方法について、図 8 を用いて説明する。

【0006】（１）第 1 工程（走査線 11 及びゲート電極 13 の形成）

ガラス等の絶縁基板 14 上に、スパッタ法等により金属薄膜を堆積し、第 1 のマスクパターンを用いて所定の配線の形状にパターニングする。これにより、画素領域にゲート電極 13 及び走査線 11 を形成する。

【0007】（２）第 2 工程（ゲート絶縁膜 15 等の連続成膜）

第1工程の後、プラズマCVD法等により、酸化シリコン膜、窒化シリコン膜またはこれらの積層からなるゲート絶縁膜（SiON膜）15と、非晶質シリコン（a-Si:H）膜16と、窒化シリコン膜17とを連続して成膜する。

【0008】（3）第3工程（チャネル保護膜22形成）

第2のマスクパターンを用いて窒化シリコン膜（SiNx膜）17をパターニングすることにより、ゲート電極13の上方に、島状のチャネル保護膜22を形成する。 10

【0009】（4）第4工程

リンドーブ非晶質シリコン（a-Si:H）膜25を堆積した後、第3のマスクパターンを用いるパターニングにより、TFTの個所に島状の半導体活性層を形成する。

【0010】（5）その後の工程

この第4工程の後、画素電極、コンタクトホール、信号線及びソース・ドレイン電極等が順次形成される。

【0011】上記のようなアレイ基板の製造方法であると、チャネル保護膜22を形成するためだけに、一枚の 20 マスクパターンを準備する必要があり、このマスクパターンと、ゲート電極のパターンとを正確に位置合わせする必要がある。このため、アレイ基板の製造コスト削減と製造効率向上において問題となっていた。

【0012】

【発明が解決しようとする課題】そこで、チャネル保護膜22を形成する上記第3工程においてマスクパターンを使用せずに、裏面露光のみにより、ゲート電極13及び走査線11のパターンをマスクとしてパターニングを行なうことが考えられる。すなわち、上記第2工程の 30 後、連続成膜層の上にレジストを塗布し、透明絶縁基板の裏面からの露光により、ゲート電極13及び走査線11に沿ったレジストパターンを形成して窒化シリコン膜（SiNx膜）17のエッチングを行なうのである。

【0013】これにより、図9に示すように、ゲート電極13の個所にチャネル保護膜22が形成されるとともに、走査線11に重ねられるように線状の保護膜23が形成される。そして、第4工程における半導体層のエッチングの後にも、走査線11上には、線状の保護膜23とこの下方の半導体層24とからなる線状積層膜21が 40 配置される。

【0014】そのため、図10に示すように、信号線6が走査線11の輪郭と交差する箇所、すなわち信号線6が走査線11のエッジにかかる箇所では、走査線11のエッジに加えて、線状積層膜21のエッジを乗り越える必要がある。線状積層膜21及び信号線6の厚さは、例えば、いずれも350nmである。この積層膜のエッジは通常テーパー状に形成されていないため、信号線6が走査線11のエッジにかかる箇所で、図中に示すような段切れ6を生じるおそれがある。

【0015】本発明は、上記問題点を鑑みなされたものであり、液晶表示装置等のアレイ基板及びその製造方法において、チャネル保護膜の形成のためのマスクパターン及びその位置合わせ工程を省くことができるとともに、信号線が走査線と交差する個所での段切れの発生を防止できるものを提供する。

【0016】

【課題を解決するための手段】請求項1の発明の表示装置用アレイ基板は、透明絶縁基板上に略平行に配列される複数の走査線と、この走査線の一部または延在部により画素ごとに形成されるゲート電極と、これらゲート電極及び走査線の全面を被覆するゲート絶縁膜と、このゲート絶縁膜を介して前記ゲート電極を覆うように配置される半導体活性膜と、前記走査線に略直交して配列され少なくとも前記ゲート絶縁膜を介して前記走査線に交差する複数の信号線と、この信号線の一部または延在部からなり前記ゲート絶縁膜及び前記半導体活性膜を介して前記ゲート電極の一側部に重ねられるドレイン電極と、前記画素ごとに配置され走査線及び前記信号線に画される画素電極と、この画素電極に電気的に接続され前記ゲート絶縁膜及び前記半導体活性膜を介して前記ゲート電極の他の側部に重ねられるソース電極と、前記ソース及びドレイン電極の間のチャネル部に沿って配置され前記半導体活性膜を覆うチャネル保護膜とを備えた表示装置用アレイ基板において、前記半導体活性膜と同一の材料で同時に形成される半導体膜、及び前記チャネル保護膜と同一の材料で同時に形成される膜よりなり、前記走査線に重ねられて線状に延びる線状積層膜を備え、前記走査線が、前記信号線と交差する交差部において、スリットにより複数の細線に分割され、前記線状積層膜が前記交差部で省かれていることを特徴とする。

【0017】上記構成により、チャネル保護膜の形成のためのマスクパターン及びその位置合わせ工程を省くことができるとともに、信号線が走査線と交差する個所での段切れの発生を防止することができる。

【0018】請求項3の発明の表示装置用アレイ基板の製造方法は、透明絶縁基板上に走査線及びゲート電極を含む下層配線パターンを形成する工程と、前記下層配線パターンをマスクとして前記透明絶縁基板の裏面から露光を行なう裏面露光工程と、前記裏面露光工程によりレジストパターンを形成した後、エッチングにより前記下層配線パターンに沿った線状の膜を形成する、裏面露光後のエッチング工程と、前記走査線に交差する信号線を含む上層配線パターンを形成する工程とを含む表示装置用アレイ基板の製造方法において、前記下層配線パターンを形成する工程にて、前記走査線には、前記信号線と交差する交差部に開口が設けられ、前記裏面露光工程における前記開口を通じた光の散乱、及び、前記エッチング工程におけるサイドエッチングの少なくとも一方により、前記線状の膜が前記交差部で省かれることを特徴と

する。

【0019】

【発明の実施の形態】本発明の実施例について、図1～7を用いて説明する。

【0020】まず、実施例のアレイ基板における要部の構成について、図1～3を用いて説明する。

【0021】図1は、アレイ基板の要部平面図である。図2は、信号線が走査線と交差する箇所(図1のA-A断面)を示す縦断面図である。また、図3は、TFTの箇所(図1のB-B断面)で切断した場合の要部断面斜視図である。

【0022】図1及び図2に示すように、走査線11には、信号線6と交差する交差部7に、走査線11に沿って延びる複数のスリット12が設けられている。これにより、交差部7において、走査線11は、複数の等幅の細線11aにより構成されている。走査線11と、その延在部からなるゲート電極13とは、例えばモリブデン-タングステン(Mo-W)により形成され、全体がゲート絶縁膜15により覆われる。

【0023】また、図1及び図3に示すように、交差部7を除いて走査線11上には、窒化シリコン膜とその下の非晶質シリコン膜とならる線状積層膜21が配されている。このような線状積層膜21は、後述するように、裏面露光のみによりレジストパターンを形成してパターンニングを行なったために生成したものである。また、交差部7において線状保護膜23が省かれているのは、裏面露光によるレジストパターンの形成の際、スリット12を通じた光の回折、及びサイドエッチングにより、交差部7には窒化シリコン膜が残らず、次のパターンニングの際に非晶質シリコン膜も除去されるからである。

【0024】各細線11aの幅は、光の回折の寸法にサイドエッチングの寸法を足し合わせた寸法よりも小さく設定する必要がある。細線11aの設計幅寸法は、裏面露光時の露光量、レジストの現像時間、エッチング時間などの条件に応じて適宜調整されるが、製造条件の典型例によれば3μm以下とするのが好ましかった。

【0025】なお、図示の例では、各交差部7が2本のスリット12により3本の細線11aに分けられており、各スリット12の幅、及び各細線11aの幅はいずれも等しい。例えば、走査線11の幅が約14μmであり、各スリット12及び各細線11aの幅が約2.8μmである。

【0026】アレイ基板10の画素領域についてのその他の概略構成は以下の通りである。

【0027】信号線6と走査線11とにより区画される画素開口ごとにおいて、信号線6と走査線11との交差部7近傍に、スイッチング素子としてのTFT8が配置される。TFT8は、走査線11の延在部13をゲート電極とする逆スタガ型であって、このゲート電極13を

覆う個所に、ゲート絶縁膜15を介して、非晶質シリコン膜(a-Si:H)からなる半導体活性層32が配置される。この半導体層の上には、略中央のバックチャネル部81近傍にチャネル保護膜22が配置され、バックチャネル部81近傍以外にリンドープ非晶質シリコン層(n+a-Si:H)からなる低抵抗半導体層33が積層配置される。さらにこの上には、ソース電極43及びドレイン電極42が配置される。これらソース電極43及びドレイン電極42を含む上層の金属配線パターンは、アルミニウム(Al)層が上下のモリブデン層(Mo)により挟まれた三層金属膜(Mo/Al/Mo)から成る。

【0028】ソース電極43は画素開口ごとに配置される画素電極41に電氣的に接続されており、ドレイン電極42は信号線6の延在部よりなっている。

【0029】次に、実施例のアレイ基板10の製造工程について、図4～7を用いて説明する。

【0030】(1)第1工程(図4、走査線11及びゲート電極13の作成)

ガラス基板14上に、スパッタリングによりモリブデン・タングステン合金(Mo-W)を200nm堆積させる。そして、この金属薄膜上にレジスト層を塗布した後、第1のマスクパターンによる露光、現像及びパターンニングによってレジストパターンを形成する。マスクパターンにおける交差部7に対応する箇所には、それぞれ2本のスリットが設けられている。

【0031】次いで、エッチングを行うことにより、走査線11、及びこの延在部から成るゲート電極13を形成する。走査線11には交差部7に対応する箇所ごとに2本のスリット12が設けられる。この様子を図4に模式的に示す。

【0032】(2)第2工程(図5、プラズマCVDによる連続成膜)

第1工程の後、ガラス基板を加熱し、常圧プラズマCVD法により酸化シリコン膜(SiO_x膜)15aを堆積した後、減圧プラズマCVD法により窒化シリコン膜(SiN_x膜)15bを堆積して2層膜から成るゲート絶縁膜15を形成する。さらに引き続き、減圧プラズマCVD法により、TFT8の半導体活性層32を形成するための膜厚50nmの非晶質シリコン膜(a-Si:H)16と、TFT8のチャネル保護膜22を形成するための膜厚300nmの窒化シリコン膜17とを、大気にさらすことなく連続して成膜する。

【0033】(3)第3工程(図6、チャネル保護膜22の作成)

第2工程の後、再度レジスト層を塗布する。そして、走査線11及びゲート電極13等の金属パターンをマスクとする裏面側からの露光を行う。このような露光操作と、現像及びパターンニングによって、ゲート電極13及び走査線11に対応するレジストパターンを形成する。露光操作の際には、ある程度散乱された光線を用いるこ

とにより、走査線 11 やゲート電極 13 の輪郭よりも内側に引き込んだ形のレジストパターンを形成する。細線 11a 上では、レジストパターンが残らないか、残ってもかなり幅の小さいパターンのみが残る。

【0034】次いでエッチングを行なうことにより、レジストパターンに覆われない領域で窒化シリコン膜 17 が除去されるとともに、サイドエッチングが進行する。そのため、細線 11a 上にレジストパターンが残留していた場合にも、このサイドエッチングによって窒化シリコン膜 17 が完全に除去される。

【0035】以上のようにして、ゲート電極 13 上にチャネル保護膜 22 が形成されるとともに、これに連続する線状保護膜 23 が走査線 11 に沿って残留するが、信号線 6 との交差部 7 では線状保護膜 23 が省かれる。

【0036】(4) 第 4 工程 (図 7、 $n+a-Si:H$ の堆積及びそのパターニング)

第 3 工程の後、減圧プラズマ CVD 法により、不純物としてリンを含むリンドープ非晶質シリコン層 ($n+a-Si:H$) 25 を 50 nm 堆積する。

【0037】この上に再度レジスト層を塗布し、第 2 のマスクパターンを用いる露光と、現像及びパターニングとによりレジストパターンを形成する。第 2 のマスクパターンは、ゲート電極 13 及びその近傍のみを遮蔽するものである。

【0038】上記のレジストパターン形成後にエッチングを行うことにより、TF T 8 以外の個所において、非晶質シリコン膜 ($a-Si:H$) 16 及びリンドープ非晶質シリコン層 ($n+a-Si:H$) 25 を一括して除去する。その結果、TF T 8 の個所において、チャネル保護膜 22 を上下から包み込むように、半導体活性層 32、及び低抵抗半導体層 33 の 2 層から成る島状のパターンが形成される (第 3 のパターニング)。

【0039】TF T 8 以外にあって線状保護膜 23 の個所では、非晶質シリコン膜 16 が残留して線状の半導体膜 24 をなす。これにより、窒化シリコン層からなる線状保護膜 23 と、これに輪郭が一致する下方の線状半導体膜 24 とからなる線状積層膜 21 が形成される。図 7 に、このパターニングの後の様子を示す。

【0040】(5) 以降の工程

この第 4 工程より後には、例えば、画素領域を覆うように ITO 膜を形成する工程、ゲート絶縁膜 15 を貫くコンタクトホールを形成する工程、ITO 膜をパターニングして画素電極 41 を形成する工程、及び上層の金属配線パターンを形成する工程が行なわれる。

【0041】上層の金属配線パターンを形成する工程においては、例えば厚さ 350 nm の三層金属膜 ($Mo/Al/Mo$) を堆積した後、パターニングにより、ソース電極 42、ドレイン電極 43 及び信号線 6 を作成する。

【0042】以上に説明した実施例のアレイ基板の製造方法であると、チャネル保護膜を形成する第 2 のパター

ニングにおいて、別途のマスクパターンを用いる必要がなくマスクパターンとの位置合わせを行なう必要がないとともに、信号線が走査線を乗り越える個所での段切れの発生を十分に防止することができる。

【0043】

【発明の効果】本発明は、液晶表示装置等のアレイ基板及びその製造方法において、チャネル保護膜の形成のためのマスクパターン及びその位置合わせ工程を省くことができるとともに、信号線が走査線と交差する個所での段切れの発生を防止することができる。

【図面の簡単な説明】

【図 1】実施例のアレイ基板の要部を模式的に示す要部平面図である。

【図 2】実施例のアレイ基板における、信号線が走査線と交差する個所 (図 1 の A - A 断面) を示す部分縦断面図である。

【図 3】実施例のアレイ基板について T F T の個所 (図 1 の B - B 断面) で切断した場合の要部断面斜視図である。

【図 4】実施例のアレイ基板の製造工程における、第 1 のパターニングの後の様子を示す、図 3 に対応する要部断面斜視図である。

【図 5】実施例のアレイ基板の製造工程における、C V D による連続成膜後の様子を示す、図 3 に対応する要部断面斜視図である。

【図 6】実施例のアレイ基板の製造工程における、第 2 のパターニングの後の様子を示す、図 3 に対応する要部断面斜視図である。

【図 7】実施例のアレイ基板の製造工程における、第 3 のパターニングの後の様子を示す、図 3 に対応する要部断面斜視図である。

【図 8】従来例のアレイ基板の要部を模式的に示す、図 1 に対応する要部平面図である。

【図 9】従来例を改良したアレイ基板の要部を模式的に示す、図 1 に対応する要部平面図である。

【図 10】従来例を改良したアレイ基板の問題点について説明するための、図 2 に対応する縦断面図である (図 9 の A - A 断面)。

【符号の説明】

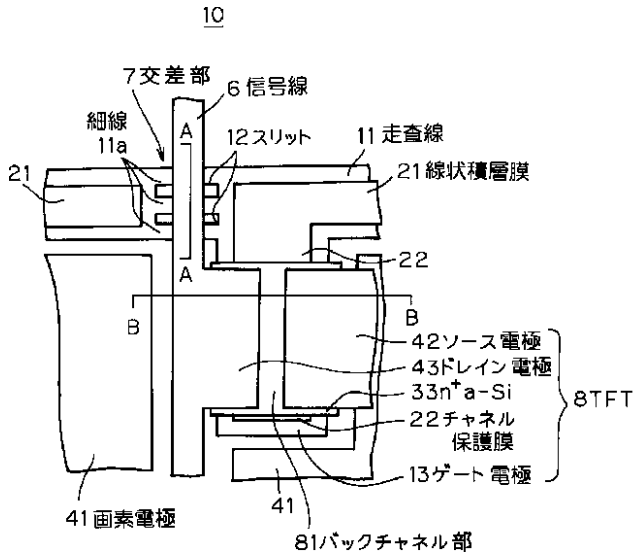
- 10 アレイ基板
- 11 走査線
- 11a 交差部における走査線の細線
- 12 スリット
- 13 ゲート電極
- 15 ゲート絶縁膜
- 21 線状保護膜 23 とその下方の半導体膜とからなる線状積層膜
- 22 チャネル保護膜
- 23 チャネル保護膜と同時に形成される線状保護膜
- 24 線状保護膜に輪郭が一致する下方の半導体膜

6 信号線
7 交差部

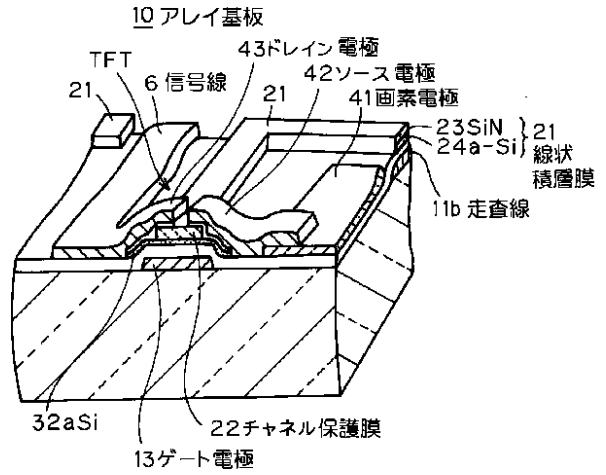
* 8 TFT

*

【図1】

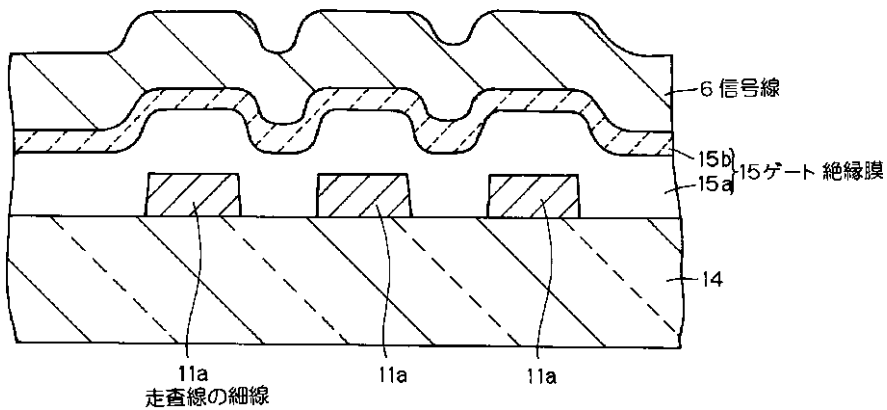


【図3】



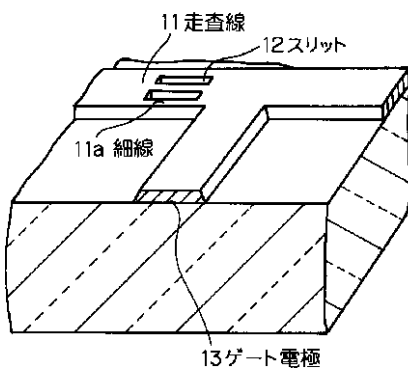
【図2】

A-A断面



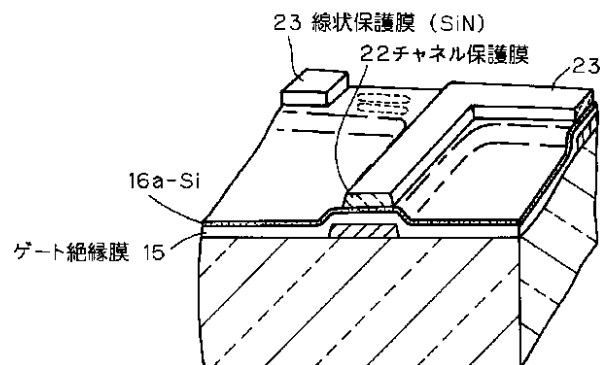
【図4】

第1のバタニングの後



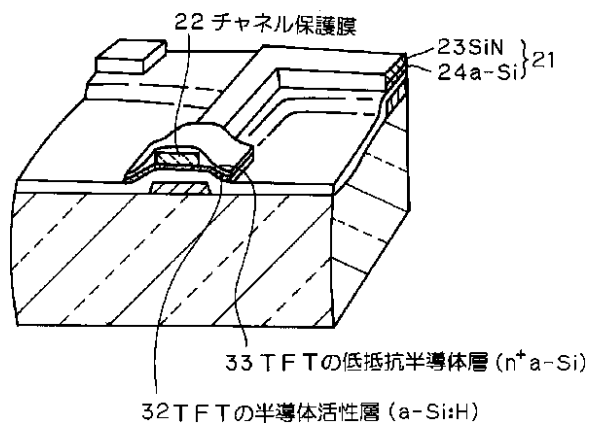
【図6】

第2のバタニングの後



【圖 7】

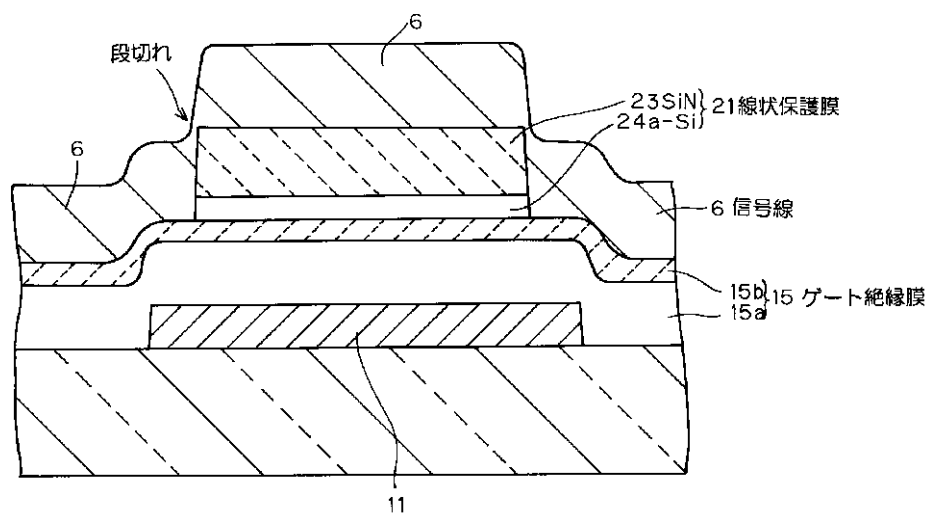
第3のパターニングの後



【圖 9】

Figure 1 is a cross-sectional view of a semiconductor device. It shows a substrate 7 with a vertical layer 6. A horizontal layer 11 is on top of 6. A line-like protective film 21 is on top of 11. A cross-section line A-A is indicated.

【图 10】



フロントページの続き

F ターム(参考) 2H092 JA26 JA29 JA38 JA42 JA44
JB13 JB23 JB32 JB33 JB38
JB51 JB57 JB63 JB69 KA05
KA07 KB14 MA05 MA08 MA14
MA15 MA16 MA18 MA19 MA20
MA27 MA35 MA37 MA42 NA15
NA27 NA29 PA05 PA08
5C094 AA43 AA60 BA03 BA43 CA19
EA04 EA05 EB02 HA08
5F110 AA16 AA26 BB01 CC07 DD02
EE06 EE37 EE44 FF02 FF03
FF09 FF30 GG02 GG15 GG25
GG45 HK03 HK04 HK09 HK16
HK22 HK25 HK32 NN14 NN24
NN35 QQ01 QQ09 QQ12

专利名称(译)	用于显示装置的阵列基板及其制造方法		
公开(公告)号	JP2002072924A	公开(公告)日	2002-03-12
申请号	JP2000268777	申请日	2000-09-05
[标]申请(专利权)人(译)	显示技术		
申请(专利权)人(译)	显示技术有限公司		
[标]发明人	竹原一博 小田切達郎		
发明人	竹原 一博 小田切 達郎		
IPC分类号	G02F1/136 G02F1/1368 G09F9/30 H01L21/336 H01L29/786		
FI分类号	G09F9/30.338 G09F9/30.330.Z G02F1/136.500 H01L29/78.612.D H01L29/78.612.C G02F1/1368 G09F9/30.330		
F-TERM分类号	2H092/JA26 2H092/JA29 2H092/JA38 2H092/JA42 2H092/JA44 2H092/JB13 2H092/JB23 2H092/JB32 2H092/JB33 2H092/JB38 2H092/JB51 2H092/JB57 2H092/JB63 2H092/JB69 2H092/KA05 2H092/KA07 2H092/KB14 2H092/MA05 2H092/MA08 2H092/MA14 2H092/MA15 2H092/MA16 2H092/MA18 2H092/MA19 2H092/MA20 2H092/MA27 2H092/MA35 2H092/MA37 2H092/MA42 2H092/NA15 2H092/NA27 2H092/NA29 2H092/PA05 2H092/PA08 5C094/AA43 5C094/AA60 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA05 5C094/EB02 5C094/HA08 5F110/AA16 5F110/AA26 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE06 5F110/EE37 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG25 5F110/GG45 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK22 5F110/HK25 5F110/HK32 5F110/NN14 5F110/NN24 5F110/NN35 5F110/QQ01 5F110/QQ09 5F110/QQ12 2H192/AA24 2H192/CB05 2H192/CB44 2H192/CB72 2H192/CB83 2H192/CC14 2H192/CC72 2H192/GA41 2H192/HA36		
外部链接	Espacenet		

摘要(译)

解决的问题：消除用于在液晶显示装置等的阵列基板中形成沟道保护膜
的掩模图案及其对准步骤及其制造方法，并在信号线与扫描线相交的位
置设置台阶。提供一种可以防止破裂的发生。解决方案：在用于形成扫
描线11和栅电极13的第一图案中，在扫描线11中与信号线6相交的位置7
中提供缝隙12。在用于形成沟道保护膜22的第二图案中，仅通过使用扫
描线11和栅电极13的图案作为掩模通过背面曝光来形成抗蚀剂图案。在
第二次构图时，在交叉点7以外的扫描线11上形成线性保护膜23。但
是，在交叉点7处，由于通过狭缝12的光的衍射和侧面蚀刻而不会残留线
性保护膜23，因此不会发生引起信号线6的断线的工序。

