

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001 - 267583

(P2001 - 267583A)

(43)公開日 平成13年9月28日 (2001.9.28)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-ド* (参考)
H 0 1 L 29/786		H 0 1 L 29/78	617 S 2 H 0 9 2
21/336		G 0 2 F 1/136	500 5 F 1 1 0
G 0 2 F 1/1368		H 0 1 L 29/78	612 B

審査請求 未請求 請求項の数 7 O L (全 8 数)

(21)出願番号 特願2000 - 80240(P2000 - 80240)

(22)出願日 平成12年3月22日(2000.3.22)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 竹口 徹

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外 4 名)

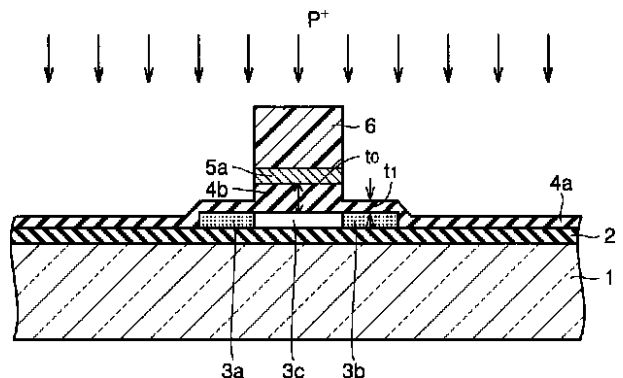
最終頁に続く

(54)【発明の名称】 薄膜トランジスタ、液晶表示装置およびそれらの製造方法

(57)【要約】

【課題】 ゲート絶縁膜の耐電圧の低下なく、レジスト焦げを生じずにドーピングできるTFT、LCDならびにTFTおよびLCDの製造方法を提供する。

【解決手段】 本発明のTFTは、基板(1)上に位置しチャネル領域を挟む一対の不純物領域を含む半導体層(3)と、半導体層の上に接して位置する絶縁膜(4)と、その絶縁膜に接し、チャネル領域の上方に位置するゲート電極(5a)とを備え、上記絶縁膜は均質一体物で形成され、チャネル領域上に位置する絶縁膜(4b)の厚み t_0 は、不純物領域上に位置する絶縁膜(4a)の厚み t_1 より大きい。



【特許請求の範囲】

【請求項1】 基板上に位置し、チャンネル領域を挟む一対の不純物領域を含む半導体層と、前記半導体層の上に接して位置する絶縁膜と、前記絶縁膜の上に接し、前記チャンネル領域の上方に位置するゲート電極とを備え、前記絶縁膜は、均質な一体物で形成されており、前記チャンネル領域上に位置する絶縁膜の厚みは、前記不純物領域上に位置する絶縁膜の厚みよりも大きい、薄膜トランジスタ(TFT:Thin Film Transistor)。

【請求項2】 前記チャンネル領域上に位置する前記絶縁膜の厚みが80nm以上であり、前記不純物領域上の前記絶縁膜の厚みが65nm以下である、請求項1に記載のTFT。

【請求項3】 前記チャンネル領域上に位置する前記絶縁膜の厚みと、前記不純物領域上の前記絶縁膜の厚みとの差が20nm以上ある、請求項1または2に記載のTFT。

【請求項4】 液晶に電圧を印加して光の透過量を制御するアクティブマトリクス方式の液晶表示装置であって、駆動回路領域の信号線ごとに形成されている第1のTFT群、および画素領域の画素ごとに形成されている第2のTFT群のうち、少なくとも一方の領域のTFT群が、請求項1～3のいずれかに記載のTFTから構成されている液晶表示装置。

【請求項5】 駆動回路領域と画素領域とが同じ共通の基板上に形成された駆動回路一体型の液晶表示装置であって、

前記駆動回路領域に信号線ごとに形成されているn型TFTおよびp型TFTが、請求項1～3のいずれかに記載のTFTから構成されている液晶表示装置。

【請求項6】 基板上に半導体層を成膜する工程と、前記半導体層の上に接して絶縁膜を形成する工程と、前記絶縁膜の上に接して導電層を形成する工程と、前記導電層をパターンニングしてゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記絶縁膜をエッチングすることにより、前記ゲート電極の下の領域以外の領域における前記絶縁膜をエッチングしてその膜厚を減少させる工程とを備え、

前記導電層をエッチングしてゲート電極を形成する工程と、前記ゲート電極の下の領域以外の領域における前記絶縁膜をエッチングしてその膜厚を減少させる工程とを同じ処理装置内で連続して行う、TFT(Thin Film Transistor)の製造方法。

【請求項7】 基板上の第1薄膜トランジスタの領域にチャンネル領域、ソース、ドレイン領域を含む第1半導体層を、また第2薄膜トランジスタの領域にチャンネル領域、ソース、ドレイン領域を含む第2半導体層を、それぞれ形成する工程と、

*前記第1および第2半導体層の上に接して絶縁膜を形成する工程と、

前記絶縁膜の上に接して導電層を形成する工程と、前記第2薄膜トランジスタの領域以外の領域の導電層をパターンニングして、前記第1半導体層のチャンネル領域の上に第1ゲート電極を形成する工程と、前記第2薄膜トランジスタの領域の前記導電層をパターンニングして、前記第2薄膜半導体のチャンネル領域の上に第2ゲート電極を形成する工程と、

10 前記第1ゲート電極下および前記第2薄膜トランジスタの領域以外の領域における前記絶縁膜をエッチングしてその膜厚を減少させる第1減厚工程と、

前記第2ゲート電極下および前記第1ゲート電極下の領域以外の領域における前記絶縁膜をエッチングしてその膜厚を減少させる第2減厚工程とを備え、

20 前記第1ゲート電極形成工程と前記第1減厚工程とからなる第1工程、および前記第2ゲート電極形成工程と前記第2減厚工程とからなる第2工程とともに、その電極形成工程と絶縁膜減厚工程とを同じ処理装置内で連続して行う、液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ(TFT:Thin Film Transistor)、液晶表示装置、ならびにTFTおよび液晶表示装置の製造方法に関する。

【0002】

【従来の技術】液晶表示装置の1つとして、多結晶シリコンを用いた駆動回路一体型の液晶表示装置が知られている。この駆動回路一体型の液晶表示装置では、画素領域と駆動回路領域とが同じ共通のガラス基板上に形成されている。通常、駆動回路領域には信号線ごとにn型TFTとp型TFTとが形成され、また画素領域では画素ごとに2個のn型TFTが形成される。

【0003】次に、これらn型TFTおよびp型TFTが隣接するTFTの製造方法について図11を用いて説明する。まず、ガラス基板101にシリコン酸化膜などの下地膜102が形成され、次いで、この下地膜の上にアモルファスシリコン膜が成膜される。次いで、このアモルファスシリコン膜をレーザアニール法や急速加熱法によって多結晶シリコン膜とする。次にフォトリソグラフィ法を用いてTFT形成領域に多結晶シリコン膜を島状にパターンニングして、TFT形状の多結晶シリコン103を作製する。次に、これらを覆うようにゲート絶縁膜104を形成し、さらにこの上にゲート電極105aを形成する。次に、p型TFTの領域を覆うようにレジストマスク106を形成して、n型TFTとなる多結晶シリコン膜の所定の領域にリンや砒素などのn型不純物をドーピングしてソース、ドレイン領域103a, 103bを形成する。また、n型TFTの領域を覆うようにレジストマスクを形成して、p型TFTとなる

多結晶シリコン膜の所定の領域にボロンやガリウムなどのp型不純物をドーピングする。次に、これらドーパントを活性化するための熱処理を行った後、図11には示していないシリコン酸化膜などの層間絶縁膜を形成する。次に、n型およびp型TFTのソース、ドレイン領域に対応する位置の層間絶縁膜にコンタクトホールを形成し、さらにソースおよびドレイン電極を形成する。この後、保護絶縁膜を形成し、ドレイン電極の上の保護絶縁膜にコンタクトホールを形成する。この後、透明導電膜からなる画素電極を形成して、液晶表示装置の主要部

【0004】

【発明が解決しようとする課題】上記の構造のTFTでは、ゲート絶縁膜の耐電圧を向上させるためには、ゲート絶縁膜の厚さを厚くする必要がある。しかしながら、図11に示すように、ゲート絶縁膜を80~100nm程度に厚くすると、n型またはp型不純物をドーピングする際に加速電圧を40keV以上に高く設定しなければならない。ドーピングに際し、レジストをドーピングマスクとして使用する場合には、加速電圧が40keVを超えると基板温度が上昇してレジスト焦げが発生して、レジストの剥離が困難になる場合がある。逆にレジスト焦げを防止するために、ゲート絶縁膜の膜厚を薄くすると、ゲート絶縁膜の耐電圧が低下して、信頼性が低下するという問題がある。

【0005】本発明は、ゲート絶縁膜の耐電圧を低下させることなく、レジスト焦げを生じずにドーピングできるTFT、液晶表示装置ならびにTFTおよび液晶表示装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明の請求項1のTFTは、基板上に位置し、チャンネル領域を挟む一对の不純物領域を含む半導体層と、半導体層の上に接して位置する絶縁膜と、絶縁膜の上に接し、チャンネル領域の上方に位置するゲート電極とを備え、絶縁膜は、均質な一体物で形成されており、チャンネル領域上に位置する絶縁膜の厚みは、不純物領域上に位置する絶縁膜の厚みよりも大きい。

【0007】通常のレジストは、100~120を超えると加熱されると、レジスト焦げが発生する。不純物イオンの打ち込みにおいて、加速電圧が40keVを超えると、 2×10^{15} 個/cm²程度のドーズ量では120を超えてしまう。上記発明の構成により、絶縁膜の上から薄膜半導体に不純物イオン等を加速して打ち込む場合、40keVを超えて加速電圧をむやみに高くする必要がない。このため、レジストをマスクとして上記打ち込みを行う場合でも、レジスト焦げの発生の危険性のない40keV以下の加速電圧を採用することができる。このため、ゲート絶縁膜は耐圧を充分とりうる厚みとした上で、レジスト焦げを生じないので、TFTの

製造において高い歩留りを確保することが可能となる。さらに、上記絶縁膜は均質な一体物で形成されているので、例えば、ゲート電極のパターニングに引き続いて、上記絶縁膜のゲート電極下以外の領域をエッチングし、減厚して形成することができる。この結果、生産性を低下させることなく、ゲート電極での耐圧性の確保と不純物イオン打ち込みにおけるレジスト焦げの防止を達成することが可能となる。なお、「チャンネル領域の上方に位置する」とは、平面的に見てチャンネル領域と重なる領域であって、チャンネル領域の上方の領域をさす。また、上記の薄膜半導体には、アモルファスシリコン膜、多結晶シリコン膜等を用いることができる。

【0008】請求項2のTFTでは、請求項1のTFTにおいて、チャンネル領域上に位置する絶縁膜の厚みが80nm以上であり、不純物領域上の絶縁膜の厚みが65nm以下である。

【0009】上記のように、ゲート電極下の領域の絶縁膜厚みを80nm以上とすることにより耐圧性を確保し、不純物領域上の絶縁膜の厚さを65nm以下とすることにより、不純物イオンの打ち込みの加速電圧を40keV以下とすることができる。このため、耐圧性を確保した上で、レジスト焦げを生じることなく薄膜半導体に不純物イオンを打ち込むことができる。

【0010】請求項3のTFTでは、請求項1または2のTFTにおいて、チャンネル領域上に位置する絶縁膜の厚みと、不純物領域上の絶縁膜の厚みとの差が20nm以上ある。

【0011】この構成により、耐圧性の確保とレジスト焦げ防止とを両立させることができる。上記の差が20nm未満では上記の両立を図ることは難しくなる。より確実に耐圧性とレジスト焦げ防止とを両立させるためには、30nm以上の上記の差を設けることが望ましい。

【0012】請求項4の液晶表示装置は、液晶に電圧を印加して光の透過量を制御するアクティブマトリクス方式の液晶表示装置であって、駆動回路領域の信号線ごとに形成されている第1のTFT群、および画素領域の画素ごとに形成されている第2のTFT群のうち、少なくとも一方の領域のTFT群が、請求項1~3のいずれかのTFTから構成されている。

【0013】駆動回路領域と画素領域とを別々に形成して液晶表示装置を組立てるもの、および駆動回路領域と画素領域とを同じ基板上に形成する駆動回路一体型の液晶表示装置の両方の場合とも、上記の構成によりゲート電極の高耐圧性とレジスト焦げ防止を得ることができる。なお、駆動回路領域のTFT群とは、信号線ごとに形成されているn型TFTおよびp型TFTの集合をいい、画素領域のTFT群とは、画素領域ごとに形成されている2つのn型TFTの集合をさす。

【0014】請求項5の液晶表示装置は、駆動回路領域と画素領域とが同じ共通の基板上に形成された駆動回路

一体型の液晶表示装置であって、駆動回路領域に信号線ごとに形成されているn型TFTおよびp型TFTが、請求項1～3のいずれかに記載のTFTから構成されている。

【0015】この構成により、p型不純物イオンの打込みとn型不純物イオンの打込みとの2回の機会に、加速されたイオンが通過するn型およびp型の薄膜半導体の間の絶縁膜が存在して、レジスト周辺の温度上昇が強められる場合にも対処することができる。すなわち、上記の場合でも、耐圧性を確保した上でn型TFTまたはp型TFTの上に形成されたレジストの焦げを防止することができる。

【0016】請求項6のTFTの製造方法は、基板上に半導体層を成膜する工程と、半導体層の上に接して絶縁膜を形成する工程と、絶縁膜の上に接して導電層を形成する工程と、導電層をパターニングしてゲート電極を形成する工程と、ゲート電極をマスクとして絶縁膜をエッチングすることにより、ゲート電極の下の領域以外の領域における絶縁膜をエッチングしてその膜厚を減少させる工程とを備える。そして、導電層をエッチングしてゲート電極を形成する工程と、ゲート電極の下の領域以外の領域における絶縁膜をエッチングしてその膜厚を減少させる工程とを同じ処理装置内で連続して行う。

【0017】この構成により、生産能率を低下させずにゲート電圧における耐圧性の確保と薄膜半導体への不純物イオンの打込みにおけるレジスト焦げ防止の両方を簡便に達成することができる。この結果、TFTの製造において高い歩留りを確保することができる。

【0018】請求項7の液晶表示装置の製造方法は、基板上の第1薄膜トランジスタの領域にチャネル領域、ソース、ドレイン領域を含む第1半導体層を、また第2薄膜トランジスタの領域にチャネル領域、ソース、ドレイン領域を含む第2半導体層を、それぞれ形成する工程と、第1および第2半導体層の上に接して絶縁膜を形成する工程とを備える。そして、絶縁膜の上に接して導電層を形成する工程と、第2薄膜トランジスタの領域以外の領域の導電層をパターニングして、第1半導体層のチャネル領域の上に第1ゲート電極を形成する工程と、第2薄膜トランジスタの領域の導電層をパターニングして、第2薄膜半導体のチャネル領域の上に第2ゲート電極を形成する工程とを備える。さらに、第1ゲート電極下および第2薄膜トランジスタの領域以外の領域における絶縁膜をエッチングしてその膜厚を減少させる第1減厚工程と、第2ゲート電極下および第1ゲート電極下の領域以外の領域における絶縁膜をエッチングしてその膜厚を減少させる第2減厚工程とを備え、第1ゲート電極形成工程と第1減厚工程とからなる第1工程、および第2ゲート電極形成工程と第2減厚工程とからなる第2工程とともに、その電極形成工程と絶縁膜減厚工程とを同じ処理装置内で連続して行う。

【0019】上記構成により、液晶表示装置の駆動回路領域において信号線ごとに形成されるn型TFTおよびp型TFTを十分なゲート耐圧性を確保した上でレジスト焦げを生じることなく形成することができる。このとき、余分な工程を付加することなく、エッチング条件を変えるだけでゲート電極のパターニングと上記絶縁膜の減厚を行うことができる。

【0020】

【発明の実施の形態】次に、図面を用いて本発明の実施の形態について説明する。

【0021】本実施の形態では、駆動回路一体型の液晶表示装置のTFTを対象にしている。図1および図2は、それぞれ画素領域および駆動回路領域における断面図であり、液晶表示装置の製造過程において、ゲート電極をパターニングするためのレジスト6をゲート電極膜5の上に形成した段階の画素領域の断面図を示す。図1および図2に示す段階に至る工程は次の通りである。まず、基板1の上に下地膜2を成膜する。次いで、CVD (Chemical Vapor Deposition)法を用いて、アモルファスシリコン膜を形成した後、レーザアニール法や急速加熱法により多結晶シリコンとする。次に、フォトリソグラフィ法を用いて、多結晶シリコン膜を加工して、画素用TFT(図1)、駆動回路用TFT(図2)、保持容量(図示せず)の各領域に島状の多結晶シリコン3を残す。次に、フォトリソグラフィ法により保持容量以外の領域にイオンドーピングマスクを形成した後、保持容量領域(図示せず)にリンイオンをドーピングし、レジストを除去する。次に、CVD法などを用いて、多結晶シリコンと下地膜との上に厚み85nm程度の酸化シリコン膜からなるゲート絶縁膜4を形成する。

【0022】次に、ゲート絶縁膜4の表面にドーフトシリコン膜、シリサイド膜、またはアルミニウム膜、クロム膜、タンタル膜などの金属膜をゲート電極膜5として成膜し、パターニングを行って、ゲート電極5aを形成する。

【0023】ここで、ゲート電極5aをドーフトシリコン膜で形成する場合を例にとって説明する。CVD法を用いて、ゲート絶縁膜の上の全面にドーフトシリコン膜を約300nm成膜する。この後、フォトリソグラフィ法を用いて、ドーフトシリコン膜を残すべき場所にレジストマスク6を形成する。次に、ドライエッチング装置を用いて、下記の条件にてエッチングを行う。

【0024】モード：反応性イオンエッチング(異方性エッチング)

ガス：CF₄(50sccm(standard cubic cm/min))、H₂(35sccm)

圧力：25Pa

温度：40

時間：200秒

このエッチングにおいて、ゲート電極5aを形成した後

のオーバエッチング時にゲート電極下以外のゲート絶縁膜が減厚される。上記のオーバエッチング時にゲート電極下以外の領域のゲート絶縁膜4 aは、約35 nm厚さエッチングされるので、その厚さ t_1 は、図3および図4に示すように、ゲート電極の下の領域の絶縁膜4 bの厚さ t_0 よりも明白に薄くなる。図4に示すように、駆動回路領域のn型TFTのソース、ドレイン領域の上の絶縁膜、およびn型TFTとp型TFTとの間のゲート絶縁膜は、この時点でエッチングされ減厚されている。ここで、ゲート絶縁膜のエッチングは、ゲート電極の形成に引き続いて、同じ装置内で連続して行われるので、製造工程が従来より増えることはなく、生産性の低下を招くことはない。

【0025】次に、画素領域のn型TFTおよび駆動回路領域のn型TFTに高濃度ソース、ドレイン領域を形成するため、図3および図4に示すように、高濃度ソース、ドレイン領域3 a, 3 bにリンイオンをドーピングする。図3は画素領域のn型TFT形成途中の断面図であり、図4は駆動回路領域のn型およびp型TFT形成途中の断面図である。その後イオンドーピングマスクを除去する。さらに、図5に示すように、駆動回路領域のp型TFTのゲート電極5 aを、上記の反応性イオンエッチングの条件において、大きくオーバエッチングをしないエッチング時間にてエッチングして形成する。このとき、図5に示すようにp型TFTのソース、ドレイン領域の上およびn型およびp型TFTの間のゲート絶縁膜の膜厚を減少させる。次いで、駆動回路領域のp型TFTに高濃度のソース、ドレイン領域を形成するため、図6に示すように、高濃度ソース、ドレイン領域にボロンイオンをドーピングし、その後レジストを除去する。このとき、ゲート電極下以外の領域のゲート絶縁膜4 aの膜厚 t_1 は膜厚50 nm程度にまで、エッチングされており、イオンドーピング時の加速電圧を従来よりも低くすることができる。このため、レジストマスク焦げを発生させずに高濃度のイオンドーピングを行うことができる。この場合においても、ゲート電極下のゲート絶縁膜4 bの膜厚 t_0 は85 nmと厚く、耐圧が低下することはない。また、ゲート絶縁膜はゲート電極形成時に連続して同じ装置内でエッチングされるので、工程数が増大することがない。

【0026】次に、図7に示すように、ゲート電極5 aの表面にTEOS-CVD法やプラズマCVD法などを用いて、層間絶縁膜として酸化シリコン膜7を形成した後、ドーピングしたイオンを活性化するために、水素プラズマ中で500程度に加熱する熱処理を行う。次に、ドライエッチング法を用いて、ソースおよびドレイン領域3 a, 3 bに届くように、この層間絶縁膜7およびゲート絶縁膜4 aの所定の箇所にコンタクトホールを開口する。次いで、図7に示すように、このコンタクトホール底部でソース、ドレイン領域と接するクロム膜、*50

*またはタンタル膜とアルミニウム膜との多層金属膜を形成して、ソース、ドレイン電極8, 9を形成する。この後、画素領域については図8に示すように、透明性有機層間絶縁膜11を形成し、さらにITOなどの透明導電膜からなる画素電極12を形成する。また、駆動回路領域については図9に示すように、ゲート電極上の層間絶縁膜10の形成、ソース、ドレイン電極8, 9の形成の後、平坦化のために透明性有機層間絶縁膜11を形成する。さらにその上に、図10に示すように、液晶と接する配向層13を形成する。一方、上部ガラス基板21にはカラーフィルタ22を貼り付け、その上に対向電極23を設け、さらに、液晶に接する配向層24を形成する。この上部ガラス基板21と、ガラス基板1とを、配向層13, 24を対向させて一定のギャップを保って固定する。図10の画素領域の断面図に示すように、このギャップ内に液晶30を封入することにより、液晶表示装置の主要機能部が完成する。

【0027】本実施の形態による液晶表示装置の製造方法によれば、イオンドーピングを行う時点では、イオンがドーピングされる多結晶シリコンの上のゲート絶縁膜の膜厚は薄くなっているため、イオンドーピングの加速電圧を低減することができる。このため、ドーピングマスクであるフォトリソの焦げ付きを防止することができる。さらに、ゲート電極下のゲート絶縁膜の膜厚は充分厚いので、耐電圧の低下は生じない。上記のゲート絶縁膜を減厚するエッチング工程は、ゲート電極の形成に引き続いて同じ装置内で連続して行われるので、生産性を低下することがない。

【0028】上記において本発明の実施の形態について説明を行ったが、上記に開示された本発明の実施の形態はあくまで例示であって、本発明の範囲はこれら発明の実施の形態に限定されない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含む。

【0029】

【発明の効果】本発明のTFT、液晶表示装置およびそれらの製造方法を用いて、ゲート電極下の領域以外の領域におけるゲート絶縁膜の膜厚をゲート電極下のゲート絶縁膜よりも薄くすることにより、耐圧性に優れたTFTをレジスト焦げを発生させずに製造することができる。このゲート絶縁膜を減厚するエッチング工程は、ゲート電極の形成に引き続いて連続して同じ装置内で行われるので、生産性を低下させることがない。

【図面の簡単な説明】

【図1】 本実施の形態におけるゲート電極膜の上にn型TFT用のゲート電極形成用のレジストを形成した段階の、画素領域の断面図である。

【図2】 本実施の形態におけるゲート電極膜の上にn型TFT用のゲート電極形成用のレジストを形成した

段階の、駆動回路領域の断面図である。

【図3】 図1の状態からゲート電極を形成し、ゲート電極以外の領域のゲート絶縁膜を減厚し、高濃度ソース、ドレイン領域を形成するためにリンイオンを打ち込んでいる段階の断面図である。

【図4】 図2の状態からn型TFT用のゲート電極を形成し、そのゲート電極以外の領域のゲート絶縁膜を減厚し、n型TFTの高濃度ソース、ドレイン領域を形成するためにリンイオンを打ち込んでいる段階の断面図である。

【図5】 図4の状態からp型TFT用のゲート電極を形成した段階の断面図である。

【図6】 図5の状態からp型TFT用の高濃度ソース、ドレイン領域を形成するためにボロンイオンを打ち込んでいる段階の断面図である。

【図7】 図3の状態から、レジストを除去し、層間絶縁膜を成膜し、ソース、ドレイン電極を形成した段階の断面図である。

【図8】 図7の状態から透明性有機絶縁膜を成膜し、*

*画素電極を形成した段階の断面図である。

【図9】 図6の状態から、レジストを除去し、層間絶縁膜を成膜し、ソース、ドレイン電極を形成し、透明性有機絶縁膜を形成した段階の断面図である。

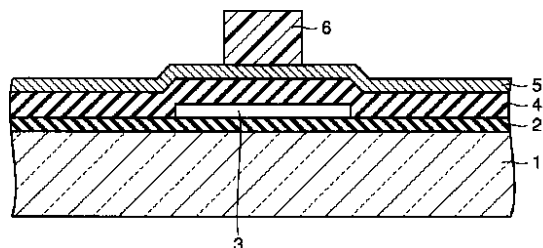
【図10】 図8の状態から、液晶表示装置の主要構成部を完成させた段階の断面図である。

【図11】 従来のn型TFTおよびp型TFTの製造において、ソース、ドレイン領域を形成するために不純物イオンを打ち込んでいる段階の断面図である。

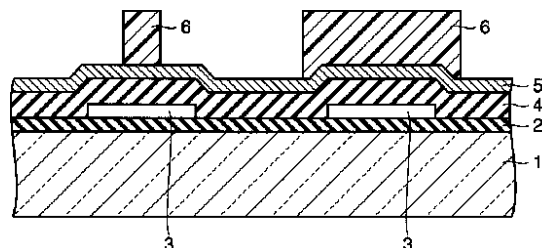
10 【符号の説明】

1 (下部)ガラス基板、2 下地膜、3 多結晶シリコン膜、3a, 3bソース、ドレイン領域、3c チャネル領域、4, 4a, 4b ゲート絶縁膜、5 ゲート電極膜、5a ゲート電極、6 レジスト、7 層間絶縁膜、8, 9 ソース、ドレイン電極、11 透明性有機絶縁膜、12 画素電極、13, 24 配向層、22 カラーフィルタ、23 対向電極、30 液晶、 t_0 ゲート電極下のゲート絶縁膜の厚さ、 t_1 ゲート電極下以外の領域のゲート絶縁膜の厚さ。

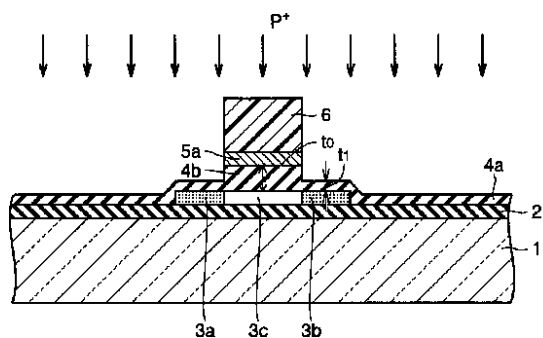
【図1】



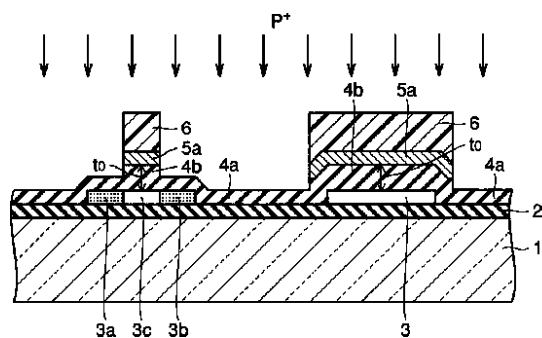
【図2】



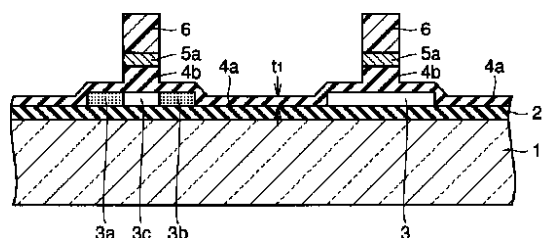
【図3】



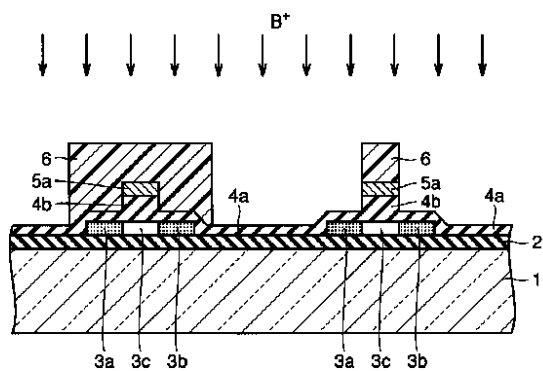
【図4】



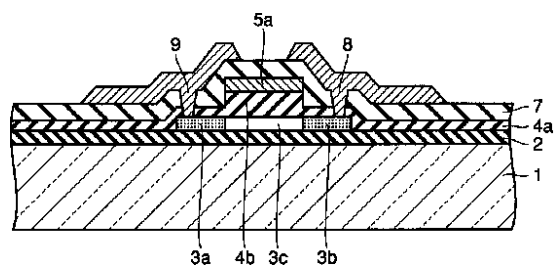
【図5】



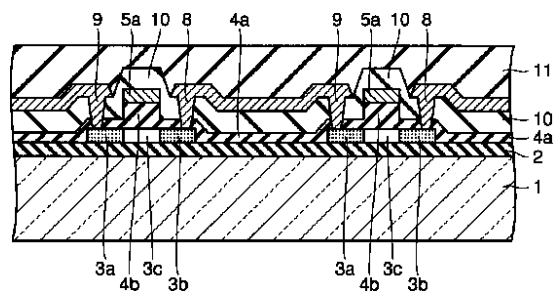
【図6】



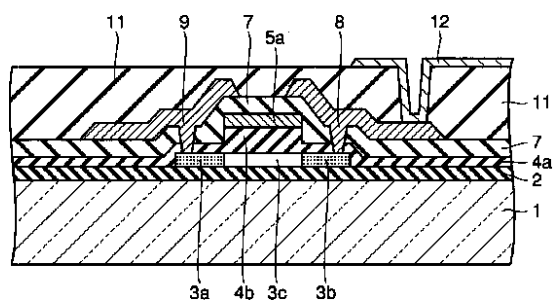
【図7】



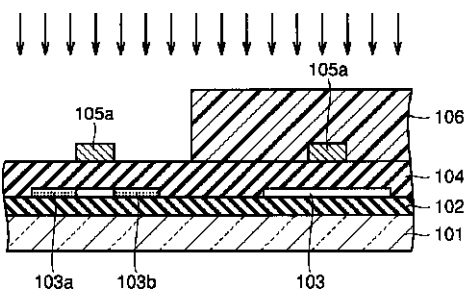
【図9】



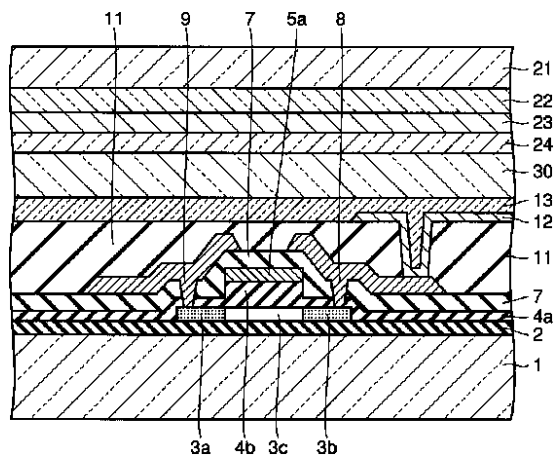
【図8】



【図11】



【図10】



フロントページの続き

(72)発明者 村井 一郎
 長野県諏訪市大和3丁目3番5号 セイコ
 -エプソン株式会社内

Fターム(参考) 2H092 GA59 HA06 JA26 JA35 KA04
KA05 KB04 KB25 MA19 MA27
MA47 NA15 NA29 PA06
5F110 AA12 AA16 BB02 BB04 CC02
DD02 DD11 EE03 EE04 EE05
EE09 EE45 FF02 FF12 FF29
GG02 GG13 GG15 GG44 HJ01
HJ13 HJ23 HL03 HL04 HL11
NN02 NN03 NN23 NN27 NN35
NN72 NN73 PP02 PP03 QQ04
QQ11

专利名称(译)	薄膜晶体管，液晶显示装置及其制造方法		
公开(公告)号	JP2001267583A	公开(公告)日	2001-09-28
申请号	JP2000080240	申请日	2000-03-22
[标]申请(专利权)人(译)	三菱电机株式会社 精工爱普生株式会社		
申请(专利权)人(译)	三菱电机株式会社 精工爱普生公司		
[标]发明人	竹口 徹 村井 一郎		
发明人	竹口 徹 村井 一郎		
IPC分类号	G02F1/136 G02F1/1368 H01L21/336 H01L29/786		
FI分类号	H01L29/78.617.S G02F1/136.500 H01L29/78.612.B G02F1/1368		
F-TERM分类号	2H092/GA59 2H092/HA06 2H092/JA26 2H092/JA35 2H092/KA04 2H092/KA05 2H092/KB04 2H092/KB25 2H092/MA19 2H092/MA27 2H092/MA47 2H092/NA15 2H092/NA29 2H092/PA06 5F110/AA12 5F110/AA16 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD11 5F110/EE03 5F110/EE04 5F110/EE05 5F110/EE09 5F110/EE45 5F110/FF02 5F110/FF12 5F110/FF29 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG44 5F110/HJ01 5F110/HJ13 5F110/HJ23 5F110/HL03 5F110/HL04 5F110/HL11 5F110/NN02 5F110/NN03 5F110/NN23 5F110/NN27 5F110/NN35 5F110/NN72 5F110/NN73 5F110/PP02 5F110/PP03 5F110/QQ04 5F110/QQ11 2H192/AA24 2H192/CB02 2H192/CB12 2H192/CB82 2H192/CC72 2H192/EA43 2H192/EA67 2H192/FB02 2H192/FB15 2H192/HA63 2H192/HA84		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种TFT，LCD以及用于制造TFT和LCD的方法，其可以被掺杂而不会降低栅极绝缘膜的耐电压并且不会引起抗蚀剂烧焦。本发明的TFT包括：半导体层（3），其位于基板（1）上，并且包括将沟道区夹在中间的一对杂质区；以及绝缘膜（4），其与所述半导体层接触。栅电极（5a）位于与绝缘膜接触的沟道区上方，绝缘膜由均匀的整体形成，位于沟道区上的绝缘膜（4b）的厚度为它大于位于杂质区域上的绝缘膜（4a）的厚度 t_1 。

