

(19)日本国特許庁(J P)

(12) 公開特許公報(A) (11)特許出願公開番号

特開2001 - 209071

(P2001 - 209071A)

(43)公開日 平成13年8月3日(2001.8.3)

(51) Int.Cl <sup>7</sup>	識別記号	F I	テ-マコード* (参考)
G 0 2 F 1/1368		G 0 3 F 7/20	505 2 H 0 9 2
G 0 3 F 7/20	505	G 0 9 F 9/00	342 Z 2 H 0 9 7
G 0 9 F 9/00	342	9/30	338 5 C 0 9 4
9/30	338	G 0 2 F 1/136	500 5 G 4 3 5

審査請求 未請求 請求項の数 5 O L (全 5 数)

(21)出願番号 特願2000 - 19807(P2000 - 19807)

(22)出願日 平成12年1月28日(2000.1.28)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 木津 紀幸

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 分元 博文

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

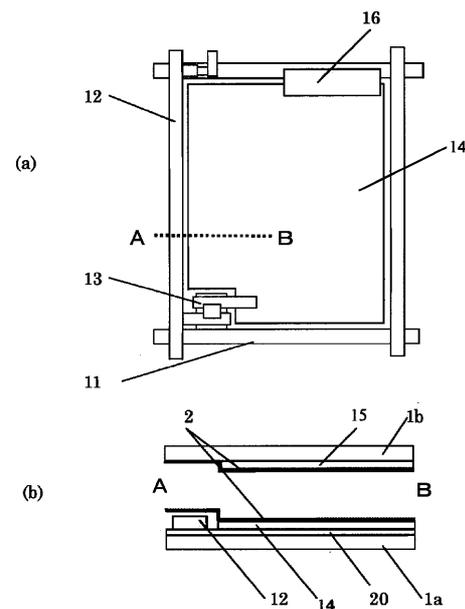
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型液晶表示素子アレイ基板の製造方法および液晶表示素子

(57)【要約】

【課題】 液晶表示素子の輝度ムラの低減。

【解決手段】 レーザーホログラフィーによるパターン露光を用いたフォトリソ法で形成される工程を有することを特徴としたアクティブマトリクス型液晶表示素子アレイ基板の製造方法。



- 1a,1b 基板
- 12 信号配線
- 13 薄膜トランジスタ
- 15 共通電極(対向電極)
- 14 画素電極
- 20 窒化珪素膜(絶縁膜)
- 2 配向膜
- 11 走査配線
- 16 蓄積容量

## 【特許請求の範囲】

【請求項1】 基板に、マトリックス状に配置された複数の直線状の信号配線及び走査配線と、前記信号配線と前記走査配線との各交差点に対応して備えられた少なくとも一つ以上のスイッチング素子と、前記スイッチング素子に接続される画素電極とが備えられるアクティブマトリクス型液晶表示素子アレイ基板の製造方法であって、前記基板に、前記走査配線と、前記画素電極とを露光によるパターンニングで設ける際に、露光用のマスクを介さずにレーザーホログラフィーによるフォトリソ法で露光される工程を有することを特徴とするアクティブマトリクス型液晶表示素子アレイ基板の製造方法。

【請求項2】 請求項1に記載のアクティブマトリクス型液晶表示素子アレイ基板の製造方法であって、レーザーホログラフィーによるフォトリソ法のレーザー光の波長が、下限値が100nmで、かつ上限値が310nmであることを特徴とするアクティブマトリクス型液晶表示素子アレイ基板の製造方法。

【請求項3】 基板に、マトリックス状に配置された複数の直線状の信号配線及び走査配線と、前記信号配線と前記走査配線との各交差点に対応して備えられた少なくとも一つ以上のスイッチング素子と、前記スイッチング素子に接続される櫛型状の画素電極と、前記画素電極と咬合する櫛型状の共通電極とが備えられるアクティブマトリクス型液晶表示素子アレイ基板の製造方法であって、前記基板に、前記走査配線と、前記共通電極とを露光によるパターンニングで設ける際に、露光用のマスクを介さずにレーザーホログラフィーによるフォトリソ法で露光される工程を有することを特徴とするアクティブマトリクス型液晶表示素子アレイ基板の製造方法。

【請求項4】 請求項3に記載のアクティブマトリクス型液晶表示素子アレイ基板の製造方法であって、レーザーホログラフィーによるフォトリソ法のレーザー光の波長が、下限値が100nmで、かつ上限値が310nmであることを特徴とするアクティブマトリクス型液晶表示素子アレイ基板の製造方法。

【請求項5】 請求項1から請求項4のいずれ一つに記載のアクティブマトリクス型液晶表示素子アレイ基板の製造方法で得られるアクティブマトリクス型液晶表示素子アレイ基板を有することを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型液晶表示素子アレイ基板の製造方法および液晶表示装置に関する。

## 【0002】

【従来の技術】以下、図面を参照しながらアクティブマトリクス型液晶表示素子の薄膜トランジスタ集積装置にの一例について説明する。図1(a)は一般的なTN型の1画素部分の信号線で、電極の平面模式図であり、

(b)は(a)の断面模式図である。TN型のアクティブマトリクス型液晶表示素子では、電界を基板1aに対して垂直に発生させるが、基板1aに対して水平面内に発生させるIPS方式も考案され、近年、使用されるにいたっている。図2(a)はこのようなIPS型の1画素部分の信号線で、電極の平面模式図であり、(b)は(a)の断面模式図である。図1、および2において11は走査配線であり、12は信号配線であり、13はスイッチング素子であり、14は画素電極であり、15は共通電極であり、16は蓄積容量である。

【0003】これら、上記の配線と、電極は、一般的に図3(a)に示すような、光源として水銀ランプや、キセノンランプなどの定常光を用い、マスクを介したフォトリソ法により形成される。

## 【0004】

【発明が解決しようとする課題】しかしながら、光源として水銀ランプや、キセノンランプなどの定常光を用い、マスクを介したフォトリソ法では、マスク上のダストなどの異物によりパターン形状の不具合が発生し、歩留りの低下の要因となる。特に、IPS型の基板では櫛型状に画素電極：14と共通電極：15が並列しており、パターン形状の不具合のため電極間の短絡等が生じる場合もある。

【0005】また、マスクを介した定常光によるフォトリソ法では、マスクの濃度ムラや露光装置の光量分布の不均一性が上記配線と、電極の幅に不均一性を与える。IPS型では、電極間の距離が液晶分子のねじれの程度に差を与えるため、電極幅の不均一性に起因する電極間距離の不均一性による輝度ムラが現れることになる。

## 【0006】

【課題を解決するための手段】上記課題を解決するために本発明のアクティブマトリクス型液晶表示素子アレイ基板の製造方法は、基板に、マトリックス状に配置された複数の直線状の信号配線及び走査配線と、信号配線と走査配線との各交差点に対応して備えられた少なくとも一つ以上のスイッチング素子と、そのスイッチング素子に接続される画素電極とが備えられるアクティブマトリクス型液晶表示素子アレイ基板の製造方法で、基板に、走査配線と、画素電極とを露光によるパターンニングで設ける際に、露光用のマスクを介さずにレーザーホログラフィーによるフォトリソ法で露光される工程を有する。

【0007】また、本発明のアクティブマトリクス型液晶表示素子アレイ基板の製造方法のレーザーホログラフィーによるフォトリソ法のレーザー光の波長は、下限値が100nmで、かつ上限値が310nmである。

【0008】また、本発明のアクティブマトリクス型液晶表示素子アレイ基板の製造方法は、基板に、マトリックス状に配置された複数の直線状の信号配線及び走査配線と、信号配線と走査配線との各交差点に対応して備え

られた少なくとも一つ以上のスイッチング素子と、そのスイッチング素子に接続される櫛形状の画素電極と、画素電極と咬合する櫛形状の共通電極とが備えられるアクティブマトリクス型液晶表示素子アレイ基板の製造方法で、基板に、走査配線と、共通電極とを露光によるパターンニングで設ける際に、露光用のマスクを介さずにレーザーホログラフィーによるフォトリソ法で露光される工程を有する。

【0009】また、本発明の液晶表示装置は、上記で得られるアクティブマトリクス型液晶表示素子アレイ基板を有する。

【0010】このようにして、マスクを介さないことにより、マスク上のダスト、マスク濃度ムラの影響がなくなる。下限値が100nmで、かつ上限値が310nmの波長のみを選択的に用いることにより、光の回折効果が大きくなるので、露光の際の基板上ダストの影響をより軽減できる。

【0011】また、本発明では、さらに、レーザー光走印の直前にそのレーザー光走印の箇所を選択的にエアブローを行ない、基板上のダストの影響を低減することも可能である。

【0012】本発明で使用するレーザー光の光源としては、キセノンクロライド(波長308nm)や、クリプトンフッ素(波長254nm)のエキシマーレーザーや、YAGレーザーの4倍波(波長266nm)などが挙げられるが、他のレーザー光の光源を用いても良い。

【0013】また、本発明に用いられるフォトリソ法の感光性組成物としては、光重合型あるいは、化学増幅型の感光性組成物が挙げられるが、他の感光性組成物を用いても良い。

【0014】

【発明の実施の形態】以下、本発明による液晶パネルおよびその製造方法について図面を参照しながら説明する。

【0015】(実施の形態1)図2(a)はこの発明の実施の形態1の液晶パネルの構成平面図であり、図2(b)は同液晶パネルの構成断面図である。

【0016】この実施の形態1は基板1aと基板1bとの間に、基板面に対して平行方向に液晶分子(図示せず)が配向したネマティック液晶を挟持している。一方の基板1aの内側面には、平行に配置し相互に短絡した複数の共通電極15と、窒化珪素膜(絶縁膜)20上に各共通電極15に対して表示領域を挟んで平行に配置した画素電極14と、窒化珪素膜20上に配置され各画素電極14に接続された薄膜トランジスタ(スイッチング素子)13と、窒化珪素膜20上に配置され薄膜トランジスタ13を介して画素電極14に信号を供給する信号配線12と、薄膜トランジスタ13のスイッチング制御を行う走査配線11を設けている。そして、一對の基板1aおよび1bの両外側には互いの偏光軸7aと7b

(図4参照)が直行する一對の偏光板8aと8b(図4参照)を備え、電極14と、15間に電圧を印加するようにしている。また、ラビング処理を施したポリイミド配向膜3aと3bを基板1aおよび1b上に設けている。

【0017】このように構成される液晶パネルの製造方法を説明する。まず、透明なガラス基板1a上にアルミニウムを蒸着し、その上に、化学増幅型のフォトレジストを設ける。次に、クリプトンフッ素レーザー(波長254nm)を用い、レーザー照射部をエアブローしながら、レーザーホログラフィーより露光を行ない、アルカリ水溶液を用いて現像を行ない、フォトレジストをパターン化する。次に、フォトレジストでパターン化されていない箇所を、エッチングした後、フォトレジストを除去し、走査配線11、および共通電極15のパターン化を行なう。次に、二酸化珪素と窒化珪素を用い、プラズマCVD法により、ゲート絶縁膜と、アモルファスシリコン層を約50nmの厚さに形成した。このアモルファスシリコン層をフォトエッチングして、薄膜トランジスタ13を形成した。次にアルミニウムを蒸着により約1μm形成した後、信号配線(ソース電極)12と、画素電極15を形成した。最後に、窒化珪素膜をプラズマCVD法により300nm設け、基板1aを完成する。

【0018】この実施の形態1では図2(b)のように断面から見た基板1a上の信号配線12と、共通電極15と、画素電極14の幅は4μmであり、高さは1μmである。また、共通電極15と画素電極14の間の幅は10μmである。

【0019】そして、ポリイミド配向膜の塗布や、硬化乾燥や、ラビング処理や、透明基板貼り合わせや、液晶注入や、封口を行ない液晶パネル1を得た。この手法で100枚のパネルを試作し、点灯画像検査を行なったところ、アレイ基板上の走査配線や、画素電極や、共通電極等の形状的な不具合が原因の画像欠陥および、電極間距離の不均一性による輝度ムラが問題となるパネルは確認できなかった。

【0020】(比較例1)次に、比較例1の液晶パネルの製造方法を説明する。上記の実施の形態1と同様の図2(a)(b)に示す液晶表示素子を作成して比較した。まず、透明なガラス基板1a上にアルミニウムを蒸着し、その上に、フォトレジストを設ける。次に、高圧水銀灯を光源として用い、マスクを介してフォトレジストをパターン化する。次に、フォトレジストでパターン化されていない箇所を、エッチングした後、フォトレジストを除去し、走査配線11、および共通電極15のパターン化を行なう。次に、二酸化珪素と窒化珪素を用い、プラズマCVD法により、ゲート絶縁膜と、アモルファスシリコン層を約50nmの厚さに形成した。このアモルファスシリコン層をフォトエッチングして、薄膜トランジスタ12を形成した。次にアルミニウムを蒸着

により約1 μm形成した後、走査配線11と、共通電極14を形成した。最後に、窒化珪素膜をプラズマCVD法により300nm設け、基板1aを完成させた。

【0021】そして、実施の形態1と同様の手法でポリイミド配向膜の塗布や、硬化乾燥や、ラビング処理や、透明基板貼り合わせや、液晶注入や、封口を行ない液晶パネル2を得た。この手法で100枚のパネルを試作し、点灯画像検査を行なったところ、23枚のアレイ基板上の配線と、電極のパターン異常による画像欠陥が見られた。また、これら100枚のパネルには、電極間距離の不均一性による輝度ムラが現われた。

【0022】

【発明の効果】以上のように、本発明によれば、レーザーホログラフィーによるフォトリソ法のレーザー光の波長を、下限値が100nmで、かつ上限値が310nmに特定して露光することで、走査配線や、画素電極や、共通電極等の形状的な不具合が原因の画像欠陥および、電極間距離の不均一性が原因の輝度ムラがより低減できて、産業的価値が大きい。

【図面の簡単な説明】

【図1】一般的なTN型の液晶表示素子の概略構成を示す図

(a) その平面図

(b) 同液晶表示素子の第1の基板の電極形成の断面図

【図2】一般的なIPS型の液晶表示素子の概略構成を示す図

【図3】液晶表示素子のアレイ基板のフォトリソ法によるパターンニング法の工程の流れを示す図

(a) 比較例1の露光工程の説明図

(b) 本発明の実施の形態1の露光工程の説明図

(c) 工程の途中段階の説明図

(d) フォトレジスト現像の工程の説明図

(e) アルミニウム膜のエッチング工程の説明図

(f) フォトレジスト除去工程の説明図

【図4】図2の液晶表示素子に偏光板を張り合わせる場合の構成を示した概略斜視図

【符号の説明】

1 a、1 b 基板

2 配向膜

5 液晶パネル

6 ラビング方向

7 a、7 b 偏光軸

8 a、8 b 偏光板

9 基板法線方向

11 走査配線

12 信号配線

13 薄膜トランジスタ(スイッチング素子)

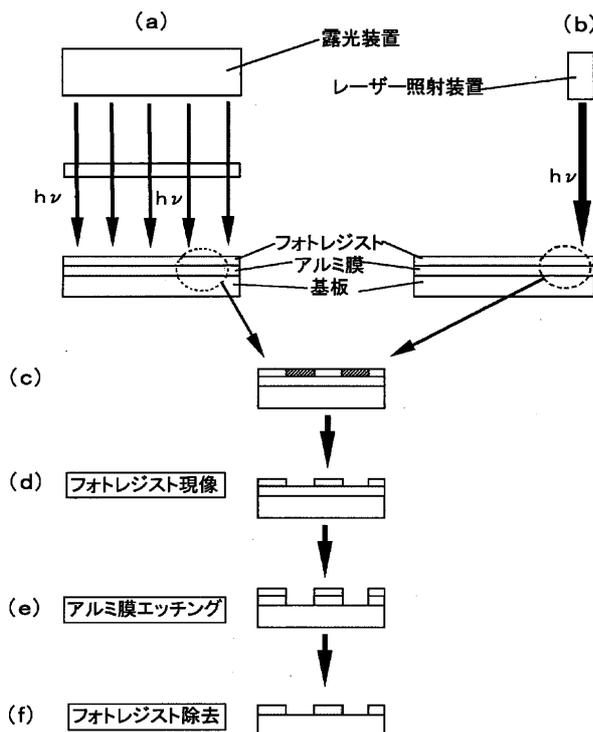
14 画素電極

15 共通電極

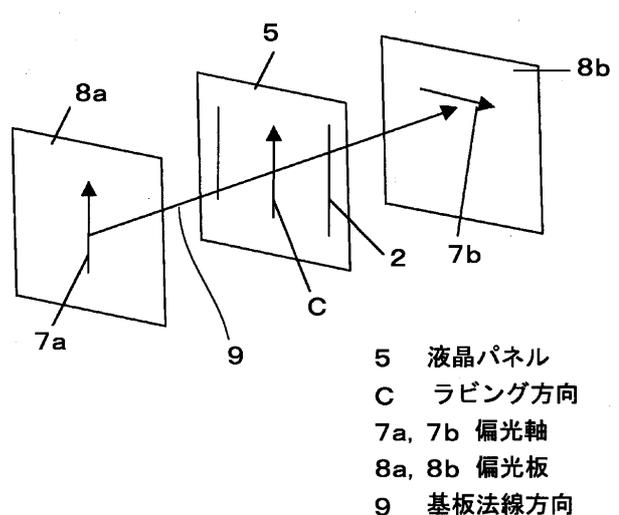
16 蓄積容量

20 窒化珪素膜(絶縁膜)

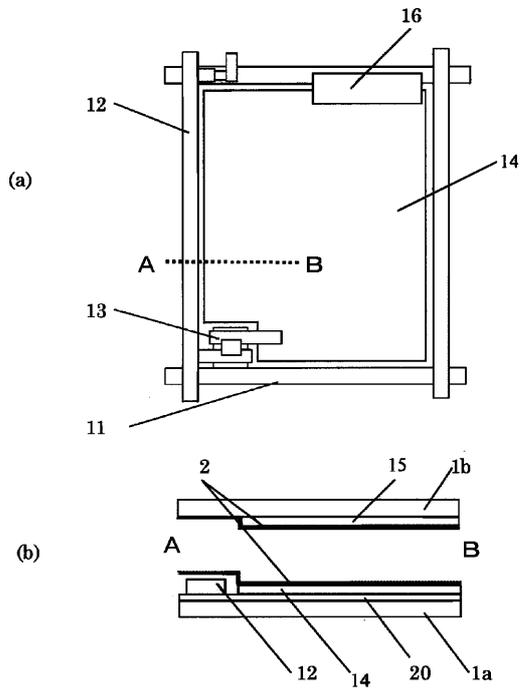
【図3】



【図4】

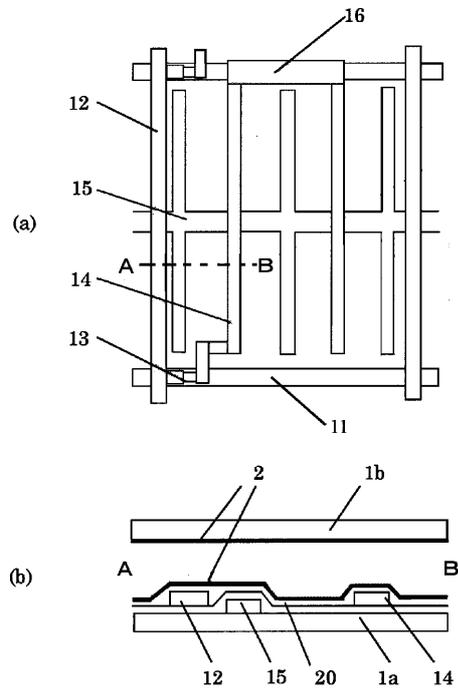


【図1】



- |               |                |
|---------------|----------------|
| 1a,1b 基板      | 20 窒化珪素膜 (絶縁膜) |
| 12 信号配線       | 2 配向膜          |
| 13 薄膜トランジスタ   | 11 走査配線        |
| 15 共通電極(対向電極) | 16 蓄積容量        |
| 14 画素電極       |                |

【図2】



- |               |                |
|---------------|----------------|
| 1a,1b 基板      | 20 窒化珪素膜 (絶縁膜) |
| 12 信号配線       | 2 配向膜          |
| 13 薄膜トランジスタ   | 11 走査配線        |
| 15 共通電極(対向電極) | 16 蓄積容量        |
| 14 画素電極       |                |

フロントページの続き

Fターム(参考) 2H092 HA02 JB22 MA13 MA16 MA35  
 NA01 NA25  
 2H097 AA03 CA13 CA17 LA12  
 5C094 AA42 AA43 BA03 BA43 CA19  
 EA03 EA04 EA07 GB01 JA11  
 5G435 AA17 CC09 KK05

专利名称(译)	制造有源矩阵液晶显示元件阵列基板的方法和液晶显示元件		
公开(公告)号	<a href="#">JP2001209071A</a>	公开(公告)日	2001-08-03
申请号	JP2000019807	申请日	2000-01-28
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	木津紀幸 分元博文		
发明人	木津 紀幸 分元 博文		
IPC分类号	G09F9/30 G02F1/136 G02F1/1368 G03F7/20 G09F9/00		
FI分类号	G03F7/20.505 G09F9/00.342.Z G09F9/30.338 G02F1/136.500 G02F1/1368 G09F9/00.342		
F-TERM分类号	2H092/HA02 2H092/JB22 2H092/MA13 2H092/MA16 2H092/MA35 2H092/NA01 2H092/NA25 2H097/AA03 2H097/CA13 2H097/CA17 2H097/LA12 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA03 5C094/EA04 5C094/EA07 5C094/GB01 5C094/JA11 5G435/AA17 5G435/CC09 5G435/KK05 2H092/GA14 2H092/JA24 2H192/AA24 2H192/BB02 2H192/CB05 2H192/HA33 2H192/JA33 2H197/AA22 2H197/AA29 2H197/CA06 2H197/CA07		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

减少液晶显示元件的亮度不均。一种有源矩阵型液晶显示元件阵列基板的制造方法，其特征在于，包括通过使用激光全息图的图案曝光的光刻法形成的步骤。

