

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3674782号
(P3674782)

(45) 発行日 平成17年7月20日(2005.7.20)

(24) 登録日 平成17年5月13日(2005.5.13)

(51) Int. Cl.⁷

F I

GO2F 1/1343

GO2F 1/1343

GO2F 1/1368

GO2F 1/1368

請求項の数 6 (全 8 頁)

(21) 出願番号	特願2002-33746 (P2002-33746)	(73) 特許権者	501358079
(22) 出願日	平成14年2月12日(2002.2.12)		友達光電▼ふん▲有限公司
(65) 公開番号	特開2002-258307 (P2002-258307A)		台湾新竹科学工業園区新竹市力行二路1号
(43) 公開日	平成14年9月11日(2002.9.11)	(74) 代理人	100111774
審査請求日	平成14年2月12日(2002.2.12)		弁理士 田中 大輔
(31) 優先権主張番号	90103234	(72) 発明者	尤 建盛
(32) 優先日	平成13年2月14日(2001.2.14)		台湾新竹市東区東勢里11鄰東明街98之2号2樓
(33) 優先権主張国	台湾(TW)	(72) 発明者	張 ▼い▲熾
			台湾新竹縣竹北市中興里12鄰嘉興路27巷25号8樓
		審査官	藤岡 善行

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ液晶ディスプレイ

(57) 【特許請求の範囲】

【請求項1】

密閉空間を間に備える第一基板および第二基板と、
前記密閉空間を満たす液晶層と、
前記第一基板の内側表面に形成された上部電極と、
前記第二基板の内側表面には、薄膜トランジスタのドレインまたはソースに結合されたナロー電極、および、薄膜トランジスタのドレインまたはソースと絶縁されているとともに該ドレインまたはソースの一部を覆うように形成された少なくとも2つの画素電極が配置され、前記ナロー電極と前記画素電極とは電氣的に接続されることなく、且つ、前記画素電極の間に前記ナロー電極を配置されるように区画形成された下部電極と、

10

前記第一基板と前記第二基板との外側表面に形成された偏光板と、
からなることを特徴とする記載の薄膜トランジスタ液晶ディスプレイ。

【請求項2】

前記第一基板は負の液晶層である請求項1に記載の薄膜トランジスタ液晶ディスプレイ。

【請求項3】

前記ナロー電極の電圧値は前記画素電極より5%~200%高いものである請求項1又は請求項2に記載の薄膜トランジスタ液晶ディスプレイ。

【請求項4】

前記ナロー電極は前記薄膜トランジスタのドレインに結合されたものである請求項1~請求項3いずれかに記載の薄膜トランジスタ液晶ディスプレイ。

20

【請求項 5】

前記画素電極は電氣的に浮遊した状態 (electro-floating) である請求項 1 ~ 請求項 4 いずれかに記載の薄膜トランジスタ液晶ディスプレイ。

【請求項 6】

前記画素電極の電圧値はコンデンサカップリングにより形成されるものである請求項 1 ~ 請求項 5 いずれかに記載の薄膜トランジスタ液晶ディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタ液晶ディスプレイ (TFT-LCD) に関するものであって、特に、コンデンサカップリング (capacitive coupling) で生じる電圧差によりマルチドメイン (multiple domains) を形成する薄膜トランジスタ液晶ディスプレイに関するものである。

10

【0002】

【従来の技術】

液晶ディスプレイ (以下、LCD と称す) がノートブック型パソコン及びモニターに應用されるのが一般的になるにつれ、LCD 市場も急速に拡大している。大型、高解析度の LCD パネルはデスクトップモニターに適用され、広視野角、高速応答時間 (response time) であることが要求されるものである。

【0003】

垂直整列 (vertically aligned、VA) LCD にとって、液晶のドメイン (domain) を制御し、広視野角を達成することは非常に重要な技術である。公知である多くの LCD は、90 度のツイストネマティック型 (twisted nematic type、TN) LCD で、液晶パネルと外側に貼接された偏光板 (polarizer) とを備えている。このような公知の LCD の欠点は視野角が狭く (水平方向 ± 40 度、垂直方向 ± 30 度)、応答時間も遅く (約 50 ms)、色分散 (color dispersion) にもバラツキがある。そのため、従来の技術によって、より好ましい LCD を得ることは困難である。更に、製造工程におけるラビング (rubbing) により、静電気放電と汚染を生じてしまう。

20

【0004】

広視野角を備える LCD パネルを製造するため、公知の技術では多種の VA LCD 構造を発展させてきた。例えば、図 1 で示されるのパターン VA (patterned VA、PVA) 型 LCD (サムスン社 (SAMSUNG COMPANY)) があり、上部電極 10 と下部電極 12 上にスリット 14 があり、スリット 14 周辺で水平電界 (horizontal electric field) を形成する。図 1 で示される曲線は電界と垂直な電位線 (electric potential line) を表す。そして、基板に垂直である液晶は水平電界により方向転換され、異なったドメインで異なったアライメント方向をなす。

30

【0005】

また、他の方式としてマルチドメイン垂直整列 (multiple domains vertical alignment、MVA) が提供 (富士通株式会社) されており、それは上部電極に突起を形成して、液晶に予傾斜角 (pre-lean angle) を提供することにより、液晶に異なるドメインで異なるアライメントを形成させるものである。

40

【0006】

上述の公知技術は広視野角を備える LCD を提供することができるが、カラーフィルター上にスリット又は突起を形成する別の工程が必要である。また、上基板と下基板との間には高精度のアライメントが要求され、製造工程的には非常に高度で困難な技術が必要となる。

【0007】

【発明が解決しようとする課題】

そこで、本発明は、下部電極間の電圧差により形成されるマルチドメインを備える TFT LCD を提供することを目的とし、コンデンサカップリングにより電圧差を形成してド

50

メインを制御する技術を提供するものである。この発明によれば、別途にデータラインを加えることなく、電圧差を下部電極間で形成することができるので、駆動するチップ数は減少し、TFTアレイの設計が簡単になる。更に、本発明は上部電極構造を変更する必要がない。そのため、上述したような従来から知られているパターンVA型LCDやマルチドメイン垂直整列型LCDと比較して、簡単で、容易な製造工程となる。

【0008】

【課題を解決するための手段】

上記課題を達成するため、本発明では、密閉空間を間に備える第一基板および第二基板と、前記密閉空間を満たす液晶層と、前記第一基板の内側表面に形成された上部電極と、前記第二基板の内側表面に、薄膜トランジスタのドレインまたはソースに結合されたナロー電極、および薄膜トランジスタのドレインまたはソースと絶縁されているとともに、該ドレインまたはソースの一部が重なる状態にされ、前記ナロー電極の側に設けられた画素電極を、備えるように形成された下部電極と、前記第一基板と前記第二基板との外側表面に形成された偏光板と、からなる薄膜トランジスタ液晶ディスプレイとした。

10

【0009】

本発明では、下部電極が、少なくとも二つの電極、即ち、ナロー電極(narrow electrode)と画素電極(pixel electrode)に分割される。そして、この画素電極は、更に幾つかの画素電極に分割される。さらに、ナロー電極は薄膜トランジスタのドレインまたはソースに結合され、画素電極の一部が薄膜トランジスタのドレインまたはソースをオーバーラップするようにされており、画素電極は薄膜トランジスタのドレインまたはソースと絶縁されている。これにより、コンデンサカップリングが生じて、ナロー電極の電圧を画素電極より高くすることができる。そのため、水平電界は、ナロー電極と画素電極との間に形成されて、画素中に複数のドメインを形成することができるのである。つまり、本発明は、カラーフィルターにスリット又は突起を形成する工程が不要となり、更に、上部基板と下部基板との間のアライメントを高精度にコントロールするという要求も回避できることとなる。

20

【0010】

本発明に係る薄膜トランジスタ液晶ディスプレイでは、第一基板が負の液晶層であることが好ましい。また、ナロー電極の電圧値は画素電極より5%~200%高いものが好ましい。5%未満では、応答時間が長くなり、反応スピードが遅くなるとともに開口率(aper- 30
ture ratio)が低下する傾向となり、一方、200%を越えると、応答時間が短くなるが、過大なデータ入力信号をようすと同時に、電力の消耗も増加するからである。

【0011】

そして、ナロー電極は前記薄膜トランジスタの前記ドレインに結合されることが望ましい。また、画素電極は電氣的に浮遊した状態(electro-floating)、つまり、電氣的に隔離した状態とし、その画素電極の電圧値はコンデンサカップリングにより形成されていることが好ましい。

【0012】

【発明の実施の形態】

上述した本発明の目的、特徴、及び長所をより一層明瞭にするため、以下に本発明の好ましい実施の形態を挙げ、図を参照にしながらさらに詳説する。

40

【0013】

図2及び図3は、本発明に係る画素構造を示すものである。図2と図3では、二つのドメインと四つのドメインを備える二例の画素電極を示している。先ず、図2においては、下部電極は溝20により、二つの画素電極22と一つのナロー電極24とに分割されている。画素電極22は電氣的に浮遊した状態(electro-floating)で、ナロー電極24は接触孔26を通じてドレイン28に接続している。図3においては、下部電極は溝21により、四つの画素電極23と一つのナロー電極25とに分割されている。四つの画素電極23は電氣的に浮遊した状態(electro-floating)で、ナロー電極25は接触孔27を通じてドレイン29に接続している。

50

【 0 0 1 4 】

図 4 は、図 2 及び図 3 の断面図で、コンデンサカップリングにより電圧差を形成する T F T - L C D の構造を示している。カラーフィルター（図示せぬ）を備える上部電極 3 0 の電圧値は V_2 で、浮遊状態の画素電極（floating pixel electrode）2 2 の電圧値は V_f である。下部電極のナロー電極 2 4 は T F T のドレイン 2 8 に接続され、その電圧を V_1 とする。更に、第一酸化層（例えば S i N）の静電容量（capacitance）を C_1 、第一酸化層 3 2 の厚さを d_1 で、第一酸化層 3 2 の領域面積を A_1 、第一酸化層 3 2 の誘電率（dielectric constant）を ϵ_1 とする。また、第二酸化層 3 4 は液晶層である。液晶層の静電容量を C_2 、液晶層の厚さを d_2 、液晶層の領域面積を A_2 、液晶層の誘電率 ϵ_2 とすると、画素電極の電圧は次式（1）のようになる。

10

【 0 0 1 5 】

$$V_f = (C_1 V_1 + C_2 V_2) / (C_1 + C_2) \cdots \cdots (1)$$

【 0 0 1 6 】

図 5 には本発明に係る L C D と公知の P V A 型 L C D による L C D 応答時間を示している。図 5 において、グラフ領域 A は公知の P V A 型 L C D の応答時間を、グラフ領域 B は本発明に係る L C D の応答時間を表している。

【 0 0 1 7 】

「 t_1 」は上部電極の電圧がゼロで、画素電極の電圧が 3 V 時の応答時間を、「 t_2 」は上部電極の電圧がゼロで、画素電極の電圧が 4 V 時の応答時間を、「 t_3 」は上部電極の電圧がゼロで、画素電極の電圧は 5 V 時の応答時間を表している。この図 5 から、本発明に係る L C D 構造であると、ナロー電極の電圧が両側の画素電極の電圧より 1 0 % 高くなると、応答時間は減少する傾向を示し、公知技術よりも優れていることがわかる。このことから、本発明に係る L C D 構造の条件は次の方程式（2）で表される。

20

【 0 0 1 8 】

$$V_f - V_2 < 0.9 (V_1 - V_2) \cdots \cdots (2)$$

【 0 0 1 9 】

そして、（1）と（2）の式から以下の式（3）が得られる。

【 0 0 2 0 】

$$C_1 / C_2 < 9 \cdots \cdots (3)$$

【 0 0 2 1 】

また、静電容量の方程式は次式（4）で表される。

30

【 0 0 2 2 】

$$C = \epsilon A / d \cdots \cdots (4)$$

【 0 0 2 3 】

以上の式から次式（5）を得ることができる。

【 0 0 2 4 】

$$\epsilon_1 A_1 d_2 / \epsilon_2 A_2 d_1 < 9 \cdots \cdots (5)$$

【 0 0 2 5 】

（5）の不等式の条件が満たされた場合、画素電極 2 2 とナロー電極 2 4 との間の電極差は十分になり、P V A 型 L V D より短い応答時間が達成できるものとなる。

40

【 0 0 2 6 】

図 6 は本発明に係る T F T L C D 構造を示す。この図 6 における T F T L C D 構造は、上基板 4 0、下基板 5 0、液晶層 6 0、上部電極 4 2、下部電極、偏光板 7 0、からなる。

【 0 0 2 7 】

密閉空間は上基板 4 0 と下基板 5 0 との間に形成される。液晶層 6 0 は密閉空間を満たす。上部電極 4 2 は上基板 4 0 の内側表面に形成される。下部電極は下基板の内側表面に形成される。下基板にはナロー電極 5 2 とナロー電極 5 2 の側に設けられた、少なくとも一つの画素電極 5 4 を備える。

【 0 0 2 8 】

50

図7は、図6におけるTFT LCD構造の電位分布を示している。このTFT LCD構造によると、上部電極42は一の電極(pack electrode)で、グランドに接続されており、下部電極は二つの画素電極54と一つのナロー電極52に分割されている。ナロー電極52の電圧は、画素電極54よりも5%~20%高いものである。また、ナロー電極52は薄膜トランジスタのドレインまたはソースに結合されており、画素電極54の一部は薄膜トランジスタのドレインまたはソースにオーバーラップするが、当該ドレインまたはソースとは絶縁されている。複数の偏光板は上基板40と下基板50の外側表面に形成されている。

【0029】

図7において、水平電界はナロー電極52と画素電極54間に形成され、図7の曲線は電位線を示す。本発明に係る電界方向は、公知のPVA型LCDと同様であり、液晶方向の転向モジュールも公知のPVA型LCDと同様である。しかしながら、本発明は、上部電極にスリットを形成する必要がない。そして、本発明では、下部電極は少なくとも二つの画素電極54と一つのナロー電極52に分割されるものである。ナロー電極の形状は特に限定されず、直線又は曲線などのいずれの形状を採用することができる。また、画素電極の形状及び大きさも限定されず、その数についても特に制限無く、偶数でも、奇数でもよい。各ドメインのサイズは設計に基づき、その際の溝の大きさは十分な水平電界が形成できるように考慮して設計される。更に、本発明における液晶層は負の液晶層を用いている。本発明の構造は更に、補償の薄片(compensative flakes)、カラーフィルター、反射板(reflector)を備える。また、本発明の構造は更に、薄膜トランジスタと周辺回路を

【0030】

【発明の効果】

上記したように、本発明によると、コンデンサカップリングにより電圧差を形成してドメインを制御するため、別途にデータラインを加えることなく、電圧差を下部電極間で形成することができるので、駆動するチップ数は減少し、TFTアレイの設計が簡単になる。また、上部電極構造を変更する必要もないので、従来から知られているPVA型LCDやマルチドメイン垂直整列型LCDと比較して、簡単で、容易な製造工程とすることができる。

【図面の簡単な説明】

【図1】公知のPVA型LCDの電位分布を示す図である。

【図2】二つのドメインを備える画素構造を示す配置図である。

【図3】四つのドメインを備える画素構造を示す配置図である。

【図4】図2及び図3の断面図である。

【図5】本発明に係るLCDと公知のPVA型LCDの応答時間を示す図である。

【図6】本発明に係るTFT LCDの構造を示す図である。

【図7】本発明に係るTFT LCDの電位分布を示す図である。

【符号の説明】

10、30、42...上部基板

12...下部基板

14...スリット

20、21...溝

22、23、54...画素電極

24、25、52...ナロー電極、

26、27...接触孔

28、29...薄膜トランジスタのソースまたはドレイン電極、

32、34...酸化層

40...上基板

50...下基板

60...液晶

10

20

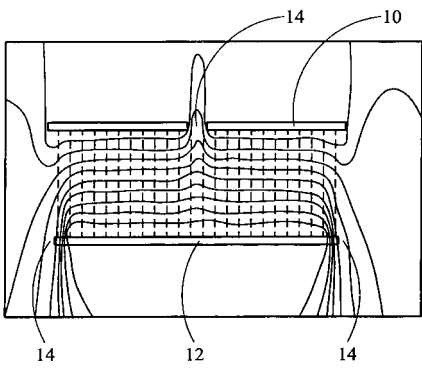
30

40

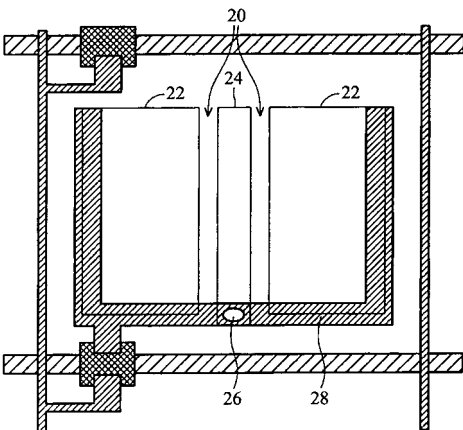
50

7 0 ... 偏光板

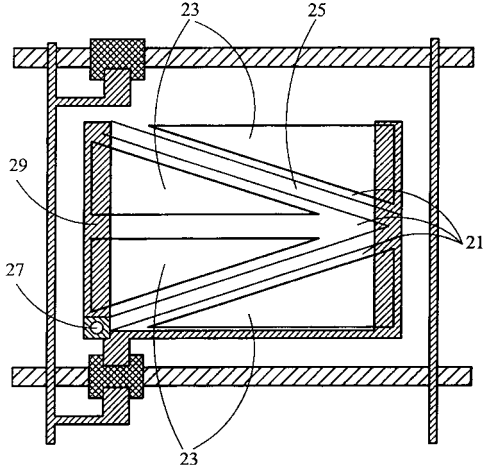
【 図 1 】



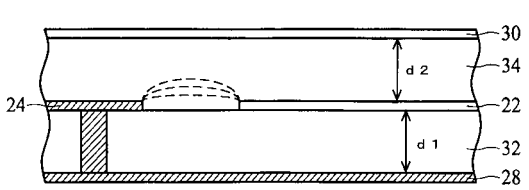
【 図 2 】



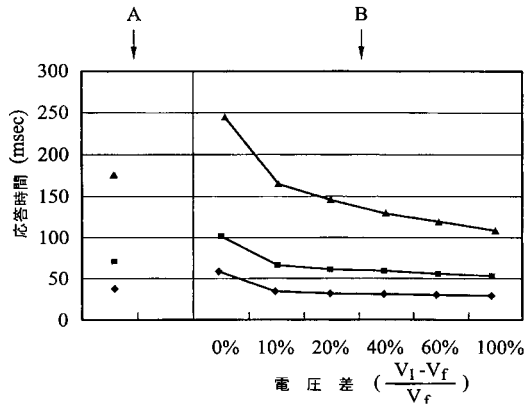
【 図 3 】



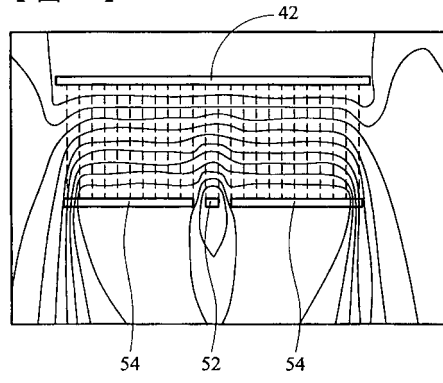
【 図 4 】



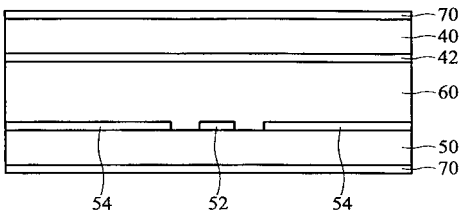
【 図 5 】



【 図 7 】



【 図 6 】



フロントページの続き

- (56)参考文献 特開平06 - 102537 (JP, A)
特開平05 - 066412 (JP, A)
特開平09 - 269509 (JP, A)
特開平11 - 142881 (JP, A)
特開平08 - 201777 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

G02F 1/1343

G02F 1/136

G02F 1/1337

专利名称(译)	薄膜晶体管液晶显示器		
公开(公告)号	JP3674782B2	公开(公告)日	2005-07-20
申请号	JP2002033746	申请日	2002-02-12
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▼ふん▲有限公司		
当前申请(专利权)人(译)	友达光电股▼ふん▲有限公司		
[标]发明人	尤建盛 張い熾		
发明人	尤 建盛 張 ▼い▲熾		
IPC分类号	G02F1/1333 G02F1/1343 G02F1/1368 G02F1/139		
CPC分类号	G02F1/133707 G02F1/134336 G02F1/1393 G02F2001/134345		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA20 2H092/GA24 2H092/GA28 2H092/JA24 2H092/JA41 2H092/JA45 2H092/JB64 2H092/JB65 2H092/NA04 2H192/AA24 2H192/BC23 2H192/BC31 2H192/CC04 2H192/CC57 2H192/EA43		
代理人(译)	田中大介		
优先权	090103234 2001-02-14 TW		
其他公开文献	JP2002258307A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有由下电极之间的电压差形成的多畴的TFT LCD。显示器包括第一基板和第二基板，液晶层，上电极，下电极和多个偏振板。密封空间形成在第一基板和第二基板之间。液晶层填充密封空间。上电极形成在第一基板内。下电极形成在第二基板的内表面上，以包括窄电极和旁边的像素电极。窄电极耦合到薄膜晶体管的漏极或源极，并且像素电极的一部分与薄膜晶体管的漏极或源极重叠，但是与薄膜晶体管的漏极或源极隔离。偏振板形成在第一基板和第二基板的外表面上。

【 图 3 】

