



(12)实用新型专利

(10)授权公告号 CN 207781165 U

(45)授权公告日 2018.08.28

(21)申请号 201820015524.1

(22)申请日 2018.01.02

(73)专利权人 合肥鑫晟光电科技有限公司

地址 230012 安徽省合肥市新站区工业园
内

专利权人 京东方科技股份有限公司

(72)发明人 张杨

(74)专利代理机构 北京清亦华知识产权代理事
务所(普通合伙) 11201

代理人 张润

(51)Int.Cl.

G09G 3/36(2006.01)

G11C 19/28(2006.01)

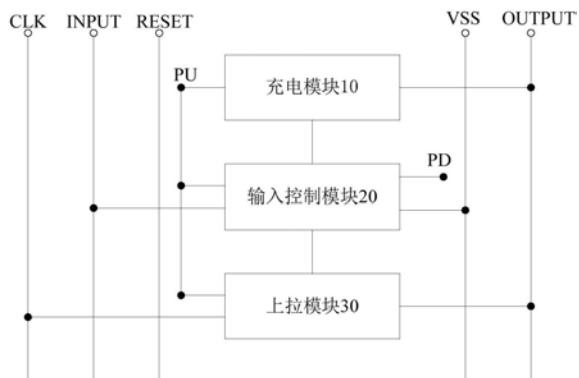
权利要求书2页 说明书7页 附图5页

(54)实用新型名称

移位寄存器、液晶显示器及其栅极驱动电路

(57)摘要

本实用新型公开了一种移位寄存器、液晶显示器及其栅极驱动电路，其中，移位寄存器包括：上拉节点；充电模块，充电模块的一端与上拉节点相连，充电模块的另一端作为移位寄存器的输出端；下拉节点；输入控制模块，输入控制模块在信号输入端提供的输入信号的作用下将下拉节点的电平拉低，并通过充电模块对上拉节点充电，以将上拉节点的电平拉高；上拉模块，上拉模块在上拉节点的电平的控制下将第一时钟信号端提供的第一时钟信号施加至移位寄存器的输出端。该移位寄存器在输入信号的作用下可以将下拉节点的电平直接拉低，以将上拉节点的电平快速拉高，从而可以防止输出端输出的信号异常。



1. 一种移位寄存器，其特征在于，包括：

上拉节点；

充电模块，所述充电模块的一端与所述上拉节点相连，所述充电模块的另一端作为移位寄存器的输出端；

下拉节点；

输入控制模块，所述输入控制模块的第一端与所述下拉节点相连，所述输入控制模块的第二端与电源信号端相连，所述输入控制模块的第三端与所述上拉节点相连，所述输入控制模块的控制端与信号输入端相连，所述输入控制模块在所述信号输入端提供的输入信号的作用下将所述下拉节点的电平拉低，并通过所述充电模块对所述上拉节点充电，以将所述上拉节点的电平拉高；

上拉模块，所述上拉模块的第一端与第一时钟信号端相连，所述上拉模块的第二端与所述上拉节点相连，所述上拉模块的第三端与所述移位寄存器的输出端相连，所述上拉模块在所述上拉节点的电平的控制下将所述第一时钟信号端提供的第一时钟信号施加至所述移位寄存器的输出端。

2. 如权利要求1所述的移位寄存器，其特征在于，还包括：

下拉模块，所述下拉模块的第一端与所述移位寄存器的输出端相连，所述下拉模块的第二端与复位信号端相连，所述下拉模块的第三端与所述电源信号端相连，所述下拉模块在所述复位信号端提供的复位信号的作用下将所述电源信号端提供的电源信号施加至所述移位寄存器的输出端。

3. 如权利要求1或2所述的移位寄存器，其特征在于，还包括：

第一保持模块，所述第一保持模块的第一端与所述上拉节点相连，所述第一保持模块的第二端与所述下拉节点相连，所述第一保持模块的第三端与所述电源信号端相连，所述第一保持模块在所述下拉节点的电平的控制下对所述上拉节点的电平进行保持；

第二保持模块，所述第二保持模块的第一端与所述移位寄存器的输出端相连，所述第二保持模块的第二端与所述下拉节点相连，所述第二保持模块的第三端与所述电源信号端相连，所述第二保持模块在所述下拉节点的电平的控制下对所述移位寄存器的输出信号进行保持；

第三保持模块，所述第三保持模块的第一端与第二时钟信号端相连，所述第三保持模块的第二端与所述上拉节点相连，所述第三保持模块的第三端与所述下拉节点相连，所述第三保持模块的第四端与所述电源信号端相连，所述第三保持模块在所述第二时钟信号端提供的时钟信号的作用下将所述第二时钟信号端提供的时钟信号施加至所述下拉节点，或者在所述上拉节点的电平的控制下将所述电源信号端提供的电源信号施加至所述下拉节点。

4. 如权利要求1所述的移位寄存器，其特征在于，所述输入控制模块包括：

第一晶体管，所述第一晶体管的第一端与控制端相连后连接到所述输入信号端，所述第一晶体管的第二端与所述上拉节点相连；

第二晶体管，所述第二晶体管的第一端与所述下拉节点相连，所述第二晶体管的控制端与所述输入信号端相连，所述第二晶体管的第二端与所述电源信号端相连。

5. 如权利要求1所述的移位寄存器，其特征在于，所述上拉模块包括：

第三晶体管，所述第三晶体管的第一端与所述第一时钟信号端相连，所述第三晶体管的第二端与所述移位寄存器的输出端相连，所述第三晶体管的控制端与所述上拉节点相连。

6. 如权利要求2所述的移位寄存器，其特征在于，所述下拉模块包括：

第四晶体管，所述第四晶体管的第一端与所述移位寄存器的输出端相连，所述第四晶体管的第二端与所述电源信号端相连，所述第四晶体管的控制端与所述复位信号端相连。

7. 如权利要求3所述的移位寄存器，其特征在于，所述第一保持模块包括：

第五晶体管，所述第五晶体管的第一端与所述上拉节点相连，所述第五晶体管的第二端与所述电源信号端相连，所述第五晶体管的控制端与所述下拉节点相连。

8. 如权利要求3所述的移位寄存器，其特征在于，所述第二保持模块包括：

第六晶体管，所述第六晶体管的第一端与所述移位寄存器的输出端相连，所述第六晶体管的第二端与所述电源信号端相连，所述第六晶体管的控制端与所述下拉节点相连。

9. 如权利要求3所述的移位寄存器，其特征在于，所述第三保持模块包括：

第七晶体管，所述第七晶体管的第一端与所述第二时钟信号端相连，所述第七晶体管的第二端与所述下拉节点相连；

第八晶体管，所述第八晶体管的第一端与所述第七晶体管的控制端相连且具有第一节点，所述第八晶体管的第二端与所述电源信号端相连，所述第八晶体管的控制端与所述上拉节点相连；

第九晶体管，所述第九晶体管的第一端和控制端与所述第二时钟信号端相连，所述第九晶体管的第二端与所述第一节点相连；

第十晶体管，所述第十晶体管的第一端与所述下拉节点相连，所述第十晶体管的第二端与所述电源信号端相连，所述第十晶体管的控制端与所述上拉节点相连。

10. 如权利要求2所述的移位寄存器，其特征在于，还包括第十一晶体管，所述第十一晶体管的第一端与所述上拉节点相连，所述第十一晶体管的第二端与所述电源信号端相连，所述第十一晶体管的控制端与所述复位信号端相连。

11. 一种液晶显示器的栅极驱动电路，其特征在于，包括多个如权利要求1-10中任一项所述的移位寄存器，其中，多个所述移位寄存器级联。

12. 一种液晶显示器，其特征在于，包括如权利要求11所述的液晶显示器的栅极驱动电路。

移位寄存器、液晶显示器及其栅极驱动电路

技术领域

[0001] 本实用新型涉及显示器技术领域,特别涉及一种移位寄存器、一种液晶显示器的栅极驱动电路和一种液晶显示器。

背景技术

[0002] 液晶显示器一般由垂直和水平阵列式像素矩阵组成,在显示过程中通过栅极驱动电路输出栅极扫描信号,逐行扫描访问各像素。栅极驱动电路用于产生像素的栅极扫描电压,移位寄存器或者GOA(Gate Driver On Array,阵列基板行驱动)是一种将栅极驱动电路集成于TFT(Thin Film Transistor,薄膜晶体管)基板上的技术,每个移位寄存器将扫描信号依次传递给下一个移位寄存器,逐行开启TFT开关,完成像素单元的数据信号输入。

[0003] 相关技术中,移位寄存器一般采用如图1所示的结构。其主要包括第一至第十晶体管M1-M10组成,具体连接方式见图1,此处不再赘述,其中,INPUT为信号输入端、RESET为复位信号端、VSS为电源信号端、CLK为第一时钟信号端、CLKB为第二时钟信号端、OUTPUT为输出端。

[0004] 由图1可知,下拉节点PD信号的作用为给输出端OUTPUT和上拉节点PU降噪,而PD点信号是由PD_CN点信号控制的,通过PU点和M5、M6、M7、M8之间相互作用控制PD点信号的拉高和拉低,在INPUT的输入信号来临时,输入信号首先要给上拉节点PU充电。在充电的过程中,为实现对上拉节点PU的降噪,M9在下拉节点PD的电压的控制下,将电源信号端VSS的电压写入上拉节点PU,以对上拉节点PU放电实现对上拉节点PU的降噪,因此PU点的升高是较缓慢的,从而导致PD点的降低也是较缓慢的,如果PD点不能及时下拉,则会导致OUTPUT的输出异常。

实用新型内容

[0005] 本实用新型旨在至少在一定程度上解决上述技术中的技术问题之一。为此,本实用新型的目的在于提出一种移位寄存器,该移位寄存器在输入信号的作用下可以将下拉节点的电平直接拉低,以将上拉节点的电平快速拉高,从而可以防止输出端输出的信号异常。

[0006] 本实用新型的第二个目的在于提出一种液晶显示器的栅极驱动电路。

[0007] 本实用新型的第三个目的在于提出一种液晶显示器。

[0008] 为达到上述目的,本实用新型第一方面提出了一种移位寄存器,包括:上拉节点;充电模块,所述充电模块的一端与所述上拉节点相连,所述充电模块的另一端作为移位寄存器的输出端;下拉节点;输入控制模块,所述输入控制模块的第一端与所述下拉节点相连,所述输入控制模块的第二端与电源信号端相连,所述输入控制模块的第三端与所述上拉节点相连,所述输入控制模块的控制端与信号输入端相连,所述输入控制模块在所述信号输入端提供的输入信号的作用下将所述下拉节点的电平拉低,并通过所述充电模块对所述上拉节点充电,以将所述上拉节点的电平拉高;上拉模块,所述上拉模块的第一端与第一时钟信号端相连,所述上拉模块的第二端与所述上拉节点相连,所述上拉模块的第三端与

所述移位寄存器的输出端相连,所述上拉模块在所述上拉节点的电平的控制下将所述第一时钟信号端提供的第一时钟信号施加至所述移位寄存器的输出端。

[0009] 根据本实用新型的移位寄存器,输入控制模块在信号输入端提供的输入信号的作用下将下拉节点的电平拉低,并通过充电模块对上拉节点充电,以将上拉节点的电平拉高,上拉模块在上拉节点的电平的控制下将第一时钟信号端提供的第一时钟信号施加至移位寄存器的输出端。由此,该移位寄存器在输入信号的作用下可以将下拉节点的电平直接拉低,以将上拉节点的电平快速拉高,从而可以防止输出端输出的信号异常。

[0010] 另外,根据本实用新型上述提出的移位寄存器还可以具有如下附加的技术特征:

[0011] 具体地,上述的移位寄存器还包括:下拉模块,所述下拉模块的第一端与所述移位寄存器的输出端相连,所述下拉模块的第二端与复位信号端相连,所述下拉模块的第三端与所述电源信号端相连,所述下拉模块在所述复位信号端提供的复位信号的作用下将所述电源信号端提供的电源信号施加至所述移位寄存器的输出端。

[0012] 进一步地,上述的移位寄存器还包括:第一保持模块,所述第一保持模块的第一端与所述上拉节点相连,所述第一保持模块的第二端与所述下拉节点相连,所述第一保持模块的第三端与所述电源信号端相连,所述第一保持模块在所述下拉节点的电平的控制下对所述上拉节点的电平进行保持;第二保持模块,所述第二保持模块的第一端与所述移位寄存器的输出端相连,所述第二保持模块的第二端与所述下拉节点相连,所述第二保持模块的第三端与所述电源信号端相连,所述第二保持模块在所述下拉节点的电平的控制下对所述移位寄存器的输出信号进行保持;第三保持模块,所述第三保持模块的第一端与第二时钟信号端相连,所述第三保持模块的第二端与所述上拉节点相连,所述第三保持模块的第三端与所述下拉节点相连,所述第三保持模块的第四端与所述电源信号端相连,所述第三保持模块在所述第二时钟信号端提供的时钟信号的作用下将所述第二时钟信号端提供的时钟信号施加至所述下拉节点,或者在所述上拉节点的电平的控制下将所述电源信号端提供的电源信号施加至所述下拉节点。

[0013] 具体地,所述输入控制模块包括:第一晶体管,所述第一晶体管的第一端与控制端相连后连接到所述输入信号端,所述第一晶体管的第二端与所述上拉节点相连;第二晶体管,所述第二晶体管的第一端与所述下拉节点相连,所述第二晶体管的控制端与所述输入信号端相连,所述第二晶体管的第二端与所述电源信号端相连。

[0014] 具体地,所述上拉模块包括:第三晶体管,所述第三晶体管的第一端与所述第一时钟信号端相连,所述第三晶体管的第二端与所述移位寄存器的输出端相连,所述第三晶体管的控制端与所述上拉节点相连。

[0015] 具体地,所述下拉模块包括:第四晶体管,所述第四晶体管的第一端与所述移位寄存器的输出端相连,所述第四晶体管的第二端与所述电源信号端相连,所述第四晶体管的控制端与所述复位信号端相连。

[0016] 具体地,所述第一保持模块包括:第五晶体管,所述第五晶体管的第一端与所述上拉节点相连,所述第五晶体管的第二端与所述电源信号端相连,所述第五晶体管的控制端与所述下拉节点相连。

[0017] 具体地,所述第二保持模块包括:第六晶体管,所述第六晶体管的第一端与所述移位寄存器的输出端相连,所述第六晶体管的第二端与所述电源信号端相连,所述第六晶体

管的控制端与所述下拉节点相连。

[0018] 具体地,所述第三保持模块包括:第七晶体管,所述第七晶体管的第一端与所述第二时钟信号端相连,所述第七晶体管的第二端与所述下拉节点相连;第八晶体管,所述第八晶体管的第一端与所述第七晶体管的控制端相连且具有第一节点,所述第八晶体管的第二端与所述电源信号端相连,所述第八晶体管的控制端与所述上拉节点相连;第九晶体管,所述第九晶体管的第一端和控制端与所述第二时钟信号端相连,所述第九晶体管的第二端与所述第一节点相连;第十晶体管,所述第十晶体管的第一端与所述下拉节点相连,所述第十晶体管的第二端与所述电源信号端相连,所述第十晶体管的控制端与所述上拉节点相连。

[0019] 进一步地,上述的移位寄存器还包括第十一晶体管,所述第十一晶体管的第一端与所述上拉节点相连,所述第十一晶体管的第二端与所述电源信号端相连,所述第十一晶体管的控制端与所述复位信号端相连。

[0020] 为达到上述目的,本实用新型第二方面提出了一种液晶显示器的栅极驱动电路,其包括本实用新型第一方面所述的移位寄存器。

[0021] 根据本实用新型的液晶显示器的栅极驱动电路,通过上述的移位寄存器,在输入信号的作用下可以将下拉节点的电平直接拉低,以将上拉节点的电平快速拉高,从而可以防止输出端输出的信号异常,提高液晶显示器的栅极驱动电路工作的可靠性。

[0022] 为达到上述目的,本实用新型第三方面提出了一种液晶显示器,其包括本实用新型第二方面所述的液晶显示器的栅极驱动电路。

[0023] 根据本实用新型的液晶显示器,通过上述的液晶显示器的栅极驱动电路,在输入信号的作用下可以将下拉节点的电平直接拉低,以将上拉节点的电平快速拉高,从而可以防止输出端输出的信号异常,提高液晶显示器工作的可靠性。

附图说明

[0024] 本实用新型上述的和/或附加的方面和优点从下面结合附图对实施例的描述中将变得明显和容易理解,其中,

[0025] 图1是相关技术中移位寄存器的电路拓扑图;

[0026] 图2是根据本实用新型一个实施例的移位寄存器的方框示意图;

[0027] 图3是根据本实用新型另一个实施例的移位寄存器的方框示意图;

[0028] 图4是根据本实用新型一个实施例的移位寄存器的电路拓扑图;

[0029] 图5是根据本实用新型的一个实施例的移位寄存器的时序示意图;以及

[0030] 图6是根据本实用新型一个实施例的液晶显示器的栅极驱动电路的方框示意图。

具体实施方式

[0031] 下面详细描述本实用新型的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,旨在用于解释本实用新型,而不能理解为对本实用新型的限制。

[0032] 下面参考附图来描述本实用新型实施例提出的移位寄存器、液晶显示器的栅极驱动电路和液晶显示器。

[0033] 图2是根据本实用新型一个实施例的移位寄存器的方框示意图。如图2所示,该移位寄存器包括:上拉节点PU、充电模块10、下拉节点PD、输入控制模块20和上拉模块30。

[0034] 其中,充电模块10的一端与上拉节点PU相连,充电模块10的另一端作为移位寄存器的输出端OUTPUT。输入控制模块20的第一端与下拉节点PD相连,输入控制模块20的第二端与电源信号端VSS相连,输入控制模块20的第三端与上拉节点PU相连,输入控制模块20的控制端与信号输入端INPUT相连,输入控制模块20在信号输入端INPUT提供的输入信号的作用下将下拉节点PD的电平拉低,并通过充电模块10对上拉节点PU充电,以将上拉节点PU的电平拉高。上拉模块30的第一端与第一时钟信号端CLK相连,上拉模块30的第二端与上拉节点PU相连,上拉模块30的第三端与移位寄存器的输出端OUTPUT相连,上拉模块30在上拉节点PU的电平的控制下将第一时钟信号端CLK提供的第一时钟信号施加至移位寄存器的输出端OUTPUT。

[0035] 具体地,充电模块10可以对上拉节点PU与输出信号端OUTPUT之间的电压进行存储,电源信号端VSS为直流低电平信号。在信号输入端INPUT输入高电平时,输入控制模块20可以将下拉节点PD的电平拉低至VSS端的直流低电平信号。下拉节点PD信号拉低后,充电模块10对上拉节点PU充电,上拉节点PU的电平快速拉高,上拉模块30将第一时钟信号端CLK提供的第一时钟信号施加至移位寄存器的输出端OUTPUT。由此。该移位寄存器在输入信号的作用下可以将下拉节点的电平直接拉低,以将上拉节点的电平快速拉高,从而可以防止输出端输出的信号异常。

[0036] 根据本实用新型的一个实施例,如图3所示,上述的移位寄存器还可以包括:下拉模块40。下拉模块40的第一端与移位寄存器的输出端OUTPUT相连,下拉模块40的第二端与复位信号端RESET相连,下拉模块40的第三端与电源信号端VSS相连,下拉模块40在复位信号端RESET提供的复位信号的作用下将电源信号端VSS提供的电源信号施加至移位寄存器的输出端OUTPUT。

[0037] 具体地,在复位信号端RESET提供的复位信号为高电平时,下拉模块40将电源信号端VSS提供的直流低电平信号施加至移位寄存器的输出端OUTPUT,以使上拉模块30停止将第一时钟信号端CLK提供的第一时钟信号施加至移位寄存器的输出端OUTPUT,完成复位操作。

[0038] 进一步地,根据本实用新型的一个实施例,如图3所示,上述的移位寄存器还可以包括:第一保持模块50、第二保持模块60和第三保持模块70。

[0039] 其中,第一保持模块50的第一端与上拉节点PU相连,第一保持模块50的第二端与下拉节点PD相连,第一保持模块50的第三端与电源信号端VSS相连,第一保持模块50在下拉节点PD的电平的控制下对上拉节点PU的电平进行保持。第二保持模块60的第一端与移位寄存器的输出端OUTPUT相连,第二保持模块60的第二端与下拉节点PD相连,第二保持模块60的第三端与电源信号端VSS相连,第二保持模块60在下拉节点PD的电平的控制下对移位寄存器的输出信号进行保持。第三保持模块70的第一端与第二时钟信号端CLKB相连,第三保持模块70的第二端与上拉节点PU相连,第三保持模块70的第三端与下拉节点PD相连,第三保持模块70的第四端与电源信号端VSS相连,第三保持模块70在第二时钟信号端CLKB提供的时钟信号的作用下将第二时钟信号端CLKB提供的时钟信号施加至下拉节点PD,或者在上拉节点PU的电平的控制下将电源信号端VSS提供的电源信号施加至下拉节点PD。

[0040] 具体地,如图3所示,在信号输入端INPUT输入高电平时,输入控制模块20可以将下拉节点PD的电平拉低至VSS端的直流低电平信号,下拉节点PD信号拉低后,第三保持模块70将电源信号端VSS提供的电源信号施加至下拉节点PD,以使下拉节点PD保持在低电平。

[0041] 在复位信号端RESET提供的复位信号为高电平时,下拉模块40将电源信号端VSS提供的直流低电平信号施加至移位寄存器的输出端OUTPUT,以使上拉模块30停止将第一时钟信号端CLK提供的第一时钟信号施加至移位寄存器的输出端OUTPUT,同时,第一保持模块50在下拉节点PD的电平的控制下将上拉节点PU的电平进行保持在低电平,第二保持模块60在下拉节点PD的电平的控制下将输出端OUTPUT输出信号保持在低电平,第三保持模块70将第二时钟信号端CLKB提供的时钟信号施加至下拉节点PD,完成复位操作。

[0042] 在本实用新型的实施例中,第一时钟信号与第二时钟信号的周期相同且相位相反。

[0043] 根据本实用新型的一个实施例,如图4所示,输入控制模块20可以包括:第一晶体管M1、第二晶体管M2。其中,第一晶体管M1的第一端与控制端相连后连接到输入信号端INPUT,第一晶体管M1的第二端与上拉节点PU相连。充电模块10可以包括第一电容C1。

[0044] 根据本实用新型的一个实施例,如图4所示,上拉模块30可以包括:第三晶体管M3,第三晶体管M3的第一端与第一时钟信号端CLK相连,第三晶体管M3的第二端与移位寄存器的输出端OUTPUT相连,第三晶体管M3的控制端与上拉节点PU相连。

[0045] 根据本实用新型的一个实施例,如图4所示,下拉模块40可以包括:第四晶体管M4,第四晶体管M4的第一端与移位寄存器的输出端OUTPUT相连,第四晶体管M4的第二端与电源信号端VSS相连,第四晶体管M4的控制端与复位信号端RESET相连。

[0046] 根据本实用新型的一个实施例,如图4所示,第一保持模块50可以包括:第五晶体管M5,第五晶体管M5的第一端与上拉节点PU相连,第五晶体管M5的第二端与电源信号端VSS相连,第五晶体管M5的控制端与下拉节点PD相连。

[0047] 根据本实用新型的一个实施例,如图4所示,第二保持模块60可以包括:第六晶体管M6,第六晶体管M6的第一端与移位寄存器的输出端OUTPUT相连,第六晶体管M6的第二端与电源信号端VSS相连,第六晶体管M6的控制端与下拉节点PD相连。

[0048] 根据本实用新型的一个实施例,如图4所示,第三保持模块70可以包括:第七晶体管M7、第八晶体管M8、第九晶体管M9和第十晶体管M10。其中,第七晶体管M7的第一端与第二时钟信号端CLKB相连,第七晶体管M7的第二端与下拉节点PD相连。第八晶体管M8的第一端与第七晶体管M7的控制端相连且具有第一节点PD_CN,第八晶体管M8的第二端与电源信号端VSS相连,第八晶体管M8的控制端与上拉节点PU相连。第九晶体管M9的第一端和控制端与第二时钟信号端CLKB相连,第九晶体管M9的第二端与第一节点PD_CN相连。第十晶体管M10的第二端与电源信号端VSS相连,第十晶体管M10的控制端与上拉节点PU相连。

[0049] 进一步地,在本实用新型的实施例中,如图4所示,移位寄存器还可以包括第十一晶体管M11,第十一晶体管M11的第一端与上拉节点PU相连,第十一晶体管M11的第二端与电源信号端VSS相连,第十一晶体管M11的控制端与复位信号端RESET相连。

[0050] 需要说明的是,在本实用新型中,晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件,根据在电路中的作用本实用新型的实施例所采用的晶体管主要为开关晶体管。由于这里采用的开关晶体管的源极、漏极是对称的,所以其源极、漏极是可以互换的。

在本实用新型的实施例中,为区分晶体管除栅极之外的两极,将其中源极称为第一端,漏极称为第二端,晶体管的栅极称为控制端,按图4中的形态规定晶体管的中间端为栅极、信号输入端为源极、信号输出端为漏极。此外,本实用新型实施例所采用的开关晶体管可以为N型开关晶体管,N型开关晶体管在栅极为高电位时导通,在栅极为低电位时截止。

[0051] 具体地,图5是根据本实用新型的一个实施例的移位寄存器的时序示意图。如图4和图5所示,移位寄存器的工作过程可以分为:缓冲阶段T1、上拉阶段T2、下拉阶段T3以及下拉保持阶段T4。

[0052] 缓冲阶段T1:INPUT输入高电平信号,PD点直接受到INPUT高电平信号的作用,通过M2将PD点信号拉低至VSS的直流低电平信号,下拉节点PD信号拉低后M5、M6关闭,PU点迅速充电至高电平,进而PD点电位稳定在低电平。

[0053] 上拉阶段T2:INPUT输入低电平信号,CLK输入高电平信号,M3将CLK输入的高电平信号写入OUTPUT,由于下拉节点PD为低电平,所以充电模块10可以将上拉节点PU的电压快速拉高,避免OUTPUT输出异常。

[0054] 下拉阶段T3:RESET输入高电平信号,M4开启,将OUTPUT拉低为低电平。

[0055] 下拉保持阶段T4:第三保持模块(M7、M8、M9、M10)将CLKB输入的高电平写入下拉节点PD,在下拉节点的电压的控制下,M5对上拉节点PU的电平进行保持,M6对OUTPUT的输出信号进行保持。

[0056] 综上所述,根据本实用新型的移位寄存器,输入控制模块在信号输入端提供的输入信号的作用下将下拉节点的电平拉低,并通过充电模块对上拉节点充电,以将上拉节点的电平拉高,上拉模块在上拉节点的电平的控制下将第一时钟信号端提供的第一时钟信号施加至移位寄存器的输出端。由此,该移位寄存器在输入信号的作用下可以将下拉节点的电平直接拉低,以将上拉节点的电平快速拉高,从而可以防止输出端输出的信号异常。

[0057] 此外,如图6所示,本实用新型的实施例还提出一种液晶显示器的栅极驱动电路,其包括上述的移位寄存器100,其中,多个移位寄存器100级联。

[0058] 具体地,如图6所示,液晶显示器的栅极驱动电路包括多级移位寄存器100,每级移位寄存器100的输出端OUTPUT作为扫描信号线可以驱动一行像素,在移位寄存器100输出高电平信号时,驱动相应的一行像素打开,使得所述该行像素能够接收数据信号,在移位寄存器100输出低电平信号时,相应的一行像素关闭,停止接收数据信号。

[0059] 每个移位寄存器100具有输入信号端(INPUT)、复位信号输入端(RESET)、电源信号端(VSS)、第一时钟信号端(CLK)、第二时钟信号端(CLKB)、和输出端(OUTPUT),其中,N-1级移位寄存器100的输出作为N级移位寄存器的输入,N为正整数。特别的,最后一级移位寄存器100的输出端可以空接,对于第一级移位寄存器100,以STV信号(帧开启信号)为INPUT,对于最后一级移位寄存器100,一般会设计一个多余接空的伪移位寄存器100来对其进行RESET。

[0060] 根据本实用新型的液晶显示器的栅极驱动电路,通过上述的移位寄存器,在输入信号的作用下可以将下拉节点的电平直接拉低,以将上拉节点的电平快速拉高,从而可以防止输出端输出的信号异常,提高液晶显示器的栅极驱动电路工作的可靠性。

[0061] 此外,本实用新型还提出了一种液晶显示器,其包括上述的液晶显示器的栅极驱动电路。

[0062] 根据本实用新型的液晶显示器,通过上述的液晶显示器的栅极驱动电路,在输入信号的作用下可以将下拉节点的电平直接拉低,以将上拉节点的电平快速拉高,从而可以防止输出端输出的信号异常,提高液晶显示器工作的可靠性。

[0063] 在本实用新型的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”“内”、“外”、“顺时针”、“逆时针”、“轴向”、“径向”、“周向”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本实用新型和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本实用新型的限制。

[0064] 此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。在本实用新型的描述中,“多个”的含义是至少两个,例如两个,三个等,除非另有明确具体的限定。

[0065] 在本实用新型中,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或成一体;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系,除非另有明确的限定。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本实用新型中的具体含义。

[0066] 在本实用新型中,除非另有明确的规定和限定,第一特征在第二特征“上”或“下”可以是第一和第二特征直接接触,或第一和第二特征通过中间媒介间接接触。而且,第一特征在第二特征“之上”、“上方”和“上面”可是第一特征在第二特征正上方或斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”可以是第一特征在第二特征正下方或斜下方,或仅仅表示第一特征水平高度小于第二特征。

[0067] 在本说明书的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本实用新型的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不必针对的是相同的实施例或示例。而且,描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外,在不相互矛盾的情况下,本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。

[0068] 尽管上面已经示出和描述了本实用新型的实施例,可以理解的是,上述实施例是示例性的,不能理解为对本实用新型的限制,本领域的普通技术人员在本实用新型的范围内可以对上述实施例进行变化、修改、替换和变型。

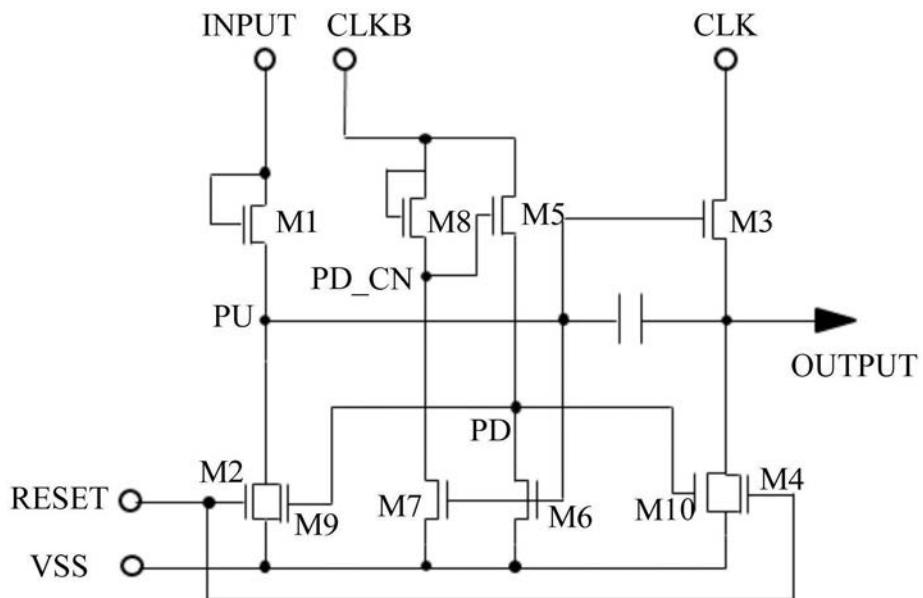


图1

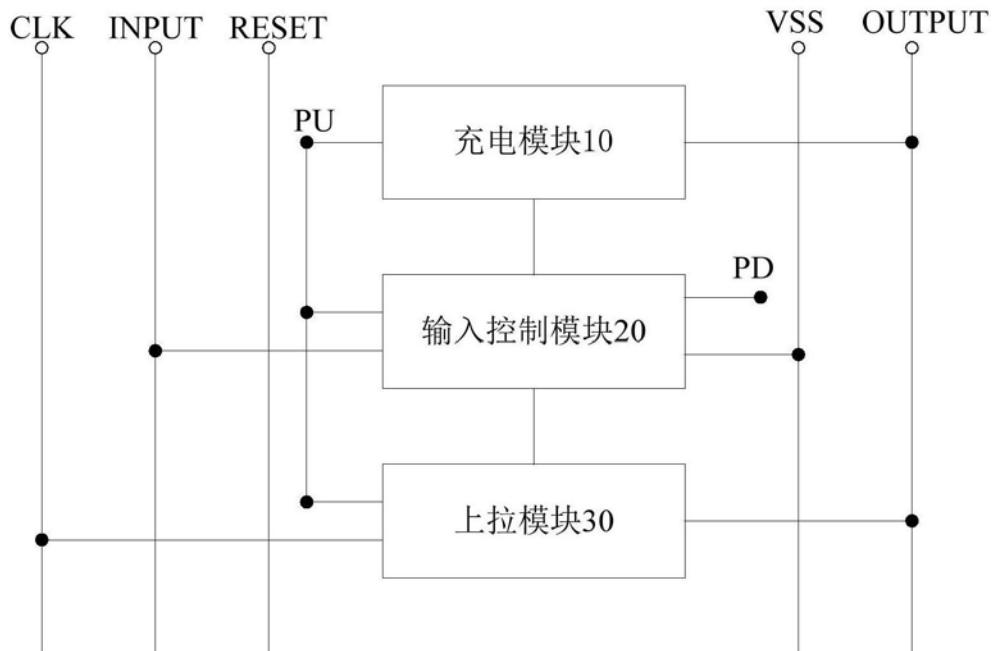


图2

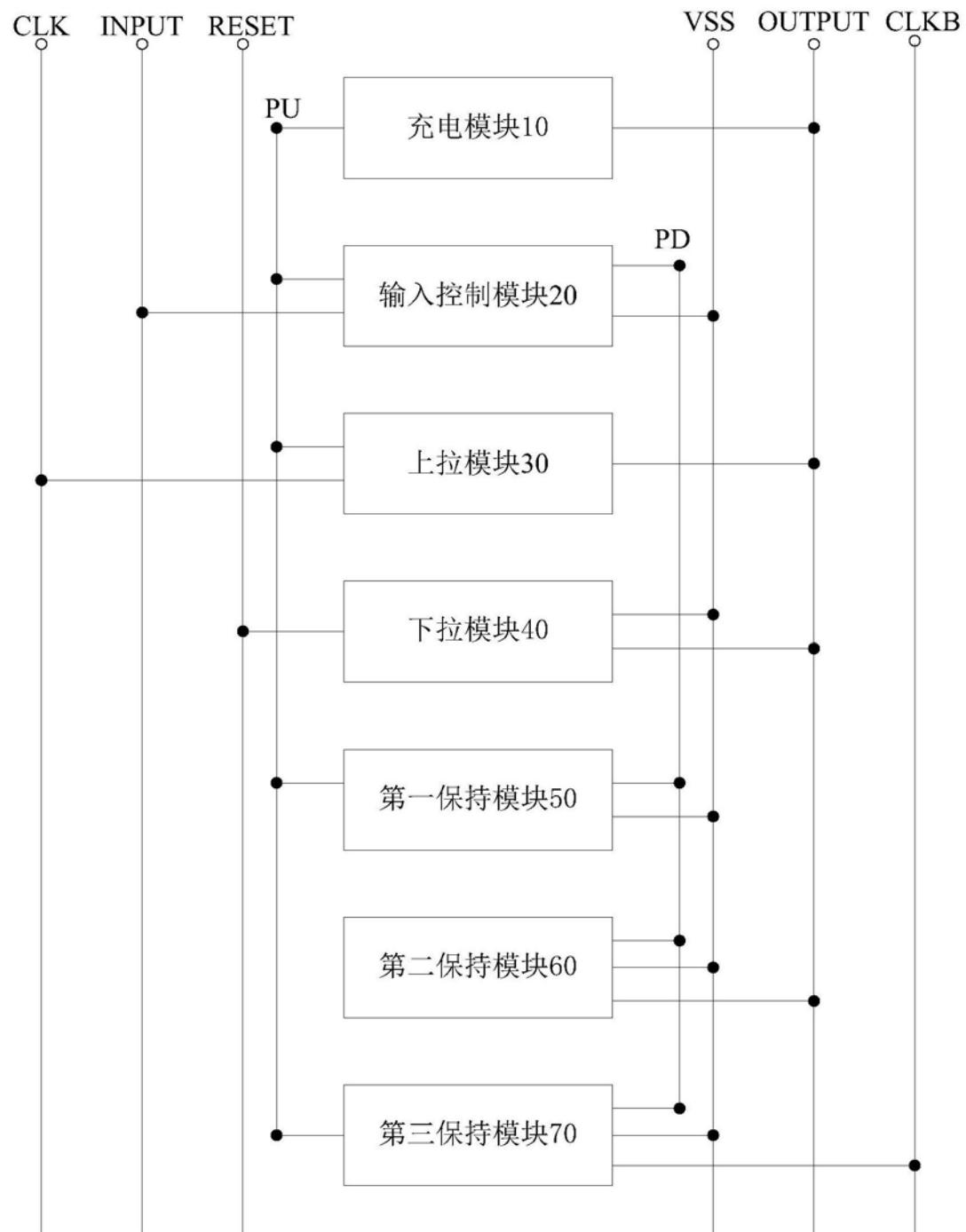


图3

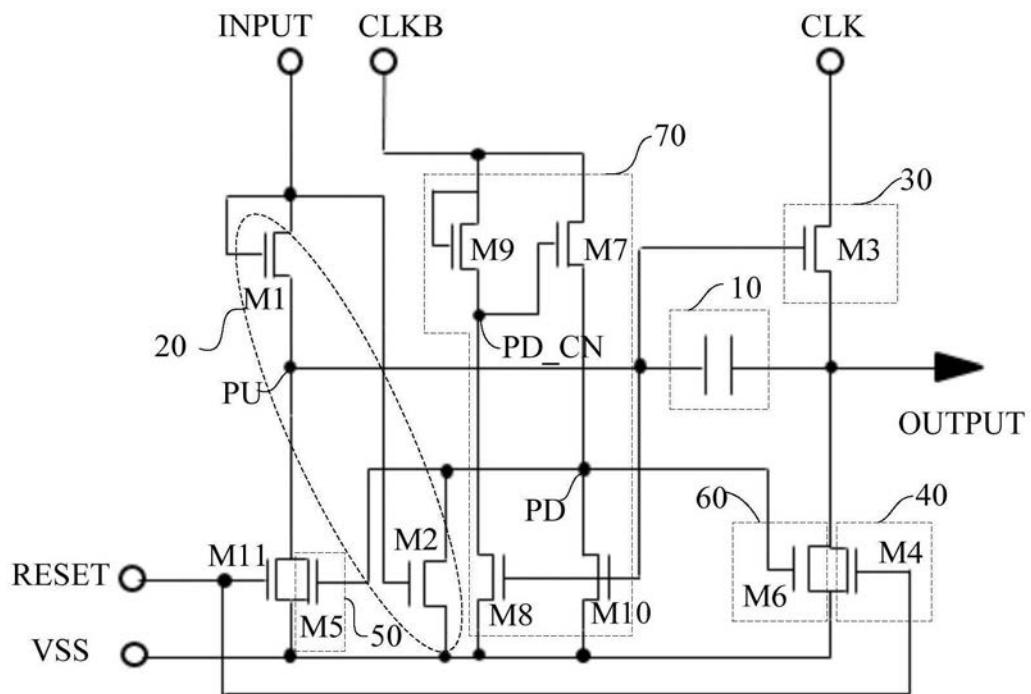


图4

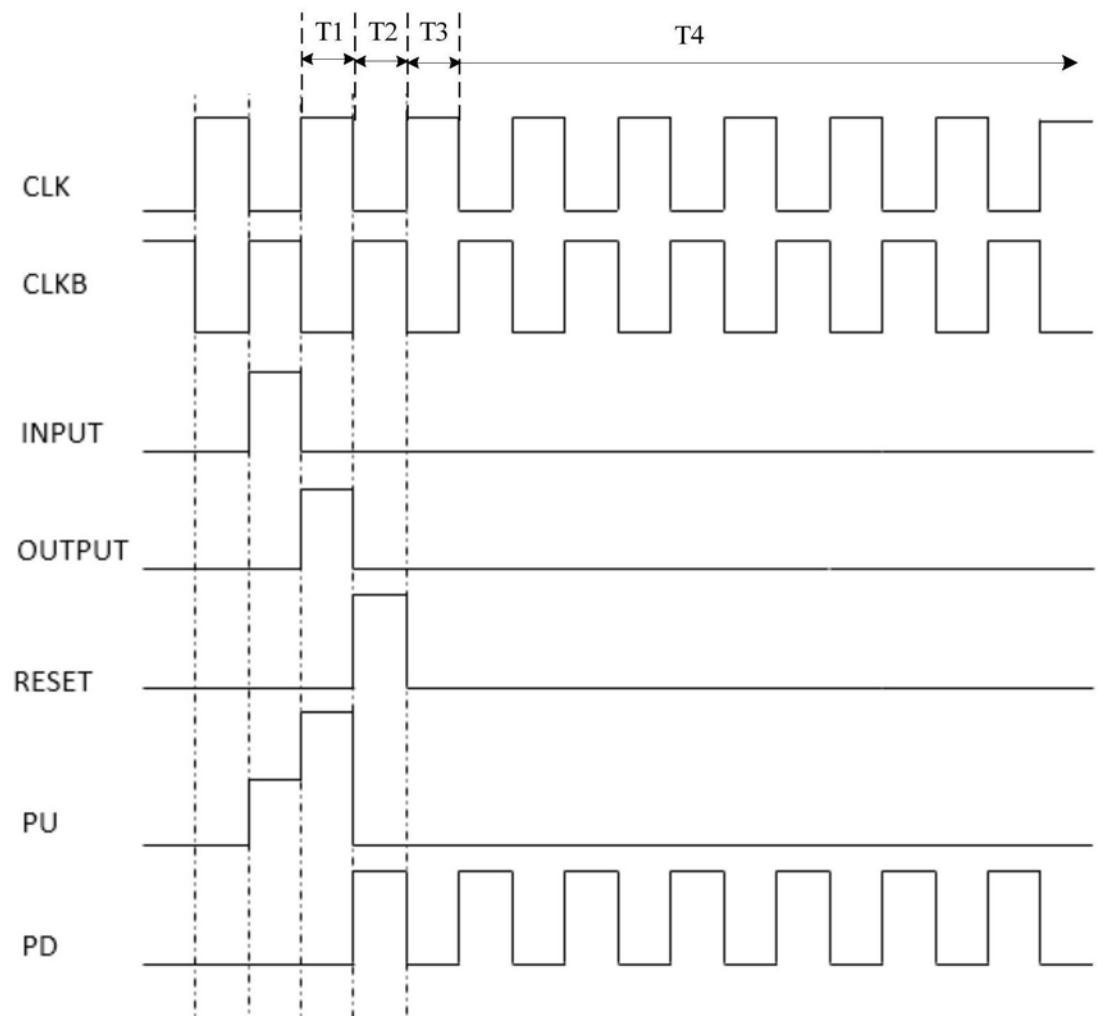


图5

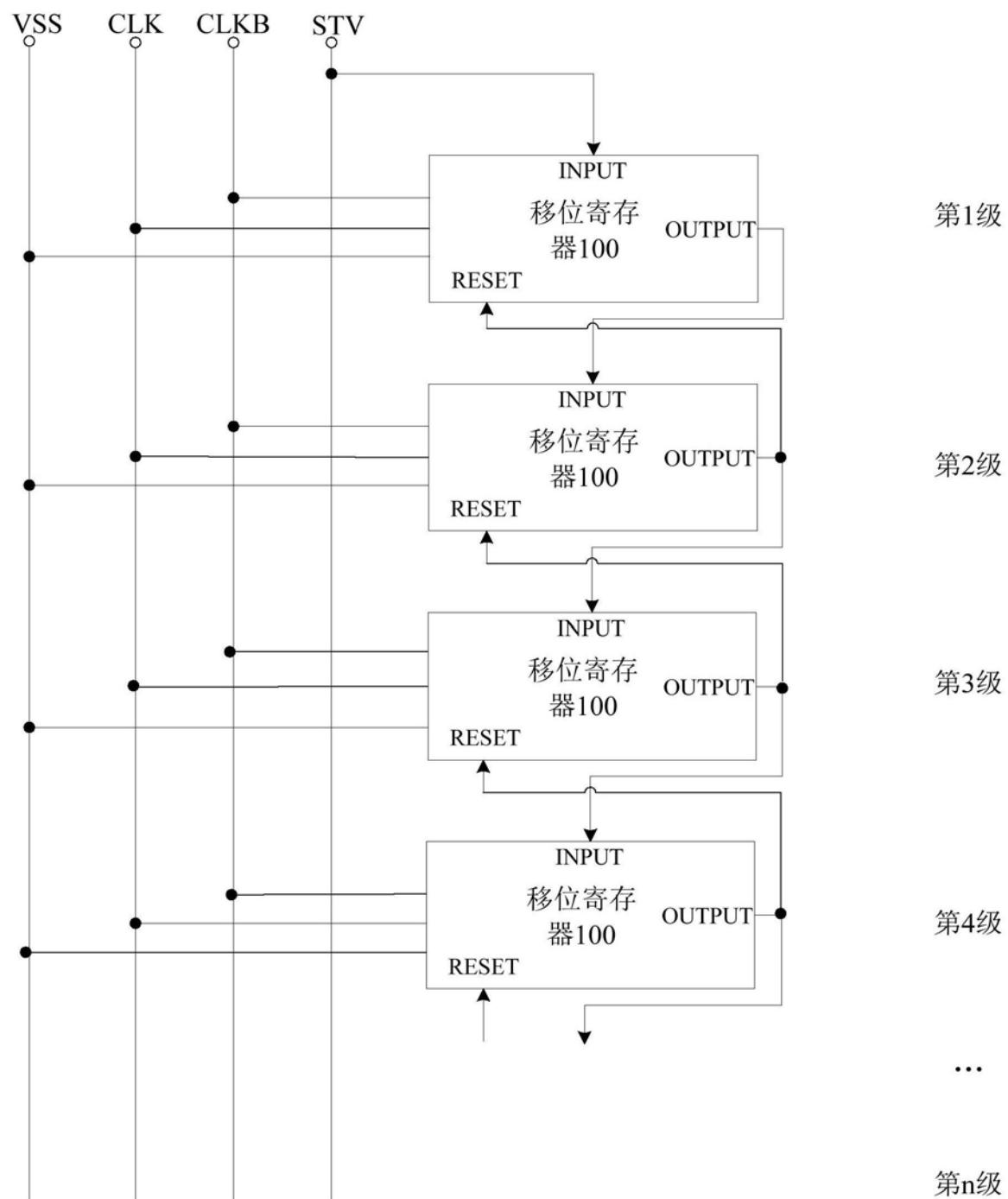


图6

专利名称(译)	移位寄存器、液晶显示器及其栅极驱动电路		
公开(公告)号	CN207781165U	公开(公告)日	2018-08-28
申请号	CN201820015524.1	申请日	2018-01-02
[标]申请(专利权)人(译)	合肥鑫晟光电科技有限公司 京东方科技股份有限公司		
申请(专利权)人(译)	合肥鑫晟光电科技有限公司 京东方科技股份有限公司		
当前申请(专利权)人(译)	合肥鑫晟光电科技有限公司 京东方科技股份有限公司		
[标]发明人	张杨		
发明人	张杨		
IPC分类号	G09G3/36 G11C19/28		
代理人(译)	张润		
外部链接	Espacenet Sipo		

摘要(译)

本实用新型公开了一种移位寄存器、液晶显示器及其栅极驱动电路，其中，移位寄存器包括：上拉节点；充电模块，充电模块的一端与上拉节点相连，充电模块的另一端作为移位寄存器的输出端；下拉节点；输入控制模块，输入控制模块在信号输入端提供的输入信号的作用下将下拉节点的电平拉低，并通过充电模块对上拉节点充电，以将上拉节点的电平拉高；上拉模块，上拉模块在上拉节点的电平的控制下将第一时钟信号端提供的第一时钟信号施加至移位寄存器的输出端。该移位寄存器在输入信号的作用下可以将下拉节点的电平直接拉低，以将上拉节点的电平快速拉高，从而可以防止输出端输出的信号异常。

