



(12)发明专利申请

(10)申请公布号 CN 109686333 A

(43)申请公布日 2019.04.26

(21)申请号 201910105407.3

(22)申请日 2019.02.01

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 北京京东方光电科技有限公司

(72)发明人 胡国锋 高延凯 刘弘 毕育欣
习艳会 代斌 于明鉴 王泓
王冬辉

(74)专利代理机构 北京三高永信知识产权代理
有限责任公司 11138
代理人 杨广宇

(51)Int.Cl.
G09G 3/36(2006.01)

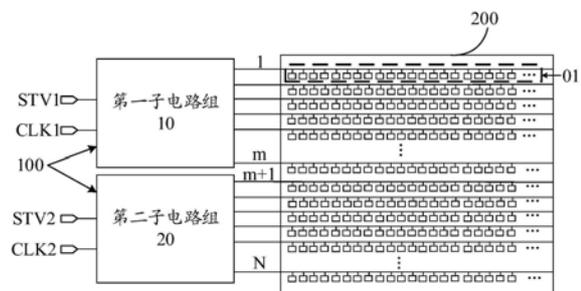
权利要求书5页 说明书20页 附图7页

(54)发明名称

栅极驱动电路及其驱动方法、显示装置

(57)摘要

本发明公开了一种栅极驱动电路及其驱动方法、显示装置。该栅极驱动电路包括第一子电路组和第二子电路组。由于该第一子电路组可以逐行驱动显示面板的N行像素中的第m行至第1行像素；该第二子电路组可以逐行驱动第m+1行至第N行像素；且由于m大于1且小于N。因此该栅极驱动电路可以从显示面板的中间行像素开始依次向两边逐行驱动像素，使得位于显示面板中间区域的液晶分子可以偏转到指定状态，将可能出现拖影现象的区域分散至显示面板两端的边缘区域，确保中间区域不会出现拖影现象，改善了显示效果。



1. 一种栅极驱动电路,其特征在于,应用于显示面板,所述显示面板包括N行像素,所述栅极驱动电路包括:第一子电路组和第二子电路组;

所述第一子电路组分别与第一开启信号端、第一时钟信号端以及所述N行像素中第m行像素至第1行像素连接,所述第一子电路组用于响应于所述第一开启信号端提供的第一开启信号,和所述第一时钟信号端提供的第一时钟信号,逐行驱动所述第m行像素至所述第1行像素;

所述第二子电路组分别与第二开启信号端、第二时钟信号端以及所述N行像素中第m+1行至第N行像素连接,所述第二子电路组用于响应于所述第二开启信号端提供的第二开启信号,和所述第二时钟信号端提供的第二时钟信号,逐行驱动所述第m+1行像素至所述第N行像素;

其中,N为大于1的整数,m为大于1且小于N的整数。

2. 根据权利要求1所述的栅极驱动电路,其特征在于,所述第一子电路组包括:第一驱动子电路和第二驱动子电路;所述第一开启信号端包括:第一子开启信号端和第二子开启信号端;所述第一时钟信号端包括:第一子时钟信号端和第二子时钟信号端;

所述第一驱动子电路分别与所述第一子开启信号端、所述第一子时钟信号端和所述第m行像素至第1行像素中的奇数行像素连接,所述第一驱动子电路用于响应于所述第一子开启信号端提供的第一子开启信号,和所述第一子时钟信号端提供的第一子时钟信号,逐行驱动所述第m行像素至所述第1行像素中的奇数行像素;

所述第二驱动子电路分别与所述第二子开启信号端、所述第二子时钟信号端和所述第m行像素至所述第1行像素中的偶数行像素连接,所述第二驱动子电路用于响应于所述第二子开启信号端提供的第二子开启信号,和所述第二子时钟信号端提供的第二子时钟信号,逐行驱动所述第m行像素至所述第1行像素中的偶数行像素。

3. 根据权利要求2所述的栅极驱动电路,其特征在于,所述第一驱动子电路和所述第二驱动子电路均包括级联的至少两个移位寄存器单元,且每个移位寄存器单元与一行像素连接;所述第一子电路组还包括:两个第一虚设子电路和两个第二虚设子电路;

每个所述第一虚设子电路均分别与所述第一子开启信号端和所述第一子时钟信号端连接,其中一个所述第一虚设子电路与所述第一驱动子电路中的第一级移位寄存器单元的输入端连接,用于在所述第一子开启信号和所述第一子时钟信号的驱动下,将所述第一子开启信号传输至所述第一驱动子电路中的第一级移位寄存器单元;另一个所述第一虚设子电路与所述第一驱动子电路中的最后一级移位寄存器单元的输入端连接,用于在所述第一子开启信号和所述第一子时钟信号的驱动下,将所述第一子开启信号传输至所述第一驱动子电路中的最后一级移位寄存器单元;

每个所述第二虚设子电路均分别与所述第二子开启信号端和所述第二子时钟信号端连接,其中一个所述第二虚设子电路与所述第二驱动子电路中的第一级移位寄存器单元的输入端连接,用于在所述第二子开启信号和所述第二子时钟信号的驱动下,将所述第二子开启信号传输至所述第二驱动子电路中的第一级移位寄存器单元;另一个所述第二虚设子电路与所述第二驱动子电路中的最后一级移位寄存器单元的输入端连接,用于在所述第二子开启信号和所述第二子时钟信号的驱动下,将所述第二子开启信号传输至所述第二驱动子电路中的最后一级移位寄存器单元。

4. 根据权利要求1至3任一所述的栅极驱动电路,其特征在于,所述第二子电路组包括:第三驱动子电路和第四驱动子电路;所述第二开启信号端包括:第三子开启信号端和第四子开启信号端;所述第二时钟信号端包括:第三子时钟信号端和第四子时钟信号端;

所述第三驱动子电路分别与所述第三子开启信号端、所述第三子时钟信号端和所述第 $m+1$ 行像素至所述第 N 行像素中的奇数行像素连接,所述第三驱动子电路用于响应于所述第三子开启信号端提供的第三子开启信号,和所述第三子时钟信号端提供的第三子时钟信号,逐行驱动所述第 $m+1$ 行像素至所述第 N 行像素中的奇数行像素;

所述第四驱动子电路分别与所述第四子开启信号端、所述第四子时钟信号端和所述第 $m+1$ 行像素至所述第 N 行像素中的偶数行像素连接,所述第四驱动子电路用于响应于所述第四子开启信号端提供的第四子开启信号,和所述第四子时钟信号端提供的第四子时钟信号,逐行驱动所述第 $m+1$ 行像素至所述第 N 行像素中的偶数行像素。

5. 根据权利要求4所述的栅极驱动电路,其特征在于,所述第三驱动子电路和所述第四驱动子电路均包括级联的至少两个移位寄存器单元,且每个移位寄存器单元与一行像素连接;所述第二子电路组还包括:两个第三虚设子电路和两个第四虚设子电路;

每个所述第三虚设子电路均分别与所述第三子开启信号端和所述第三子时钟信号端连接,其中一个所述第三虚设子电路与所述第三驱动子电路中的第一级移位寄存器单元的输入端连接,用于在所述第三子开启信号和所述第三子时钟信号的驱动下,将所述第三子开启信号传输至所述第三驱动子电路中的第一级移位寄存器单元;另一个所述第三虚设子电路与所述第三驱动子电路中的最后一级移位寄存器单元的输入端连接,用于在所述第三子开启信号和所述第三子时钟信号的驱动下,将所述第三子开启信号传输至所述第三驱动子电路中的最后一级移位寄存器单元;

每个所述第四虚设子电路均分别与所述第四子开启信号端和所述第四子时钟信号端连接,其中一个所述第四虚设子电路与所述第四驱动子电路中的第一级移位寄存器单元的输入端连接,用于在所述第四子开启信号和所述第四子时钟信号的驱动下,将所述第四子开启信号传输至所述第四驱动子电路中的第一级移位寄存器单元;另一个所述第四虚设子电路与所述第四驱动子电路中的最后一级移位寄存器单元的输入端连接,用于在所述第四子开启信号和所述第四子时钟信号的驱动下,将所述第四子开启信号传输至所述第四驱动子电路中的最后一级移位寄存器单元。

6. 根据权利要求4所述的栅极驱动电路,其特征在于,所述第一子电路组包括第一驱动子电路和第二驱动子电路;

所述第一驱动子电路和所述第二驱动子电路相对设置在所述显示面板的两侧,所述第三驱动子电路和所述第四驱动子电路相对设置在所述显示面板的两侧,并且,所述第一驱动子电路和所述第三驱动子电路所在一侧的延伸方向,以及所述第二驱动子电路和所述第四驱动子电路所在一侧的延伸方向,均与所述显示面板中的栅线的延伸方向平垂直。

7. 根据权利要求1至3任一所述的栅极驱动电路,其特征在于,

当所述 N 为偶数时,所述 m 满足: $m=N/2$;

当所述 N 为奇数时,所述 m 满足: $m=\lceil N/2 \rceil$ 或 $m=\lfloor N/2 \rfloor$, $\lceil \]$ 表示向上取整, $\lfloor \]$ 表示向下取整。

8. 一种栅极驱动电路,其特征在于,应用于显示面板,所述显示面板包括: N 行像素;所

述栅极驱动电路包括：第一驱动子电路、第二驱动子电路、第三驱动子电路和第四驱动子电路；

所述第一驱动子电路分别与第一子开启信号端、第一子时钟信号端和所述N行像素中，第m行像素至第1行像素中的奇数行像素连接，所述第一驱动子电路用于响应于所述第一子开启信号端提供的第一子开启信号，和所述第一子时钟信号端提供的第一子时钟信号，逐行驱动所述第m行像素至所述第1行像素中的奇数行像素；

所述第二驱动子电路分别与第二子开启信号端、第二子时钟信号端和所述第m行像素至所述第1行像素中的偶数行像素连接，所述第二驱动子电路用于响应于所述第二子开启信号端提供的第二子开启信号，和所述第二子时钟信号端提供的第二子时钟信号，逐行驱动所述第m行像素至所述第1行像素中的偶数行像素；

所述第三驱动子电路分别与第三子开启信号端、第三子时钟信号端和所述N行像素中，第m+1行像素至所述第N行像素中的奇数行像素连接，所述第三驱动子电路用于响应于所述第三子开启信号端提供的第三子开启信号，和所述第三子时钟信号端提供的第三子时钟信号，逐行驱动所述第m+1行像素至所述第N行像素中的奇数行像素；

所述第四驱动子电路分别与第四子开启信号端、第四子时钟信号端和所述第m+1行像素至所述第N行像素中的偶数行像素连接，所述第四驱动子电路用于响应于所述第四子开启信号端提供的第四子开启信号，和所述第四子时钟信号端提供的第四子时钟信号，逐行驱动所述第m+1行像素至所述第N行像素中的偶数行像素。

9. 根据权利要求8所述的栅极驱动电路，其特征在于，每个驱动子电路均包括：级联的至少两个移位寄存器单元，且每个移位寄存器单元与一行像素连接；所述栅极驱动电路还包括：两个第一虚设子电路、两个第二虚设子电路、两个第三虚设子电路和两个第四虚设子电路；

每个所述第一虚设子电路均分别与所述第一子开启信号端和所述第一子时钟信号端连接，其中一个所述第一虚设子电路与所述第一驱动子电路中的第一级移位寄存器单元的输入端连接，用于在所述第一子开启信号和所述第一子时钟信号的驱动下，将所述第一子开启信号传输至所述第一驱动子电路中的第一级移位寄存器单元；另一个所述第一虚设子电路与所述第一驱动子电路中的最后一级移位寄存器单元的输入端连接，用于在所述第一子开启信号和所述第一子时钟信号的驱动下，将所述第一子开启信号传输至所述第一驱动子电路中的最后一级移位寄存器单元；

每个所述第二虚设子电路均分别与所述第二子开启信号端和所述第二子时钟信号端连接，其中一个所述第二虚设子电路与所述第二驱动子电路中的第一级移位寄存器单元的输入端连接，用于在所述第二子开启信号和所述第二子时钟信号的驱动下，将所述第二子开启信号传输至所述第二驱动子电路中的第一级移位寄存器单元；另一个所述第二虚设子电路与所述第二驱动子电路中的最后一级移位寄存器单元的输入端连接，用于在所述第二子开启信号和所述第二子时钟信号的驱动下，将所述第二子开启信号传输至所述第二驱动子电路中的最后一级移位寄存器单元；

每个所述第三虚设子电路均分别与所述第三子开启信号端和所述第三子时钟信号端连接，其中一个所述第三虚设子电路与所述第三驱动子电路中的第一级移位寄存器单元的输入端连接，用于在所述第三子开启信号和所述第三子时钟信号的驱动下，将所述第三子

开启信号传输至所述第三驱动子电路中的第一级移位寄存器单元；另一个所述第三虚设子电路与所述第三驱动子电路中的最后一级移位寄存器单元的输入端连接，用于在所述第三子开启信号和所述第三子时钟信号的驱动下，将所述第三子开启信号传输至所述第三驱动子电路中的最后一级移位寄存器单元；

每个所述第四虚设子电路均分别与所述第四子开启信号端和所述第四子时钟信号端连接，其中一个所述第四虚设子电路与所述第四驱动子电路中的第一级移位寄存器单元的输入端连接，用于在所述第四子开启信号和所述第四子时钟信号的驱动下，将所述第四子开启信号传输至所述第四驱动子电路中的第一级移位寄存器单元；另一个所述第四虚设子电路与所述第四驱动子电路中的最后一级移位寄存器单元的输入端连接，用于在所述第四子开启信号和所述第四子时钟信号的驱动下，将所述第四子开启信号传输至所述第四驱动子电路中的最后一级移位寄存器单元。

10. 一种显示装置，其特征在于，所述显示装置包括：显示面板，以及与所示显示面板连接的如权利要求1至9任一所述的栅极驱动电路。

11. 根据权利要求10所述的显示装置，其特征在于，所述显示装置还包括：第一控制电路和第二控制电路；

所述第一控制电路分别与第一开启信号端和第一时钟信号端连接，所述第一控制电路用于为所述第一开启信号端和所述第一时钟信号端提供信号；

所述第二控制电路分别与第二开启信号端和第二时钟信号端连接，所述第二控制电路用于为所述第二开启信号端和所述第二时钟信号端提供信号。

12. 根据权利要求11所述的栅极驱动电路，其特征在于，所述第一控制电路和所述第二控制电路相对设置在所述显示面板的两侧，并且，所述第一控制子电路所在一侧的延伸方向和所述第二控制子电路所在一侧的延伸方向，均与所述显示面板中的栅线的延伸方向平行。

13. 一种栅极驱动电路的驱动方法，其特征在于，应用于如权利要求1至9任一所述的栅极驱动电路中，所述方法包括：

第一驱动阶段，第一开启信号端提供的第一开启信号的电位，以及第一时钟信号端提供的第一时钟信号的电位均为第一电位，第一子电路组响应于所述第一开启信号和所述第一时钟信号，逐行驱动显示面板包括的N行像素中的第m行像素至第1行像素；

第二驱动阶段，第二开启信号端提供的第二开启信号的电位，以及第二时钟信号端提供的第二时钟信号的电位均为第一电位，第二子电路组响应于所述第二开启信号和所述第二时钟信号，逐行驱动所述N行像素中的第m+1行像素至第N行像素；

其中，所述第一开启信号的电位为第一电位的时刻与所述第二开启信号的电位为第一电位的时刻之间的时长，小于时钟信号的时钟周期，N为大于1的整数，m为大于1且小于N的整数。

14. 根据权利要求13所述的方法，其特征在于，所述第一子电路组包括：第一驱动子电路和第二驱动子电路；所述第一开启信号端包括：第一子开启信号端和第二子开启信号端；所述第一时钟信号端包括：第一子时钟信号端和第二子时钟信号端；所述第一驱动阶段包括：

第一子阶段，所述第一子开启信号端提供的第一子开启信号的电位，和所述第一子时

钟信号端提供的第一子时钟信号的电位均为第一电位,所述第一驱动子电路响应于所述第一子开启信号和所述第一子时钟信号,逐行驱动所述第m行像素至第1行像素中的奇数行像素;

第二子阶段,所述第二子开启信号端提供的第二子开启信号的电位,和所述第二子时钟信号端提供的第二子时钟信号的电位均为第一电位,所述第二驱动子电路响应于所述第二子开启信号和所述第二子时钟信号,逐行驱动所述第m行像素至第1行像素中的偶数行像素。

15. 根据权利要求13或14所述的方法,其特征在于,所述第二子电路组包括:第三驱动子电路和第四驱动子电路;所述第二开启信号端包括:第三子开启信号端和第四子开启信号端;所述第二时钟信号端包括:第三子时钟信号端和第四子时钟信号端;所述第二驱动阶段包括:

第三子阶段,所述第三子开启信号端提供的第三子开启信号的电位,和所述第三子时钟信号端提供的第三子时钟信号的电位均为第一电位,所述第三驱动子电路响应于所述第三子开启信号和所述第三子时钟信号,逐行驱动所述第m+1行像素至第N行像素中的奇数行像素;

第四子阶段,所述第四子开启信号端提供的第四子开启信号的电位,和所述第四子时钟信号端提供的第四子时钟信号的电位均为第一电位,所述第四驱动子电路响应于所述第四子开启信号和所述第四子时钟信号,逐行驱动所述第m+1行像素至第N行像素中的偶数行像素。

16. 根据权利要求15所述的方法,其特征在于,所述第一开启信号端包括:第一子开启信号端和第二子开启信号端;所述第一时钟信号端包括:第一子时钟信号端和第二子时钟信号端;

所述第三子开启信号的电位、所述第四子开启信号的电位、所述第一子开启信号端提供的第一子开启信号的电位和所述第二子开启信号端提供的第二子开启信号的电位依次为第一电位,在所述第三子开启信号的电位为第一电位时,所述第三子时钟信号的电位为第一电位,在所述第四子开启信号的电位为第一电位时,所述第四子时钟信号的电位为第一电位,在所述第一子开启信号的电位为第一电位时,所述第一子时钟信号端提供的第一子时钟信号的电位为第一电位,在所述第二子开启信号的电位为第一电位时,所述第二子时钟信号端提供的第二子时钟信号的电位为第一电位;

所述第三子时钟信号、所述第四子时钟信号、所述第一子时钟信号和所述第二子时钟信号时钟周期相同,占空比均为1/4,且在每个所述时钟周期内,所述第三子时钟信号的电位、所述第四子时钟信号的电位、所述第一子时钟信号的电位和所述第二子时钟信号的电位依次为第一电位。

栅极驱动电路及其驱动方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种栅极驱动电路及其驱动方法、显示装置。

背景技术

[0002] 液晶显示(liquid crystal display,LCD)装置因其分辨率高、重量轻、低能耗和低辐射等优点被广泛应用于显示领域上。例如,可以应用于虚拟现实(virtual reality,VR)领域。

[0003] 相关技术中,液晶显示装置包括液晶显示面板和栅极驱动电路。液晶显示面板包括多行像素,每个像素包括薄膜晶体管、与该薄膜晶体管连接的像素电极、公共电极以及位于像素电极和公共电极之间的液晶分子。栅极驱动电路与每个像素中的薄膜晶体管连接,用于通过该薄膜晶体管为与该薄膜晶体管连接的像素电极充电,以驱动液晶分子偏转。目前,栅极驱动电路可以从第一行像素开始逐行驱动像素,即逐行为每个像素电极充电。

[0004] 但是,由于液晶分子偏转到指定状态需要一定时间,即液晶分子的响应时间较长。因此通过从第一行像素开始逐行驱动像素,液晶显示面板中最后若干行像素中的液晶分子可能无法偏转到指定状态,导致显示面板显示的画面产生拖影,显示效果较差。

发明内容

[0005] 本发明提供了一种栅极驱动电路及其驱动方法、显示装置,可以解决相关技术中由于拖影现象造成显示效果较差的问题,所述技术方案如下:

[0006] 一方面,提供了一种栅极驱动电路,应用于显示面板,所述显示面板包括N行像素,所述栅极驱动电路包括:第一子电路组和第二子电路组;

[0007] 所述第一子电路组分别与第一开启信号端、第一时钟信号端以及所述N行像素中第m行像素至第1行像素连接,所述第一子电路组用于响应于所述第一开启信号端提供的第一开启信号,和所述第一时钟信号端提供的第一时钟信号,逐行驱动所述第m行像素至所述第1行像素;

[0008] 所述第二子电路组分别与第二开启信号端、第二时钟信号端以及所述N行像素中第m+1行至第N行像素连接,所述第二子电路组用于响应于所述第二开启信号端提供的第二开启信号,和所述第二时钟信号端提供的第二时钟信号,逐行驱动所述第m+1行像素至所述第N行像素;

[0009] 其中,N为大于1的整数,m为大于1且小于N的整数。

[0010] 可选的,所述第一子电路组包括:第一驱动子电路和第二驱动子电路;所述第一开启信号端包括:第一子开启信号端和第二子开启信号端;所述第一时钟信号端包括:第一子时钟信号端和第二子时钟信号端;

[0011] 所述第一驱动子电路分别与所述第一子开启信号端、所述第一子时钟信号端和所述第m行像素至第1行像素中的奇数行像素连接,所述第一驱动子电路用于响应于所述第一子开启信号端提供的第一子开启信号,和所述第一子时钟信号端提供的第一子时钟信号,

逐行驱动所述第m行像素至所述第1行像素中的奇数行像素；

[0012] 所述第二驱动子电路分别与所述第二子开启信号端、所述第二子时钟信号端和所述第m行像素至所述第1行像素中的偶数行像素连接，所述第二驱动子电路用于响应于所述第二子开启信号端提供的第二子开启信号，和所述第二子时钟信号端提供的第二子时钟信号，逐行驱动所述第m行像素至所述第1行像素中的偶数行像素。

[0013] 可选的，所述第一驱动子电路和所述第二驱动子电路均包括级联的至少两个移位寄存器单元，且每个移位寄存器单元与一行像素连接；所述第一子电路组还包括：两个第一虚设子电路和两个第二虚设子电路；

[0014] 每个所述第一虚设子电路均分别与所述第一子开启信号端和所述第一子时钟信号端连接，其中一个所述第一虚设子电路与所述第一驱动子电路中的第一级移位寄存器单元的输入端连接，用于在所述第一子开启信号和所述第一子时钟信号的驱动下，将所述第一子开启信号传输至所述第一驱动子电路中的第一级移位寄存器单元；另一个所述第一虚设子电路与所述第一驱动子电路中的最后一级移位寄存器单元的输入端连接，用于在所述第一子开启信号和所述第一子时钟信号的驱动下，将所述第一子开启信号传输至所述第一驱动子电路中的最后一级移位寄存器单元；

[0015] 每个所述第二虚设子电路均分别与所述第二子开启信号端和所述第二子时钟信号端连接，其中一个所述第二虚设子电路与所述第二驱动子电路中的第一级移位寄存器单元的输入端连接，用于在所述第二子开启信号和所述第二子时钟信号的驱动下，将所述第二子开启信号传输至所述第二驱动子电路中的第一级移位寄存器单元；另一个所述第二虚设子电路与所述第二驱动子电路中的最后一级移位寄存器单元的输入端连接，用于在所述第二子开启信号和所述第二子时钟信号的驱动下，将所述第二子开启信号传输至所述第二驱动子电路中的最后一级移位寄存器单元。

[0016] 可选的，所述第二子电路组包括：第三驱动子电路和第四驱动子电路；所述第二开启信号端包括：第三子开启信号端和第四子开启信号端；所述第二时钟信号端包括：第三子时钟信号端和第四子时钟信号端；

[0017] 所述第三驱动子电路分别与所述第三子开启信号端、所述第三子时钟信号端和所述第m+1行像素至所述第N行像素中的奇数行像素连接，所述第三驱动子电路用于响应于所述第三子开启信号端提供的第三子开启信号，和所述第三子时钟信号端提供的第三子时钟信号，逐行驱动所述第m+1行像素至所述第N行像素中的奇数行像素；

[0018] 所述第四驱动子电路分别与所述第四子开启信号端、所述第四子时钟信号端和所述第m+1行像素至所述第N行像素中的偶数行像素连接，所述第四驱动子电路用于响应于所述第四子开启信号端提供的第四子开启信号，和所述第四子时钟信号端提供的第四子时钟信号，逐行驱动所述第m+1行像素至所述第N行像素中的偶数行像素。

[0019] 可选的，所述第三驱动子电路和所述第四驱动子电路均包括级联的至少两个移位寄存器单元，且每个移位寄存器单元与一行像素连接；所述第二子电路组还包括：两个第三虚设子电路和两个第四虚设子电路；

[0020] 每个所述第三虚设子电路均分别与所述第三子开启信号端和所述第三子时钟信号端连接，其中一个所述第三虚设子电路与所述第三驱动子电路中的第一级移位寄存器单元的输入端连接，用于在所述第三子开启信号和所述第三子时钟信号的驱动下，将所述第

三子开启信号传输至所述第三驱动子电路中的第一级移位寄存器单元；另一个所述第三虚设子电路与所述第三驱动子电路中的最后一级移位寄存器单元的输入端连接，用于在所述第三子开启信号和所述第三子时钟信号的驱动下，将所述第三子开启信号传输至所述第三驱动子电路中的最后一级移位寄存器单元；

[0021] 每个所述第四虚设子电路均分别与所述第四子开启信号端和所述第四子时钟信号端连接，其中一个所述第四虚设子电路与所述第四驱动子电路中的第一级移位寄存器单元的输入端连接，用于在所述第四子开启信号和所述第四子时钟信号的驱动下，将所述第四子开启信号传输至所述第四驱动子电路中的第一级移位寄存器单元；另一个所述第四虚设子电路与所述第四驱动子电路中的最后一级移位寄存器单元的输入端连接，用于在所述第四子开启信号和所述第四子时钟信号的驱动下，将所述第四子开启信号传输至所述第四驱动子电路中的最后一级移位寄存器单元。

[0022] 可选的，所述第一子电路组包括第一驱动子电路和第二驱动子电路；

[0023] 所述第一驱动子电路和所述第二驱动子电路相对设置在所述显示面板的两侧，所述第三驱动子电路和所述第四驱动子电路相对设置在所述显示面板的两侧，并且，所述第一驱动子电路和所述第三驱动子电路所在一侧的延伸方向，以及所述第二驱动子电路和所述第四驱动子电路所在一侧的延伸方向，均与所述显示面板中的栅线的延伸方向平垂直。

[0024] 可选的，当所述N为偶数时，所述m满足： $m=N/2$ ；

[0025] 当所述N为奇数时，所述m满足： $m=\lceil N/2 \rceil$ 或 $m=\lfloor N/2 \rfloor$ ， $\lceil \]$ 表示向上取整， $\lfloor \]$ 表示向下取整。

[0026] 另一方面，提供了一种栅极驱动电路，应用于显示面板，所述显示面板包括：N行像素；所述栅极驱动电路包括：第一驱动子电路、第二驱动子电路、第三驱动子电路和第四驱动子电路；

[0027] 所述第一驱动子电路分别与第一子开启信号端、第一子时钟信号端和所述N行像素中，第m行像素至第1行像素中的奇数行像素连接，所述第一驱动子电路用于响应于所述第一子开启信号端提供的第一子开启信号，和所述第一子时钟信号端提供的第一子时钟信号，逐行驱动所述第m行像素至所述第1行像素中的奇数行像素；

[0028] 所述第二驱动子电路分别与第二子开启信号端、第二子时钟信号端和所述第m行像素至所述第1行像素中的偶数行像素连接，所述第二驱动子电路用于响应于所述第二子开启信号端提供的第二子开启信号，和所述第二子时钟信号端提供的第二子时钟信号，逐行驱动所述第m行像素至所述第1行像素中的偶数行像素；

[0029] 所述第三驱动子电路分别与第三子开启信号端、第三子时钟信号端和所述N行像素中，第m+1行像素至所述第N行像素中的奇数行像素连接，所述第三驱动子电路用于响应于所述第三子开启信号端提供的第三子开启信号，和所述第三子时钟信号端提供的第三子时钟信号，逐行驱动所述第m+1行像素至所述第N行像素中的奇数行像素；

[0030] 所述第四驱动子电路分别与第四子开启信号端、第四子时钟信号端和所述第m+1行像素至所述第N行像素中的偶数行像素连接，所述第四驱动子电路用于响应于所述第四子开启信号端提供的第四子开启信号，和所述第四子时钟信号端提供的第四子时钟信号，逐行驱动所述第m+1行像素至所述第N行像素中的偶数行像素。

[0031] 可选的，每个驱动子电路均包括：级联的至少两个移位寄存器单元，且每个移位寄

寄存器单元与一行像素连接;所述栅极驱动电路还包括:两个第一虚设子电路、两个第二虚设子电路、两个第三虚设子电路和两个第四虚设子电路;

[0032] 每个所述第一虚设子电路均分别与所述第一子开启信号端和所述第一子时钟信号端连接,其中一个所述第一虚设子电路与所述第一驱动子电路中的第一级移位寄存器单元的输入端连接,用于在所述第一子开启信号和所述第一子时钟信号的驱动下,将所述第一子开启信号传输至所述第一驱动子电路中的第一级移位寄存器单元;另一个所述第一虚设子电路与所述第一驱动子电路中的最后一级移位寄存器单元的输入端连接,用于在所述第一子开启信号和所述第一子时钟信号的驱动下,将所述第一子开启信号传输至所述第一驱动子电路中的最后一级移位寄存器单元;

[0033] 每个所述第二虚设子电路均分别与所述第二子开启信号端和所述第二子时钟信号端连接,其中一个所述第二虚设子电路与所述第二驱动子电路中的第一级移位寄存器单元的输入端连接,用于在所述第二子开启信号和所述第二子时钟信号的驱动下,将所述第二子开启信号传输至所述第二驱动子电路中的第一级移位寄存器单元;另一个所述第二虚设子电路与所述第二驱动子电路中的最后一级移位寄存器单元的输入端连接,用于在所述第二子开启信号和所述第二子时钟信号的驱动下,将所述第二子开启信号传输至所述第二驱动子电路中的最后一级移位寄存器单元;

[0034] 每个所述第三虚设子电路均分别与所述第三子开启信号端和所述第三子时钟信号端连接,其中一个所述第三虚设子电路与所述第三驱动子电路中的第一级移位寄存器单元的输入端连接,用于在所述第三子开启信号和所述第三子时钟信号的驱动下,将所述第三子开启信号传输至所述第三驱动子电路中的第一级移位寄存器单元;另一个所述第三虚设子电路与所述第三驱动子电路中的最后一级移位寄存器单元的输入端连接,用于在所述第三子开启信号和所述第三子时钟信号的驱动下,将所述第三子开启信号传输至所述第三驱动子电路中的最后一级移位寄存器单元;

[0035] 每个所述第四虚设子电路均分别与所述第四子开启信号端和所述第四子时钟信号端连接,其中一个所述第四虚设子电路与所述第四驱动子电路中的第一级移位寄存器单元的输入端连接,用于在所述第四子开启信号和所述第四子时钟信号的驱动下,将所述第四子开启信号传输至所述第四驱动子电路中的第一级移位寄存器单元;另一个所述第四虚设子电路与所述第四驱动子电路中的最后一级移位寄存器单元的输入端连接,用于在所述第四子开启信号和所述第四子时钟信号的驱动下,将所述第四子开启信号传输至所述第四驱动子电路中的最后一级移位寄存器单元。

[0036] 又一方面,提供了一种显示装置,所述显示装置包括:显示面板,以及与所示显示面板连接的如上述方面所述的栅极驱动电路。

[0037] 可选的,所述显示装置还包括:第一控制电路和第二控制电路;

[0038] 所述第一控制电路分别与第一开启信号端和第一时钟信号端连接,所述第一控制电路用于为所述第一开启信号端和所述第一时钟信号端提供信号;

[0039] 所述第二控制电路分别与第二开启信号端和第二时钟信号端连接,所述第二控制电路用于为所述第二开启信号端和所述第二时钟信号端提供信号。

[0040] 可选的,所述第一控制电路和所述第二控制电路相对设置在所述显示面板的两侧,并且,所述第一控制子电路所在一侧的延伸方向和所述第二控制子电路所在一侧的延

伸方向,均与所示显示面板中的栅线的延伸方向平行。

[0041] 再一方面,提供了一种栅极驱动电路的驱动方法,应用于如上述方面所述的栅极驱动电路中,所述方法包括:

[0042] 第一驱动阶段,第一开启信号端提供的第一开启信号的电位,以及第一时钟信号端提供的第一时钟信号的电位均为第一电位,第一子电路组响应于所述第一开启信号和所述第一时钟信号,逐行驱动显示面板包括的N行像素中的第m行像素至第1行像素;

[0043] 第二驱动阶段,第二开启信号端提供的第二开启信号的电位,以及第二时钟信号端提供的第二时钟信号的电位均为第一电位,第二子电路组响应于所述第二开启信号和所述第二时钟信号,逐行驱动所述N行像素中的第m+1行像素至第N行像素;

[0044] 其中,所述第一开启信号的电位为第一电位的时刻与所述第二开启信号的电位为第一电位的时刻之间的时长,小于时钟信号的时钟周期,N为大于1的整数,m为大于1且小于N的整数。

[0045] 可选的,所述第一子电路组包括:第一驱动子电路和第二驱动子电路;所述第一开启信号端包括:第一子开启信号端和第二子开启信号端;所述第一时钟信号端包括:第一子时钟信号端和第二子时钟信号端;所述第一驱动阶段包括:

[0046] 第一子阶段,所述第一子开启信号端提供的第一子开启信号的电位,和所述第一子时钟信号端提供的第一子时钟信号的电位均为第一电位,所述第一驱动子电路响应于所述第一子开启信号和所述第一子时钟信号,逐行驱动所述第m行像素至第1行像素中的奇数行像素;

[0047] 第二子阶段,所述第二子开启信号端提供的第二子开启信号的电位,和所述第二子时钟信号端提供的第二子时钟信号的电位均为第一电位,所述第二驱动子电路响应于所述第二子开启信号和所述第二子时钟信号,逐行驱动所述第m行像素至第1行像素中的偶数行像素。

[0048] 可选的,所述第二子电路组包括:第三驱动子电路和第四驱动子电路;所述第二开启信号端包括:第三子开启信号端和第四子开启信号端;所述第二时钟信号端包括:第三子时钟信号端和第四子时钟信号端;所述第二驱动阶段包括:

[0049] 第三子阶段,所述第三子开启信号端提供的第三子开启信号的电位,和所述第三子时钟信号端提供的第三子时钟信号的电位均为第一电位,所述第三驱动子电路响应于所述第三子开启信号和所述第三子时钟信号,逐行驱动所述第m+1行像素至第N行像素中的奇数行像素;

[0050] 第四子阶段,所述第四子开启信号端提供的第四子开启信号的电位,和所述第四子时钟信号端提供的第四子时钟信号的电位均为第一电位,所述第四驱动子电路响应于所述第四子开启信号和所述第四子时钟信号,逐行驱动所述第m+1行像素至第N行像素中的偶数行像素。

[0051] 可选的,所述第一开启信号端包括:第一子开启信号端和第二子开启信号端;所述第一时钟信号端包括:第一子时钟信号端和第二子时钟信号端;

[0052] 所述第三子开启信号的电位、所述第四子开启信号的电位、所述第一子开启信号端提供的第一子开启信号的电位和所述第二子开启信号端提供的第二子开启信号的电位依次为第一电位,在所述第三子开启信号的电位为第一电位时,所述第三子时钟信号的电

位为第一电位,在所述第四子开启信号的电位为第一电位时,所述第四子时钟信号的电位为第一电位,在所述第一子开启信号的电位为第一电位时,所述第一子时钟信号端提供的第一子时钟信号的电位为第一电位,在所述第二子开启信号的电位为第一电位时,所述第二子时钟信号端提供的第二子时钟信号的电位为第一电位;

[0053] 所述第三子时钟信号、所述第四子时钟信号、所述第一子时钟信号和所述第二子时钟信号时钟周期相同,占空比均为1/4,且在每个所述时钟周期内,所述第三子时钟信号的电位、所述第四子时钟信号的电位、所述第一子时钟信号的电位和所述第二子时钟信号的电位依次为第一电位。

[0054] 本发明提供的技术方案带来的有益效果至少可以包括:

[0055] 本发明实施例提供了一种栅极驱动电路及其驱动方法、显示装置,该栅极驱动电路包括第一子电路组和第二子电路组。由于该第一子电路组可以逐行驱动显示面板的N行像素中的第m行至第1行像素;该第二子电路组可以逐行驱动第m+1行至第N行像素;且由于m大于1且小于N。因此该栅极驱动电路可以从显示面板的中间行像素开始依次向两边逐行驱动像素,使得位于显示面板中间区域的液晶分子可以偏转到指定状态,将可能出现拖影现象的区域分散至显示面板两端的边缘区域,确保中间区域不会出现拖影现象,改善了显示效果。

附图说明

[0056] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0057] 图1是本发明实施例提供的一种应用于显示面板中的栅极驱动电路的结构示意图;

[0058] 图2是本发明实施例提供的另一种应用于显示面板中的栅极驱动电路的结构示意图;

[0059] 图3是本发明实施例提供的又一种栅极驱动电路的结构示意图;

[0060] 图4是本发明实施例提供的再一种应用于显示面板中的栅极驱动电路的结构示意图;

[0061] 图5是本发明实施例提供的再一种应用于显示面板中的栅极驱动电路的结构示意图;

[0062] 图6是本发明实施例提供的再一种栅极驱动电路的结构示意图;

[0063] 图7是本发明实施例提供的一种显示装置的结构示意图;

[0064] 图8是本发明实施例提供的另一种显示装置的结构示意图;

[0065] 图9是本发明实施例提供的一种栅极驱动电路的驱动方法流程图;

[0066] 图10是本发明实施例提供的另一种栅极驱动电路的驱动方法流程图;

[0067] 图11是本发明实施例提供的又一种栅极驱动电路的驱动方法流程图;

[0068] 图12是本发明实施例提供的一种栅极驱动电路中各信号端的时序图。

具体实施方式

[0069] 为了使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明实施方式作进一步地详细描述。

[0070] 随着显示技术领域的发展,目前市场上出现了一系列不同类型的显示装置。例如,有机发光二极管(organic light emitting diode,OLED)显示装置和LCD装置。但是由于工艺条件的限制,显示装置的分辨率一般较低。当分辨率较低时,显示装置可能会出现纱窗问题(即人眼可能直接观察到显示面板内的像素点,像是隔着纱窗观看的问题)。因此,为了避免纱窗问题,LCD装置被广泛应用于显示领域中(例如,VR领域)。

[0071] 相关技术中,为了对LCD面板包括的N行像素中的像素电极充电,LCD装置中的栅极驱动电路一般包括N个级联的移位寄存器单元,每级移位寄存器单元可以与一行像素连接。在驱动LCD面板显示图像时,N个级联的移位寄存器单元可以从第一级移位寄存器单元开始逐级启动,进而可以从显示面板的第一行像素开始逐行驱动该N行像素。或者,N个级联的移位寄存器单元可以从最后一级移位寄存器单元开始逐级启动,进而可以从显示面板的最后一行像素开始逐行驱动该N行像素。

[0072] 但是,由于液晶分子响应时间较长的问题,位于LCD面板的首端或者末端的若干行像素中的液晶分子可能无法偏转到指定状态,导致LCD面板显示的画面产生拖影现象(即显示面板显示的画面存在黑色的横条纹)。当LCD面板的刷新率较高(即每秒屏幕刷新的次数较多)时,栅极驱动电路驱动N行像素的速度则较快,可能导致LCD面板中间的部分区域的液晶分子也无法偏转到指定状态,出现拖影现象,即导致中间的部分区域的显示效果较差。对于VR领域,由于用户的重点关注视野一般是在显示面板的中间区域,因此该拖影现象也会影响显示效果。

[0073] 本发明实施例提供了一种栅极驱动电路,可以在解决纱窗问题的前提下,解决拖影现象造成显示面板至少在中间区域显示效果较差的问题。图1是本发明实施例提供了一种栅极驱动电路的结构示意图,该栅极驱动电路100可以应用于显示面板(例如,液晶显示面板)200中。如图1所示,显示面板200可以包括N行像素01;栅极驱动电路100可以包括:第一子电路组10和第二子电路组20。

[0074] 参考图1,该第一子电路组10可以分别与第一开启信号端STV1、第一时钟信号端CLK1以及N行像素中第m行像素至第1行像素连接。第一子电路组10可以响应于第一开启信号端STV1提供的第一开启信号,和第一时钟信号端CLK1提供的第一时钟信号,逐行驱动第m行像素至第1行像素。

[0075] 示例的,该第一子电路组10可以在第一开启信号的电位为第一电位时启动,并可以将第一时钟信号逐行输出至第m行像素至第1行像素,即可以逐行驱动该第m行像素至第1行像素。在本发明实施例中,该第一电位可以为有效电位。

[0076] 参考图1,第二子电路组20可以分别与第二开启信号端STV2、第二时钟信号端CLK2以及N行像素中第m+1行至第N行像素连接。第二子电路组20可以响应于第二开启信号端STV2提供的第二开启信号,和第二时钟信号端CLK2提供的第二时钟信号,逐行驱动第m+1行像素至第N行像素。

[0077] 示例的,该第二子电路组20可以在第二开启信号的电位为第一电位时启动,并可以将第二时钟信号逐行输出至第m+1行像素至第N行像素,即可以逐行驱动该第m+1行像素

至第N行像素。

[0078] 其中,N可以为大于1的整数,m可以为大于1且小于N的整数。也即是,第一子电路组10可以从显示面板的中间行像素开始,向一边逐行驱动第m行像素至第1行像素(即N行像素中的前m行像素)。第二子电路组20可以从中间行像素开始,向另一边逐行驱动第m+1行像素至第N行像素(即N行像素中的后N-m行像素)。

[0079] 在本发明实施例中,该第一开启信号的电位为第一电位的时刻和第二开启信号的电位为第一电位的时刻之间的时长,可以小于时钟信号的时钟周期。相应的,第一子电路组10和第二子电路组20可以从位于显示面板中间的某行像素开始,依次交替向两边逐行驱动像素。也即是,当第一子电路组10驱动完前m行像素中的某行像素时,在一个时钟周期内,第二子电路组20可以开始驱动后N-m行像素中的某行像素。即第一子电路组10和第二子电路组20可以在每个时钟周期内交替驱动像素。

[0080] 当该第一开启信号和第二开启信号的时序不同时,栅极驱动电路的驱动顺序即可以不同。可选的,第一子电路组10和第二子电路组20中,其中一个子电路组可以先驱动一行像素,然后另一个子电路组再驱动一行像素,以此类推。或者,其中一个子电路组可以先逐行驱动两行像素,然后另一个子电路组再逐行驱动两行像素,以此类推。又或者,其中一个子电路组可以先驱动一行像素,然后另一个子电路组再逐行驱动两行像素,以此类推。再或者,其中一个子电路组可以先逐行驱动两行像素,然后另一个子电路组再驱动一行像素,以此类推。本发明实施例对该驱动方法不做限定。并且,第一子电路组10驱动完前m行像素所用的时长,和第二子电路组20驱动完后N-m行像素所用的时长可以相等或者相近(例如,时长之差可以小于一个时钟周期)。

[0081] 通过从显示面板的中间行像素开始,依次交替向两边逐行驱动像素,可以将液晶分子响应时间不足的区域分散至显示面板两边的边缘区域,确保位于中间区域的液晶分子可以偏转到指定状态,进而确保显示面板的中间区域不会出现拖影现象。对于VR领域而言,改善了用户使用VR头戴显示设备时的体验。

[0082] 综上所述,本发明实施例提供了一种栅极驱动电路,该栅极驱动电路包括第一子电路组和第二子电路组。由于该第一子电路组可以逐行驱动显示面板的N行像素中的第m行至第1行像素;该第二子电路组可以逐行驱动第m+1行至第N行像素;且由于m大于1且小于N。因此该栅极驱动电路可以从显示面板的中间行像素开始依次向两边逐行驱动像素,使得位于显示面板中间区域的液晶分子可以偏转到指定状态,将可能出现拖影现象的区域分散至显示面板两端的边缘区域,确保中间区域不会出现拖影现象,改善了显示效果。

[0083] 可选的,在本发明实施例中,当N为偶数时,m可以满足: $m=N/2$ 。相应的,第一子电路组10即可与显示面板包括的N行像素中的第N/2行像素至第1行像素(即前N/2行像素)连接;第二子电路组20即可与第N/2+1行像素至第N行像素(即后N/2行像素)连接。

[0084] 示例的,当N为1280时,该m即为640。相应的,该第一子电路组10即可与第640行像素至第1行像素(即前640行像素)连接,并从第640行像素开始,逐行驱动该第640行像素至第1行像素。该第二子电路组20即可与第641行像素至第1280行像素(即后640行像素)连接,并从第641行像素开始,逐行驱动该第641行像素至第1280行像素。

[0085] 可选的,在本发明实施例中,当N为奇数时,m可以满足: $m=\lceil N/2 \rceil$ 或 $m=\lfloor N/2 \rfloor$,

$\lceil \quad \rceil$ 表示向上取整, $\lfloor \quad \rfloor$ 表示向下取整。相应的,当 m 满足 $m = \lceil N/2 \rceil$ 时,该第一子电路组10即可与 N 行像素中的第 $\lceil N/2 \rceil$ 行像素至第1行像素连接;第二子电路组20即可与 N 行像素中的第 $\lceil N/2 \rceil + 1$ 行像素至第 N 行像素连接。当 m 满足 $m = \lfloor N/2 \rfloor$ 时,该第一子电路组10即可与 N 行像素中的第 $\lfloor N/2 \rfloor$ 行像素至第1行像素连接;第二子电路组20即可与 N 行像素中的第 $\lfloor N/2 \rfloor + 1$ 行像素至第 N 行像素连接

[0086] 示例的,假设 N 为1281, m 满足: $m = \lceil N/2 \rceil$,则该 m 即为641。相应的,该第一子电路组10即可以与第641行像素至第1行像素连接,并从第641行像素开始,逐行驱动该第641行像素至第1行像素。该第二子电路组20即可以与第642行像素至第1281行像素连接,并从第642行像素开始,逐行驱动该第642行像素至第1281行像素。假设 N 为1281, m 满足 $m = \lfloor N/2 \rfloor$,则该 m 即为640,该第一子电路组10即可与第640行像素至第1行像素连接,并从第640行像素开始,逐行驱动该第640行像素至第1行像素。该第二子电路组20可以与第641行像素至第1281行像素连接,并从第641行像素开始,逐行驱动该第641行像素至第1281行像素。

[0087] 通过在 N 为偶数时,设置 m 满足 $m = N/2$;在 N 为奇数时,设置 m 满足: $m = \lceil N/2 \rceil$ 或 $m = \lfloor N/2 \rfloor$ 。可以使得栅极驱动电路从位于显示面板正中间的某行像素开始向两边逐行驱动像素,进一步确保了位于中间区域的液晶分子可以偏转到指定状态,进而确保了中间区域不会出现拖影现象,对于VR领域而言,进一步改善了用户体验。

[0088] 图2是本发明实施例提供的另一种栅极驱动电路的结构示意图。如图2所示,该第一子电路组10可以包括:第一驱动子电路101和第二驱动子电路102。该第一开启信号端STV1包括:第一子开启信号端STV10和第二子开启信号端STV11;该第一时钟信号端CLK1可以包括:第一子时钟信号端CLK10和第二子时钟信号端CLK11。

[0089] 参考图2,该第一驱动子电路101可以分别与第一子开启信号端STV10、第一子时钟信号端CLK10以及该第 m 行像素至第1行像素中的奇数行像素连接。该第一驱动子电路101可以响应于第一子开启信号端STV10提供的第一子开启信号,和第一子时钟信号端CLK10提供的第一子时钟信号,逐行驱动第 m 行像素至第1行像素中的奇数行像素。

[0090] 其中,该第一驱动子电路101可以包括多个级联的移位寄存器单元,该移位寄存器单元也可以称为阵列基板行驱动(gate driver on array,GOA)单元。该多个级联的GOA单元中的第一级GOA单元或者最后一级GOA单元的输入端可以与第一子开启信号端STV10连接。该第一级GOA单元或者最后一级GOA单元可以在第一子开启信号端STV10提供的第一子开启信号的电位为第一电位时启动,从而可以驱动其所连接的一行像素,并可以逐级驱动其他级移位寄存器单元依次启动。

[0091] 示例的,假设 N 为1280, m 满足: $m = N/2$,则 m 即为640。该第一驱动子电路101可以与该第640行像素至第1行像素中的奇数行像素连接。该第一驱动子电路101可以在第一子开启信号的电位为第一电位时启动,并可以将第一子时钟信号逐行输出至该第640行像素至第1行像素中的奇数行像素,即可以逐行驱动该第640行像素至第1行像素中的奇数行像素。

[0092] 参考图2,该第二驱动子电路102可以分别与第二子开启信号端STV11、第二子时钟信号端CLK11以及该第 m 行像素至第1行像素中的偶数行像素连接。该第二驱动子电路102可

以响应于第二子开启信号端STV11提供的第二子开启信号,和第二子时钟信号端CLK11提供的第二子时钟信号,逐行驱动第m行像素至第1行像素中的偶数行像素。

[0093] 其中,该第二驱动子电路102也可以包括多个级联的GOA单元。其中,第一级GOA单元或者最后一级GOA单元的输入端可以与第二子开启信号端STV11连接。该第一级GOA单元或者最后一级GOA单元可以在第二子开启信号端STV11提供的第二子开启信号的电位为第一电位时启动,从而可以驱动其所连接的一行像素,并可以逐级驱动其他级移位寄存器单元依次启动。

[0094] 示例的,假设m为640,则该第二驱动子电路102可以与该第640行像素至第1行像素中的偶数行像素连接。该第二驱动子电路102可以在第二子开启信号的电位为第一电位时启动,并可以将第二子时钟信号逐行输出至该第640行像素至第1行像素中的偶数行像素,即可以逐行驱动第640行像素至第1行像素中的偶数行像素。

[0095] 在本发明实施例中,该第一子时钟信号的时钟周期和第二子时钟信号的时钟周期相同,例如,该时钟周期可以为四分之一。该第一子开启信号的电位为第一电位的时刻,与该第二子开启信号的电位为第一电位的时刻之间时长,可以小于该时钟周期。相应的,该第一驱动子电路101和第二驱动子电路102可以交替逐行驱动前m行像素。也即是,当第一驱动子电路101驱动完前m行像素中的某奇数行像素时,在一个时钟周期内,第二驱动子电路102可以开始驱动与该奇数行像素相邻且位于该奇数行之后的偶数行像素。即在每个时钟周期内,第一驱动子电路101和第二驱动子电路102可以依次驱动前m行像素。并且,在每个时钟周期内,在该第二驱动子电路102驱动完偶数行像素后,第二子电路组20可以开始驱动后N-m行像素中的一行或者两行像素。

[0096] 示例的,假设在一个时钟周期内,第一子开启信号的电位、第二子开启信号的电位以及第二开启信号的电位依次为第一电位。则第一驱动子电路101可以先启动,并驱动前m行像素中的第m-1行像素。然后在第一驱动子电路101驱动完该第m-1行像素时,第二驱动子电路102可以启动,并开始驱动第m-1行像素。在第二驱动子电路102驱动完第m行像素时,第二子电路组20可以启动,并开始驱动后N-m行像素中的一行或者两行像素。之后,每个驱动子电路中与的多级GOA单元可以依次逐级开启,并按照第一驱动子电路101、第二驱动子电路102和第二子电路组20的驱动顺序驱动该N行像素。

[0097] 通过设置第一驱动子电路101和第二驱动子电路102,使得第一子电路组10在一个时钟周期内依次驱动前m行像素中的奇数行像素和偶数行像素,可以进一步确保前m行像素中位于中间区域的像素中的液晶分子可以偏转到指定状态。进一步保证了中间区域的显示效果,且还丰富了栅极驱动电路的驱动方法。

[0098] 可选的,当该第一子开启信号、第二子开启信号和第二开启信号的时序发生变化时,第一驱动子电路101、第二驱动子电路102和第二子电路组20的启动顺序即会发生变化,相应的,栅极驱动电路驱动像素的顺序也会发生变化。

[0099] 图3是本发明实施例提供的又一种栅极驱动电路的结构示意图。如图3所示,该第一驱动子电路101和第二驱动子电路102均包括级联的至少两个GOA单元。每级移位寄存器单元可以与一行像素(图3中未示出)连接。可选的,参考图3,该第一子电路组10还可以包括:两个第一虚设子电路103和两个第二虚设子电路104。该第一虚设子电路103和第二虚设子电路104也可以称为虚设(Dummy)移位寄存器单元,即Dummy GOA单元。

[0100] 每个第一虚设子电路103可以分别与第一子开启信号端STV10和第一子时钟信号端CLK10连接,其中一个第一虚设子电路103还可以与第一驱动子电路101中的第一级移位寄存器单元GOA(1)的输入端连接,可以在第一子开启信号和第一子时钟信号的驱动下,将第一子开启信号传输至第一驱动子电路101中的第一级移位寄存器单元GOA(1)。另一个第一虚设子电路103还可以与第一驱动子电路101中的最后一级移位寄存器单元GOA(m)的输入端连接,可以在第一子开启信号和第一子时钟信号的驱动下,将第一子开启信号传输至第一驱动子电路101中的最后一级移位寄存器单元GOA(m)。

[0101] 示例的,与第一级移位寄存器单元GOA(1)连接的第一虚设子电路103可以在第一子开启信号的电位为第一电位时启动,并将第一子开启信号传输至该第一级移位寄存器单元GOA(1)。或者,与最后一级移位寄存器单元GOA(m)连接的第一虚设子电路103可以在第一子开启信号的电位为第一电位时启动,并将第一子开启信号传输至该最后一级移位寄存器单元GOA(m)。

[0102] 每个第二虚设子电路104可以分别与第二子开启信号端STV11和第二子时钟信号端CLK11连接,其中一个第二虚设子电路104可以与该第二驱动子电路102中的第一级移位寄存器单元GOA(1)的输入端连接,可以在第二子开启信号和第二子时钟信号的驱动下,将第二子开启信号传输至第二驱动子电路102中的第一级移位寄存器单元GOA(1)。另一个第二虚设子电路104可以与该第二驱动子电路102中的最后一级移位寄存器单元GOA(m)的输入端连接,可以在第二子开启信号和第二子时钟信号的驱动下,将第二子开启信号传输至第二驱动子电路102中的最后一级移位寄存器单元GOA(m)。

[0103] 示例的,与第一级移位寄存器单元GOA(1)连接的第二虚设子电路104可以在第二子开启信号的电位为第一电位时启动,将第二子开启信号传输至该第一级移位寄存器单元GOA(1)。或者,与最后一级移位寄存器单元GOA(m)连接的第二虚设子电路104可以在第二子开启信号的电位为第一电位时启动,并将第二子开启信号传输至该最后一级移位寄存器单元GOA(m)。

[0104] 图4是本发明实施例提供的再一种栅极驱动电路的结构示意图。图5是本发明实施例提供的再一种栅极驱动电路的结构示意图。如图4和图5所示,该第二子电路组20还可以包括:第三驱动子电路201和第四驱动子电路202。第二开启信号端STV2可以包括:第三子开启信号端STV20和第四子开启信号端STV21,第二时钟信号端CLK2可以包括:第三子时钟信号端CLK20和第四子时钟信号端CLK21。

[0105] 参考图4和图5,该第三驱动子电路201可以分别与第三子开启信号端STV20、第三子时钟信号端CLK20以及第m+1行像素至第N行像素中的奇数行像素连接。该第三驱动子电路201可以响应于第三子开启信号端STV20提供的第三子开启信号,和第三子时钟信号端CLK20提供的第三子时钟信号,逐行驱动第m+1行像素至第N行像素中的奇数行像素。

[0106] 其中,该第三驱动子电路201也可以包括多个级联的GOA单元。其中,第一级GOA单元或者最后一级GOA单元的输入端可以与第三子开启信号端STV20连接。该第一级GOA单元或者最后一级GOA单元可以在第三子开启信号端STV20提供的第三子开启信号的电位为第一电位时启动,从而可以驱动其所连接的一行像素,并可以逐级驱动其他级移位寄存器单元依次启动。

[0107] 示例的,假设N为1280,m满足: $m=N/2$,则m即为640。该第三驱动子电路101可以与

该第641行像素至第1280行像素中的奇数行像素连接。该第三驱动子电路201可以在第三子开启信号的电位为第一电位时启动,并可以将该第三子时钟信号逐行输出至该641行像素至第1280行像素中的奇数行像素,即可以逐行驱动该第641行像素至第1280行像素中的奇数行像素。

[0108] 参考图4和图5,该第四驱动子电路202可以分别与第四子开启信号端STV21、第四子时钟信号端CLK21以及第 $m+1$ 行像素至第 N 行像素中的偶数行像素连接。该第四驱动子电路202可以响应于第四子开启信号端STV21提供的第四子开启信号,和第四子时钟信号端CLK21提供的第四子时钟信号,逐行驱动第 $m+1$ 行像素至第 N 行像素中的偶数行像素。

[0109] 其中,该第四驱动子电路202也可以包括多个级联的GOA单元。其中,第一级GOA单元或者最后一级GOA单元的输入端可以与第四子开启信号端STV21连接。该第一级GOA单元或者最后一级GOA单元可以在第四子开启信号端STV21提供的第四子开启信号的电位为第一电位时启动,从而可以驱动其所连接的一行像素,并可以逐级驱动其他级移位寄存器单元依次启动。

[0110] 示例的,假设 N 为1280, m 满足: $m=N/2$,则 m 即为640。该第四驱动子电路202可以与该第641行像素至第1280行像素中的偶数行像素连接。该第四驱动子电路202可以在第四子开启信号的电位为第一电位时启动,并可以将该第四子时钟信号逐行输出至该641行像素至第1280行像素中的偶数行像素,即可以逐行驱动该第641行像素至第1280行像素中的偶数行像素。

[0111] 在本发明实施例中,该第三子时钟信号的时钟周期和第四子时钟信号的时钟周期相同,例如,该时钟周期可以为四分之一。该第三子开启信号的电位为第一电位的时刻,与该第四子开启信号的电位为第一电位的时刻之间时长,可以小于该钟周期。相应的,该第三驱动子电路201和第四驱动子电路202可以交替逐行驱动后 $N-m$ 行像素。也即是,当第三驱动子电路201在驱动完后 $N-m$ 行像素中的某奇数行像素时,在一个时钟周期内,第四驱动子电路202可以开始驱动与该奇数行像素相邻且位于该奇数行之后的偶数行像素。即第三驱动子电路201和第四驱动子电路202可以依次驱动后 $N-m$ 行像素。并且,在该一个时钟周期内,在该第四驱动子电路202驱动完偶数行像素后,第一子电路组20可以开始驱动前 m 行像素中的一行像素或者两行像素。

[0112] 示例的,假设如图5所示,该第一子电路组10包括:第一驱动子电路101和第二驱动子电路102,第二子电路组20包括:第三驱动子电路201和第四驱动子电路202。且在一个时钟周期内,第三子开启信号的电位、第四子开启信号的电位、第一子开启信号的电位和第二子开启信号的电位依次为第一电位。则在一个时钟周期内,第三驱动子电路201可以先启动,并驱动后 $N-m$ 行像素中的第 $m+1$ 行像素;在第三驱动子电路201驱动完成后,第四驱动子电路202可以启动,并开始驱动后 $N-m$ 行像素中的第 $m+2$ 行像素;然后在第四驱动子电路202驱动完成后,第一驱动子电路101可以启动,并开始驱动前 m 行像素中的第 $m-1$ 行像素;最后在第二驱动子电路102驱动完成后,第二驱动子电路102可以启动,并开始驱动前 m 行像素中的第 m 行像素。之后,每个驱动子电路中与的多级GOA单元可以依次逐级开启,并按照第三驱动子电路201、第四驱动子电路202、第一驱动子电路101和第二驱动子电路102的驱动顺序驱动该 N 行像素。

[0113] 通过设置第一驱动子电路101、第二驱动子电路102、第三驱动子电路201和第四驱

动子电路202,使得栅极驱动电路在一个时钟周期内依次驱动前 m 行像素中的奇数行像素和偶数行像素,以及后 $N-m$ 行像素中的奇数行像素和偶数行像素,可以进一步确保位于中间区域的像素的液晶分子均可以偏转至指定状态,进一步保证了中间区域的显示效果,且还丰富了栅极驱动电路的驱动方法。

[0114] 可选的,当第一子开启信号、第二子开启信号、第三子开启信号和第四子开启信号的时序发生变化时,第一驱动子电路101、第二驱动子电路102、第三驱动子电路201和第四驱动子电路202的启动顺序则会发生变化,相应的,栅极驱动电路驱动像素的顺序也会发生变化。

[0115] 图6是本发明实施例提供的又一种栅极驱动电路的结构示意图。如图6所示,该第三驱动子电路201和第四驱动子电路202可以均包括级联的至少两个移位寄存器单元。每级移位寄存器单元可以与一行像素(图6中未示出)连接。可选的,参考图6,该第二子电路组20还可以包括:两个第三虚设子电路203和两个第四虚设子电路204。该第三虚设子电路203和第四虚设子电路204也可以均称为Dummy GOA。

[0116] 每个第三虚设子电路203可以分别与第三子开启信号端STV20和第三子时钟信号端CLK20连接,其中一个第三虚设子电路203还可以与第三驱动子电路201中的第一级移位寄存器单元GOA(1)的输入端连接,可以在第三子开启信号和第三子时钟信号的驱动下,将第三子开启信号传输至第三驱动子电路201中的第一级移位寄存器单元GOA(1)。另一个第三虚设子电路203可以与第三驱动子电路201中的最后一级移位寄存器单元GOA(m)的输入端连接,可以在第三子开启信号和第三子时钟信号的驱动下,将第三子开启信号传输至第三驱动子电路201中的最后一级移位寄存器单元GOA(m)。

[0117] 示例的,与第一级移位寄存器单元GOA(1)连接的第三虚设子电路203可以在第三子开启信号的电位为第一电位时启动,并将第三子开启信号传输至该第一级移位寄存器单元GOA(1)。或者,与最后一级移位寄存器单元GOA(m)连接的第三虚设子电路203可以在第三子开启信号的电位为第一电位时启动,并将第三子开启信号传输至该最后一级移位寄存器单元GOA(m)。

[0118] 每个第四虚设子电路204可以分别与第四子开启信号端STV21和第四子时钟信号端CLK21连接,其中一个第四虚设子电路204还可以与第四驱动子电路202中的第一级移位寄存器单元GOA(1)的输入端连接,可以在第四子开启信号和第四子时钟信号的驱动下,将第四子开启信号传输至第四驱动子电路202中的第一级移位寄存器单元GOA(1)。另一个第四虚设子电路204还可以与第四驱动子电路202中的最后一级移位寄存器单元GOA(m)的输入端连接,可以在第四子开启信号和第四子时钟信号的驱动下,将第四子开启信号传输至第四驱动子电路202中的最后一级移位寄存器单元GOA(m)。

[0119] 示例的,与第一级移位寄存器单元GOA(1)连接的第四虚设子电路204可以在第四子开启信号的电位为第一电位时启动,并将第四子开启信号传输至该第一级移位寄存器单元GOA(1)。或者,与最后一级移位寄存器单元GOA(m)连接的第四虚设子电路204可以在第四子开启信号的电位为第一电位时启动,并将第四子开启信号传输至该最后一级移位寄存器单元GOA(m)。

[0120] 需要说明的是,本发明实施例提供的第一虚设子电路103、第二虚设子电路104、第三虚设子电路203和第四虚设子电路204(即Dummy GOA单元)均不与像素行连接,且该Dummy

GOA单元的内部结构和驱动子电路包括的GOA单元的内部结构均相同。由于直接将子开启信号传输至与像素行连接的GOA单元中,可能会造成信号不稳定带来的驱动像素时不可靠的问题。因此通过设置虚设子电路将子开启信号传输至驱动子电路中,可以提高输出至驱动子电路的子开启信号的稳定性,进而可以提高驱动子电路驱动像素行时的可靠性。

[0121] 还需要说明的是,驱动子电路中包括的每级移位寄存器单元可以均包括:输入模块和复位模块。每级移位寄存器单元的输入模块可以分别与第一控制信号端CN和输入信号端(即子开启信号端或上一级移位寄存器单元的输出端)连接。复位模块可以分别与第二控制信号端CNB和复位信号端(即子开启信号端或下一级移位寄存器单元的输出端)连接。第一控制信号端CN提供的第一控制信号的电位,与第二控制信号端CNB提供的第二控制信号的电位可以互补,即其中一个控制信号的电位为高电位,另一个控制信号的电位为低电位。

[0122] 移位寄存器单元可以在第一控制信号端CN提供的第一控制信号的电位为第一电位时启动,或者可以在第二控制信号端CNB提供的第二控制信号的电位为第一电位时启动。因此,在本发明实施例中,可以通过调节第一控制信号的电位和第二控制信号的电位,来控制驱动子电路中第一个启动的移位寄存器单元。例如,在第一控制信号端CN输出的第一控制信号的电位为第一电位,第二控制信号端CNB输出的第二控制信号的电位为第二电位时,该驱动子电路中的各级移位寄存器单元可以从第一级移位寄存器单元开始依次启动,由此可以实现正向扫描。在第一控制信号端CN输出的第一控制信号的电位为第二电位,第二控制信号端CNB输出的第二控制信号的电位为第一电位时,该驱动子电路中的各级移位寄存器单元可以从最后一级移位寄存器单元开始依次启动,由此可以实现反向扫描。

[0123] 可选的,当该第一子电路组10包括第一驱动子电路101和第二驱动子电路102,该第二子电路组20包括第三驱动子电路201和第四驱动子电路202时。如图6所示,该第一驱动子电路101和第二驱动子电路102可以相对设置在显示面板200的两侧,该第三驱动子电路201和第四驱动子电路202也可以相对设置在显示面板200的两侧。

[0124] 并且,参考图6,该第一驱动子电路101和第三驱动子电路201所在一侧的延伸方向X1,以及第二驱动子电路102和第四驱动子电路202所在一侧的延伸方向X2,均与显示面板200中的栅线的延伸方向L垂直。

[0125] 通过将每个子电路组包括的两个驱动子电路相对设置在显示面板的两侧,且设置在所在侧延伸方向与栅线的延伸方向垂直的一侧,可以实现合理利用显示面板空间的效果,避免造成显示面板面积较大的问题,有利于窄边框的实现。

[0126] 综上所述,本发明实施例提供了一种栅极驱动电路,该栅极驱动电路包括第一子电路组和第二子电路组。由于该第一子电路组可以逐行驱动显示面板的N行像素中的第m行至第1行像素;该第二子电路组可以逐行驱动第m+1行至第N行像素;且由于m大于1且小于N。因此该栅极驱动电路可以从显示面板的中间行像素开始依次向两边逐行驱动像素,使得位于显示面板中间区域的液晶分子可以偏转到指定状态,将可能出现拖影现象的区域分散至显示面板两端的边缘区域,确保中间区域不会出现拖影现象,改善了显示效果。

[0127] 图7是本发明实施例提供的一种显示装置的结构示意图。如图7所示,该显示装置可以包括:显示面板200以及与显示面板200连接的如图1至图6任一所示的栅极驱动电路100。

[0128] 其中,如图1至图6所示,该栅极驱动电路100可以包括第一子电路组10和第二子电

路组20。该第一子电路组10可以逐行驱动显示面板包括的N行像素中,第m行像素至第1行像素;该第二子电路组20可以逐行驱动第m+1行像素至第N行像素。且该第一子电路组10和第二子电路组20可以从中间行像素开始,交替向两边逐行驱动像素。也即是,在一个时钟周期内,栅极驱动电路可以驱动前m行像素中的一行或两行像素,以及可以驱动后N-m行像素中的一行或两行像素,以此类推。并且,第一子电路组10驱动完前m行像素所用的时长,和第二子电路组20驱动完后N-m行像素所用的时长可以相等或者相近(例如,时长之差可以小于一个时钟周期),确保了位于中间区域的液晶分子可以偏转至指定状态,进而保证了中间区域的显示效果。

[0129] 可选的,图8是本发明实施例提供的一种显示装置的结构示意图。如图8所示,该显示装置还可以包括:第一控制电路02和第二控制电路03。

[0130] 该第一控制电路02可以分别与第一开启信号端STV1(即第一子开启信号端STV10和第二子开启信号端STV11)和第一时钟信号端CLK1(即第一子时钟信号端CLK10和第二子时钟信号端CLK11)连接。该第一控制电路02可以为第一开启信号端STV1和第一时钟信号端CLK1提供信号。该第二控制电路03可以分别与第二开启信号端STV2(即第三子开启信号端STV20和第四子开启信号端STV12)和第二时钟信号端CLK2(即第三子时钟信号端CLK20和第四子时钟信号端CLK21)连接。该第二控制电路03可以为第二开启信号端STV2和第二时钟信号端CLK2提供信号。

[0131] 可选的,参考图8,该第一控制电路02和第二控制电路03可以相对设置在显示面板200的两侧。并且,该第一控制子电路02所在一侧的延伸方向和第二控制子电路03所在一侧的延伸方向,均与显示面板200中的栅线的延伸方向平行。通过将两个控制子电路组相对设置在显示面板的两侧,且设置在所在侧延伸方向与栅线的延伸方向平行的一侧,可以达到合理利用显示面板空间的效果,避免造成显示面板面积较大的问题,有利于窄边框的实现。

[0132] 需要说明的是,该显示装置还可以仅包括一个控制电路。相应的,该一个控制电路即可分别与第一开启信号端STV1、第一时钟信号端CLK1、第二开启信号端STV2和第二时钟信号端CLK2连接。该控制电路可以为该第一开启信号端STV1、第一时钟信号端CLK1、第二开启信号端STV2和第二时钟信号端CLK2均提供信号。可选的,该显示装置可以为:液晶面板、手机、平板电脑、电视机、显示器、笔记本电脑、导航仪等任何具有显示功能的产品或部件。

[0133] 综上所述,本发明实施例提供了一种显示装置。由于该显示装置包括的栅极驱动电路可以从显示面板的中间行开始依次交替向两边逐行驱动像素,使得位于显示面板中间区域的液晶分子可以偏转到指定状态,将可能出现拖影现象的区域分散至显示面板两端的边缘区域,确保了中间区域不会出现拖影现象,改善了显示效果。

[0134] 图9是本发明实施例提供的一种栅极驱动电路的驱动方法流程图,该方法可以应用于如图1至图6任一所示的栅极驱动电路中。如图9所示,该方法可以包括:

[0135] 步骤901、第一驱动阶段,第一开启信号端提供的第一开启信号的电位,以及第一时钟信号端提供的第一时钟信号的电位均为第一电位,该第一子电路组响应于第一开启信号和第一时钟信号,逐行驱动显示面板包括的N行像素中的第m行像素至第1行像素。

[0136] 步骤902、第二驱动阶段,第二开启信号端提供的第二开启信号的电位,以及第二时钟信号端提供的第二时钟信号的电位均为第一电位,第二子电路组响应于第二开启信号和第二时钟信号,逐行驱动N行像素中的第m+1行像素至第N行像素。

[0137] 其中,第一开启信号的电位为第一电位的时刻与第二开启信号的电位为第一电位的时刻之间的时长,小于时钟信号的时钟周期, N 为大于1的整数, m 为大于1且小于 N 的整数。也即是,第一子电路组可以从显示面板的中间行开始,依次向两边逐行驱动像素。

[0138] 另外,由于第一开启信号的电位为第一电位的时刻与第二开启信号的电位为第一电位的时刻之间的时长小于时钟信号的时钟周期,因此第一子电路组10和第二子电路组20可以从位于显示面板中间的某行像素开始,依次交替向两边逐行驱动像素。也即是,当第一子电路组驱动完前 m 行像素中的某行像素时,在一个时钟周期内,第二子电路组可以开始驱动后 $N-m$ 行像素中的某行像素,即在每个时钟周期内,第一子电路组10和第二子电路组20可以交替驱动像素。

[0139] 并且,当该第一开启信号和第二开启信号的时序不同时,栅极驱动电路的驱动顺序即可以不同。可选的,第一子电路组10和第二子电路组20中,其中一个子电路组可以先驱动一行像素,然后另一个子电路组再驱动一行像素,以此类推。或者,其中一个子电路组可以先逐行驱动两行像素,然后另一个子电路组再逐行驱动两行像素,以此类推。又或者,其中一个子电路组可以先驱动一行像素,然后另一个子电路组再逐行驱动两行像素,以此类推。再或者,其中一个子电路组可以先逐行驱动两行像素,然后另一个子电路组再驱动一行像素,以此类推。本发明实施例对该驱动方法不做限定。并且,第一子电路组10驱动完前 m 行像素所用的时长,和第二子电路组20驱动完后 $N-m$ 行像素所用的时长可以相等或者相近(例如,时长之差可以小于一个时钟周期)。

[0140] 通过从显示面板的中间行像素开始,依次交替向两边逐行驱动像素,可以使得将液晶分子响应时间不足的区域分散至两边的边缘区域,确保位于中间区域的液晶分子可以偏转到指定状态,进而确保显示面板的中间区域不会出现拖影现象。对于VR领域而言,改善了用户使用VR头戴显示设备时的体验。

[0141] 综上所述,本发明实施例提供了一种栅极驱动电路的驱动方法。由于栅极驱动电路包括的第一子电路组可以逐行驱动显示面板的 N 行像素中的第 m 行至第1行像素;该第二子电路组可以逐行驱动第 $m+1$ 行至第 N 行像素;且由于 m 大于1且小于 N 。因此该栅极驱动电路可以从显示面板的中间行像素开始依次向两边逐行驱动像素,使得位于显示面板中间区域的液晶分子可以偏转到指定状态,将可能出现拖影现象的区域分散至显示面板两端的边缘区域,确保中间区域不会出现拖影现象,改善了显示效果。

[0142] 可选的,如图2、图3、图5和图6所示,该第一子电路组10包括:第一驱动子电路101和第二驱动子电路102。该第一开启信号端STV1包括:第一子开启信号端STV10和第二子开启信号端STV11;该第一时钟信号端CLK1包括:第一子时钟信号端CLK10和第二子时钟信号端CLK11。相应的,如图10所示,上述步骤901可以包括(即该第一驱动阶段可以包括):

[0143] 步骤9011、第一子阶段,第一子开启信号端提供的第一子开启信号的电位,和第一子时钟信号端提供的第一子时钟信号的电位均为第一电位,第一驱动子电路响应于第一子开启信号和第一子时钟信号,逐行驱动第 m 行像素至第1行像素中的奇数行像素。

[0144] 示例的,在第一子阶段,第一驱动子电路101中的第一级GOA单元可以在该第一子开启信号的驱动下启动,并可以将处于第一电位的第一子时钟信号输出至与该第一级GOA单元连接的一行像素(即第 $m-1$ 行像素),进而驱动该第 $m-1$ 行像素。之后,与该第一级GOA单元级联的其他级GOA单元可以依次逐级开启,并将处于第一电位的第一子时钟信号逐行输

出至对应连接的一行像素,从而逐行驱动第m行像素至第1行像素中的其余奇数行像素。

[0145] 步骤9012、第二子阶段,第二子开启信号端提供的第二子开启信号的电位,和第二子时钟信号端提供的第二子时钟信号的电位均为第一电位,第二驱动子电路响应于第二子开启信号和第二子时钟信号,逐行驱动第m行像素至第1行像素中的偶数行像素。

[0146] 示例的,在第二子阶段,第二驱动子电路102中的第一级GOA单元可以在该第二子开启信号的驱动下启动,并可以将处于第一电位的第二子时钟信号输出至与该第一级GOA单元连接的一行像素(即第m行像素),进而驱动该第m行像素。之后,与该第一级GOA单元级联的其他级GOA单元可以依次逐级开启,并将处于第一电位的第二子时钟信号逐行输出至对应连接的一行像素,从而逐行驱动第m行像素至第1行像素中的其余偶数行像素。

[0147] 在本发明实施例中,该第一子时钟信号和第二子时钟信号的时钟周期相同,例如,该时钟周期可以为四分之一。该第一子开启信号的电位为第一电位的时刻,与该第二子开启信号的电位为第一电位的时刻之间时长,可以小于该时钟周期。相应的,当第一驱动子电路101驱动完前m行像素中的某奇数行像素时,在一个时钟周期内,第二驱动子电路102可以驱动与该奇数行像素相邻且位于该奇数行之后的偶数行像素。即第一驱动子电路101和第二驱动子电路102可以依次驱动前m行像素(即依次执行第一子阶段和第二子阶段)。并且,在一个时钟周期内,在该第二驱动子电路102驱动完偶数行像素后,第二子电路组20可以开始驱动后N-m行像素中的一行或者两行像素。

[0148] 可选的,当在一个时钟周期内,第一子开启信号、第二子开启信号和第二子开启信号的时序发生变化时,第一驱动子电路101、第二驱动子电路102和第二子电路组20的启动顺序即会发生变化,相应的,该栅极驱动电路驱动像素的驱动顺序也会发生变化。通过在一个时钟周期内依次驱动前m行像素中的奇数行像素和偶数行像素,可以进一步确保前m行像素中位于中间区域的像素中的液晶分子可以偏转到指定状态。进一步保证了中间区域的显示效果,且还丰富了栅极驱动电路的驱动方法。

[0149] 可选的,如图4至图6所示,该第二子电路组20包括:第三驱动子电路201和第四驱动子电路202。该第二开启信号端STV2包括:第三子开启信号端STV20和第四子开启信号端STV21;该第二时钟信号端CLK2包括:第三子时钟信号端CLK20和第四子时钟信号端CLK21。相应的,如图11所示,上述步骤902可以包括(即该第二驱动阶段可以包括):

[0150] 步骤9021、第三子阶段,第三子开启信号端提供的第三子开启信号的电位,和第三子时钟信号端提供的第三子时钟信号的电位均为第一电位,第三驱动子电路响应于第三子开启信号和第三子时钟信号,逐行驱动第m+1行像素至第N行像素中的奇数行像素。

[0151] 示例的,在第三子阶段,第三驱动子电路201中的第一级GOA单元可以在该第三子开启信号的驱动下启动,并可以将处于第一电位的第三子时钟信号输出至与该第一级GOA单元连接的一行像素(即第m+1行像素),进而驱动该第m+1行像素。之后,与该第一级GOA单元级联的其他级GOA单元可以依次逐级开启,并将处于第一电位的第三子时钟信号逐行输出至对应连接的一行像素,从而逐行驱动第m+1行像素至第N行像素中的其余奇数行像素。

[0152] 步骤9022、第四子阶段,第四子开启信号端提供的第四子开启信号的电位,和第四子时钟信号端提供的第四子时钟信号的电位均为第一电位,第四驱动子电路响应于第四子开启信号和第四子时钟信号,逐行驱动第m+1行像素至第N行像素中的偶数行像素。

[0153] 示例的,在第四子阶段,第四驱动子电路202中的第一级GOA单元可以在该第四子

开启信号的驱动下启动,并可以将处于第一电位的第四子时钟信号输出至与该第一级GOA单元连接的一行像素(即第 $m+2$ 行像素),进而驱动该第 $m+2$ 行像素。之后,与该第一级GOA单元级联的其他级GOA单元可以依次逐级开启,并将处于第一电位的第四子时钟信号逐行输出至对应连接的一行像素,从而逐行驱动第 $m+1$ 行像素至第 N 行像素中的其余偶数行像素。

[0154] 在本发明实施例中,该第三子时钟信号和第四子时钟信号的时钟周期相同,例如,该时钟周期可以为四分之一。该第三子开启信号的电位为第一电位的时刻,与该第四子开启信号的电位为第一电位的时刻之间时长,可以小于该时钟周期。相应的,该第三驱动子电路201和第四驱动子电路202可以交替逐行驱动后 $N-m$ 行像素。也即是,当第三驱动子电路201在驱动完后 $N-m$ 行像素中的某奇数行像素时,在一个时钟周期内,第四驱动子电路202可以驱动与该奇数行像素相邻且位于该奇数行之后的偶数行像素。即第三驱动子电路201和第四驱动子电路202可以依次驱动后 $N-m$ 行像素。并且,在该一个时钟周期内,在该第四驱动子电路202驱动完偶数行像素后,第一子电路组20可以驱动前 m 行像素中的一行像素或者两行像素。

[0155] 可选的,当在一个时钟周期内,第一开启信号、第三子开启信号和第四子开启信号的时序发生变化时,第三驱动子电路201、第四驱动子电路202和第一子电路组10的启动顺序即会发生变化,相应的,该栅极驱动电路驱动像素的驱动顺序也会发生变化。通过在一个时钟周期内依次驱动后 $N-m$ 行像素中的奇数行像素和偶数行像素,可以进一步确保后 m 行像素中位于中间区域的像素中的液晶分子可以偏转到指定状态。进一步保证了中间区域的显示效果,且还丰富了栅极驱动电路的驱动方法。

[0156] 可选的,图12是本发明实施例以图6示出的栅极驱动电路为例,示出的一种栅极驱动电路中各个信号端的时序图。如图12所示,第三子开启信号端STV20提供的第三子开启信号的电位、第四子开启信号端STV21提供的第四子开启信号的电位、第一子开启信号端STV10提供的第一子开启信号的电位和第二子开启信号端STV11提供的第二子开启信号的电位可以依次为第一电位。相应的,第三驱动子电路201、第四驱动子电路202、第一驱动子电路101和第二驱动子电路102中的第一级GOA单元即可在对应的子开启信号驱动下依次启动。

[0157] 并且,如图12所示,在第三子开启信号的电位为第一电位时,第三子时钟信号端CLK20提供第三子时钟信号的电位为第一电位。在第四子开启信号的电位为第一电位时,第四子时钟信号端CLK21提供的第四子时钟信号的电位为第一电位。在第一子开启信号的电位为第一电位时,第一子时钟信号端CLK10提供的第一子时钟信号的电位为第一电位。在第二子开启信号的电位为第一电位时,第二子时钟信号端CLK11提供的第二子时钟信号的电位为第一电位。

[0158] 相应的,当第三驱动子电路201的第一级GOA单元启动时,可以将处于第一电位的时钟信号直接输出至对应连接的一行像素(即第 $m+1$ 行像素),从而驱动该第 $m+1$ 行像素。当第四驱动子电路202的第一级GOA单元启动时,可以将处于第一电位的时钟信号直接输出至对应连接的一行像素(即第 $m+2$ 行像素),从而驱动该第 $m+2$ 行像素。当第一驱动子电路101的第一级GOA单元启动时,可以将处于第一电位的时钟信号直接输出至对应连接的一行像素(即第 $m-1$ 行像素),从而驱动该第 $m-1$ 行像素。当第二驱动子电路102的第一级GOA单元启动时,可以将处于第一电位的时钟信号直接输出至对应连接的一行像素(即第 m 行像素),从而

驱动该第 m 行像素。

[0159] 进一步的,参考图12,在各子开启信号的电位依次为第一电位之后,各子时钟信号可以按照:第三子时钟信号的电位、第四子时钟信号的电位、第一子时钟信号的电位和第二子时钟信号的电位依次为第一电位周期性输出。相应的,各驱动子电路中的其他级移位寄存器单元即可逐级开启,从而逐行驱动像素。

[0160] 示例的,假设如图12所示,在每个时钟周期内,第三子开启信号的电位、第四子开启信号的电位、第一子开启信号的电位和第二子开启信号的电位依次为第一电位。则在第一个时钟周期内,第三驱动子电路201可以先启动,并先驱动后 $N-m$ 行像素中的第 $m+1$ 行像素;然后在第三驱动子电路201驱动完成后,第四驱动子电路202可以启动,并开始驱动后 $N-m$ 行像素中的第 $m+2$ 行像素;然后在第四驱动子电路202驱动完成后,第一驱动子电路101可以启动,并开始驱动前 m 行像素中的第 $m-1$ 行像素;最后在第二驱动子电路102驱动完成后,第二驱动子电路102可以驱动,并开始驱动前 m 行像素中的第 m 行像素。之后,每个驱动子电路中的多级GOA单元可以依次逐级开启,并按照第三驱动子电路201、第四驱动子电路202、第一驱动子电路101和第二驱动子电路102的驱动顺序驱动该 N 行像素。

[0161] 通过在一个时钟周期内依次驱动前 m 行像素中的奇数行像素和偶数行像素,以及后 $N-m$ 行像素中的奇数行像素和偶数行像素,可以进一步确保位于中间区域的像素的液晶分子偏转至指定状态,进一步保证了中间区域的显示效果,且还丰富了栅极驱动电路的驱动方法。

[0162] 可选的,当在一个时钟周期内,第一子开启信号、第二子开启信号、第三子开启信号和第四子开启信号的时序发生变化时,栅极驱动电路包括的第一驱动子电路101、第二驱动子电路102、第三驱动子电路201和第四驱动子电路202的启动顺序则会发生变化,相应的,该栅极驱动电路驱动像素的驱动顺序也会发生变化。本发明实施例对此不再赘述。

[0163] 可选的,该第三子时钟信号、第四子时钟信号、第一子时钟信号和第二子时钟信号时钟周期可以均相同,例如,图12示出的各个时钟信号的周期均为 T_1 。且占空比可以均为 $1/4$ 。在每个时钟周期内,第三子时钟信号的电位、第四子时钟信号的电位、第一子时钟信号的电位和第二子时钟信号的电位可以依次为第一电位。即第三驱动子电路201、第四驱动子电路202、第一驱动子电路101和第二驱动子电路102可以依次启动,并驱动一行像素。

[0164] 另外,参考图12还可以看出,在第一个子开启信号(即第三子开启信号)的电位为第一电位之前,控制电路已经向栅极驱动电路输出时钟信号。即在该第三子阶段 t_3 之前,第三子时钟信号的电位、第四子时钟信号的电位、第一子时钟信号的电位和第二子时钟信号的电位已经开始依次处于第一电位。例如,图12示出了在第三子阶段 t_3 之前输出的两个时钟周期 T_1 。

[0165] 通过提前向栅极驱动电路输出时钟信号,可以确保在第一个子开启信号的电位为第一电位时,对应的子时钟信号的电位一定为第一电位,进而保证了栅极驱动电路驱动像素的可靠性。

[0166] 综上所述,本发明实施例提供了一种栅极驱动电路的驱动方法。由于栅极驱动电路包括的第一子电路组可以逐行驱动显示面板的 N 行像素中的第 m 行至第1行像素;该第二子电路组可以逐行驱动第 $m+1$ 行至第 N 行像素;且由于 m 大于1且小于 N 。因此该栅极驱动电路可以从显示面板的中间行像素开始依次向两边逐行驱动像素,使得位于显示面板中间区域

的液晶分子可以偏转到指定状态,将可能出现拖影现象的区域分散至显示面板两端的边缘区域,确保中间区域不会出现拖影现象,改善了显示效果。

[0167] 所属领域的技术人员可以清楚地了解到,为描述的方便和简洁,上述描述的栅极驱动电路的具体工作过程,可以参考前述方法实施例中的对应过程,在此不再赘述。

[0168] 以上所述仅为本发明的可选实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

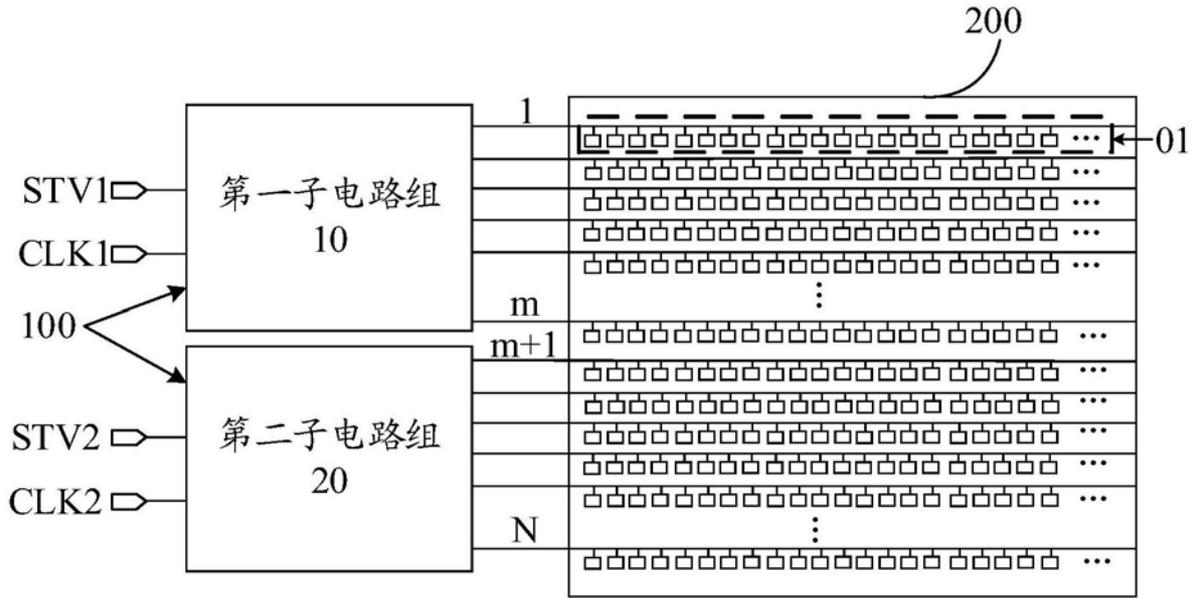


图1

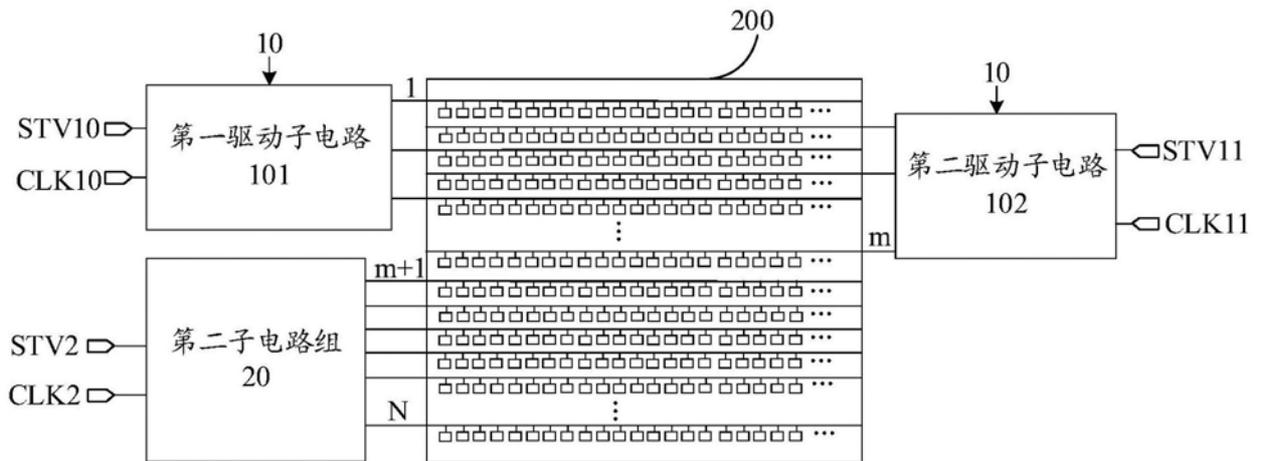


图2

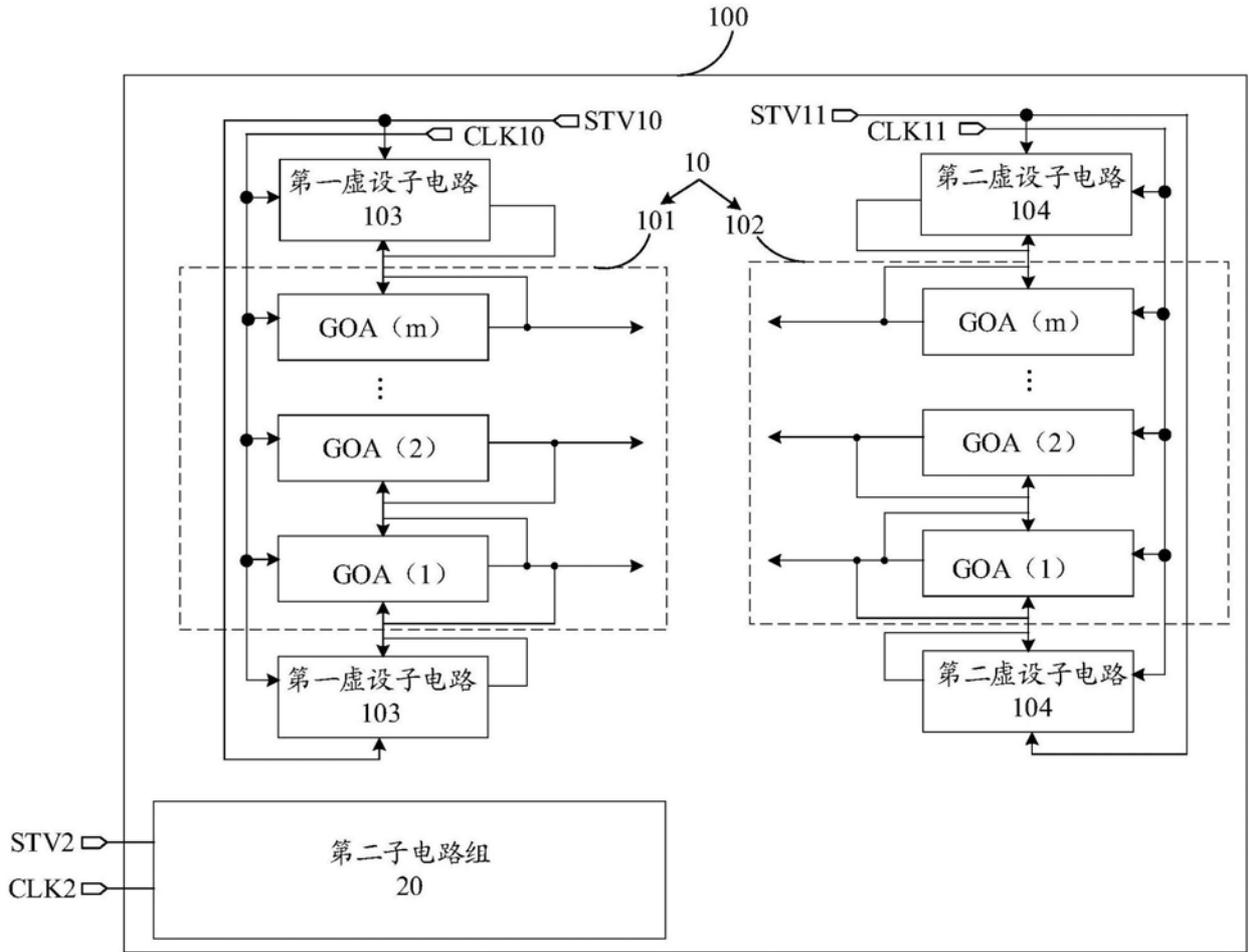


图3

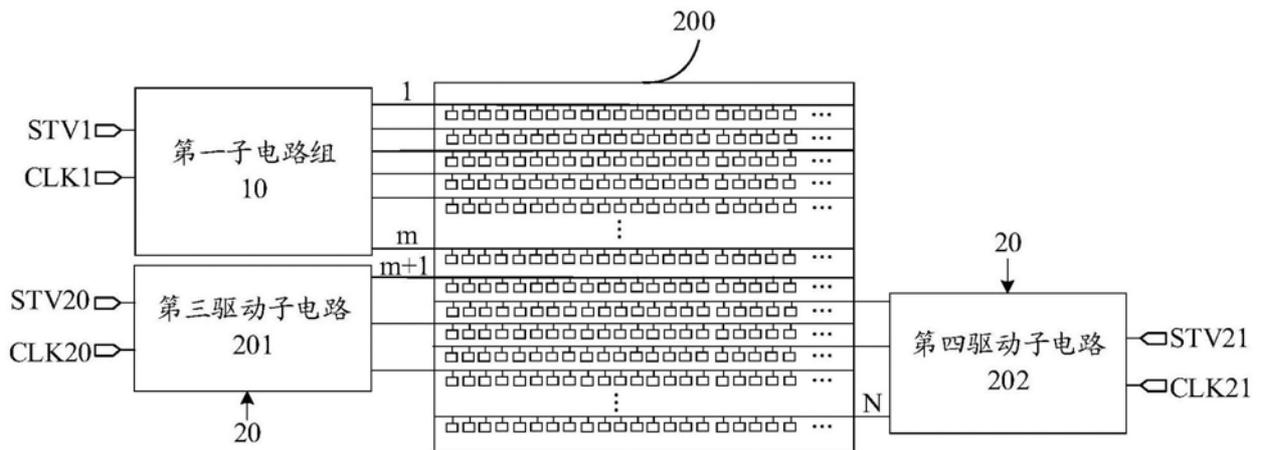


图4

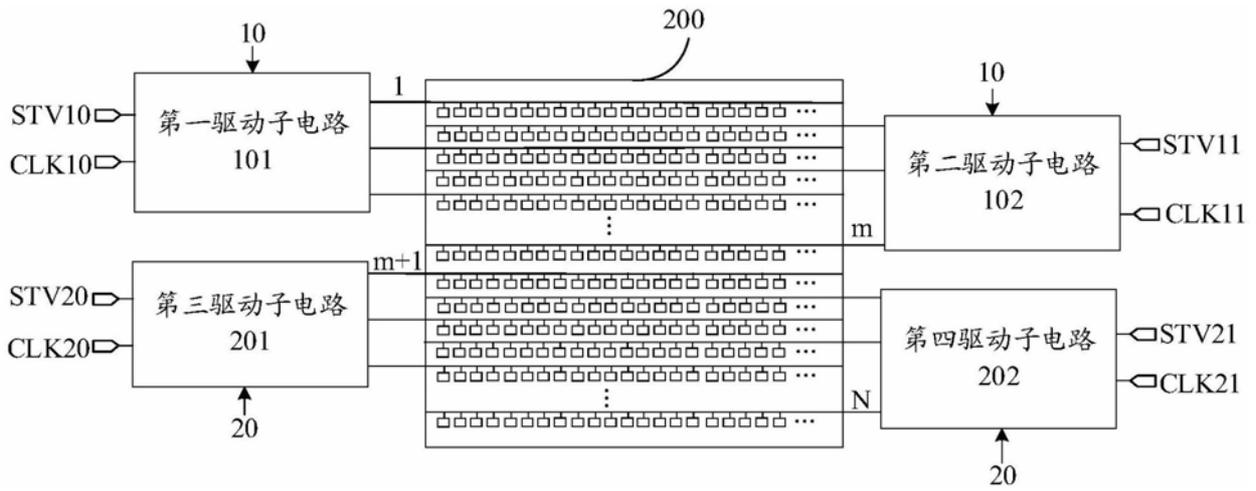


图5

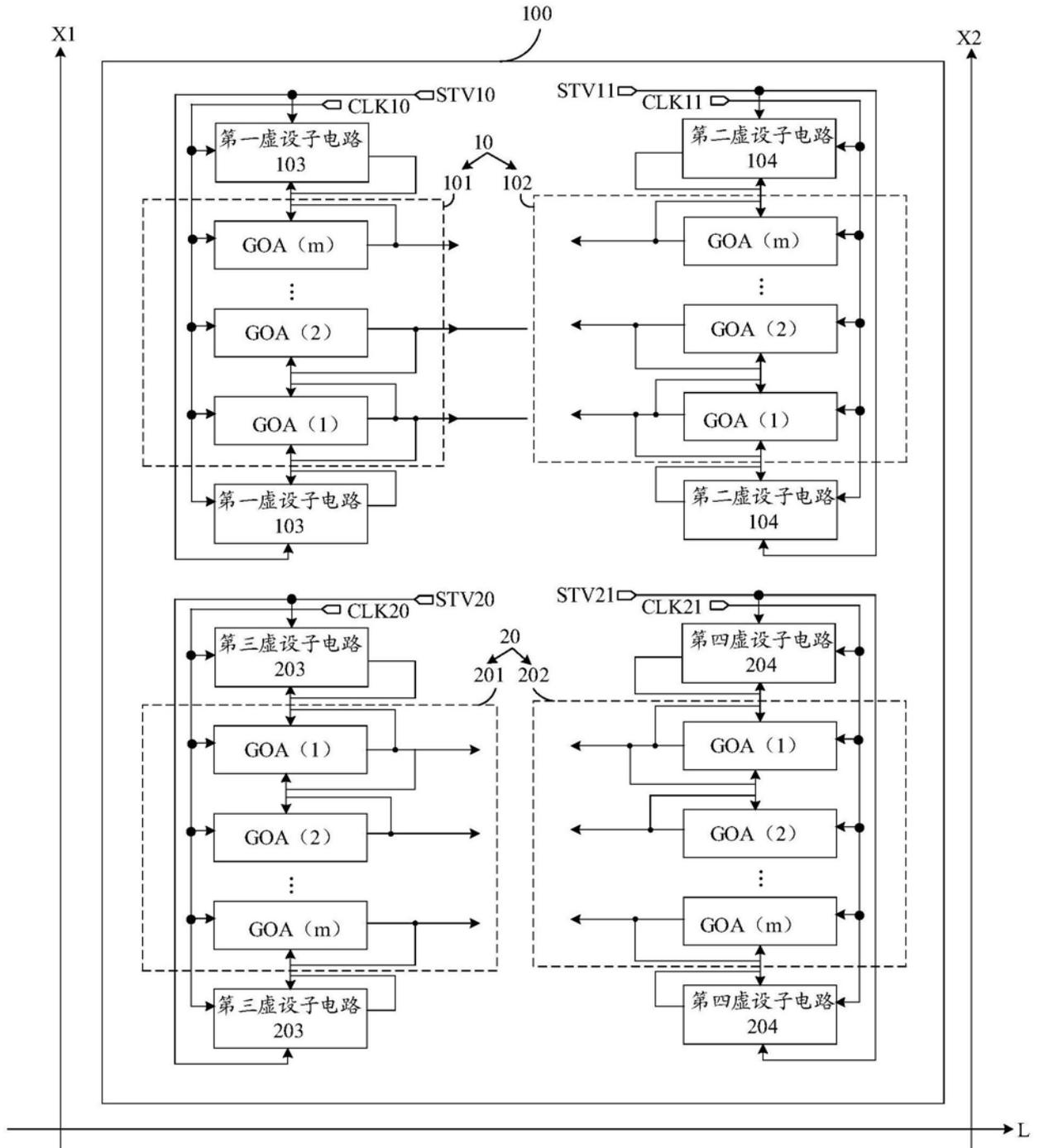


图6

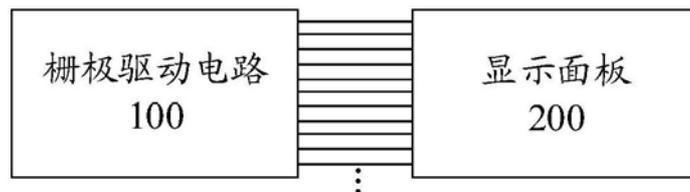


图7

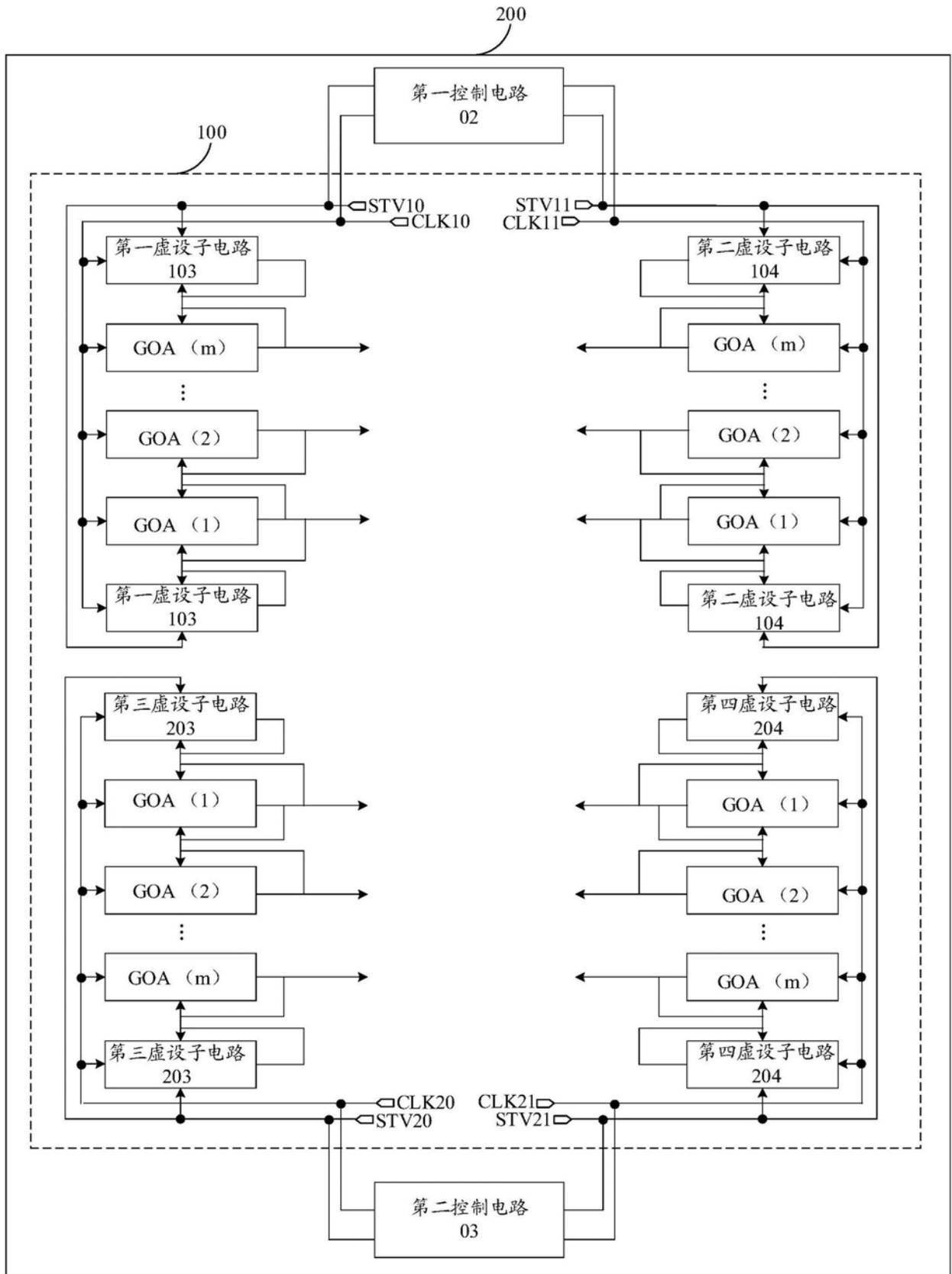


图8

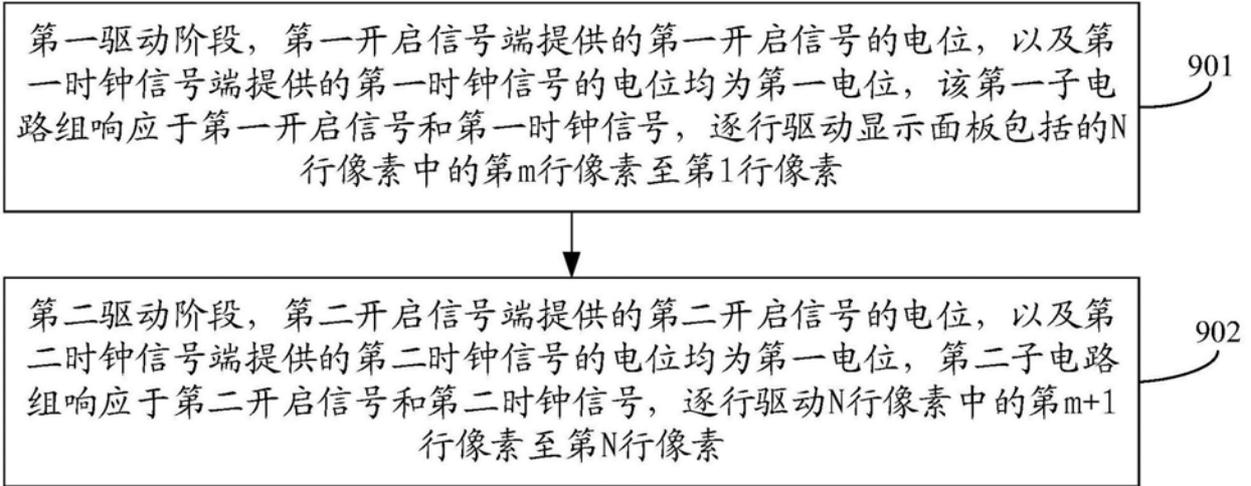


图9

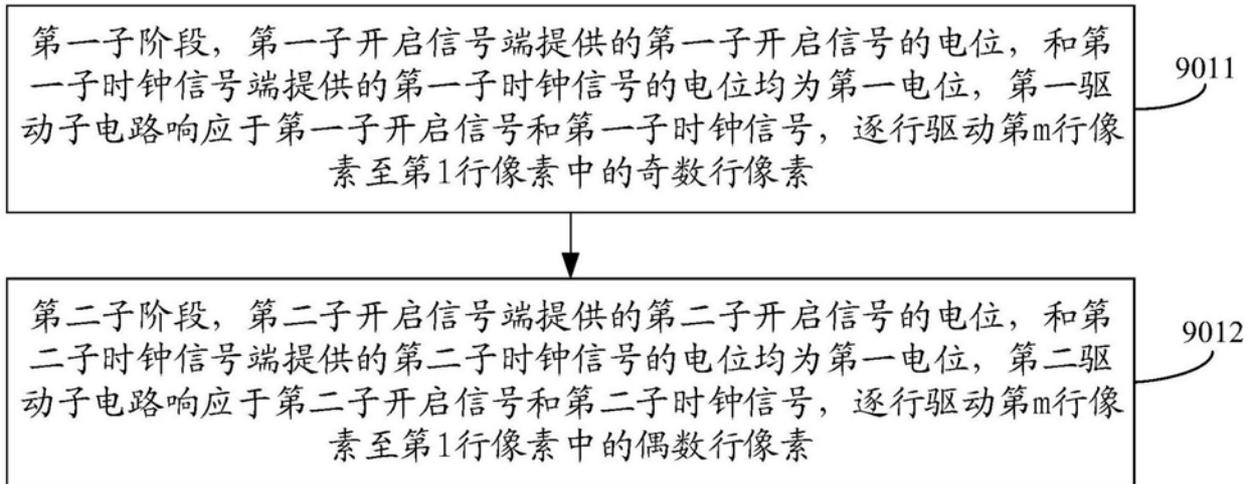


图10

第三子阶段，第三子开启信号端提供的第三子开启信号的电位，和第三子时钟信号端提供的第三子时钟信号的电位均为第一电位，第三驱动子电路响应于第三子开启信号和第三子时钟信号，逐行驱动第m+1行像素至第N行像素中的奇数行像素

9021



第四子阶段，第四子开启信号端提供的第四子开启信号的电位，和第四子时钟信号端提供的第四子时钟信号的电位均为第一电位，第四驱动子电路响应于第四子开启信号和第四子时钟信号，逐行驱动第m+1行像素至第N行像素中的偶数行像素

9022

图11

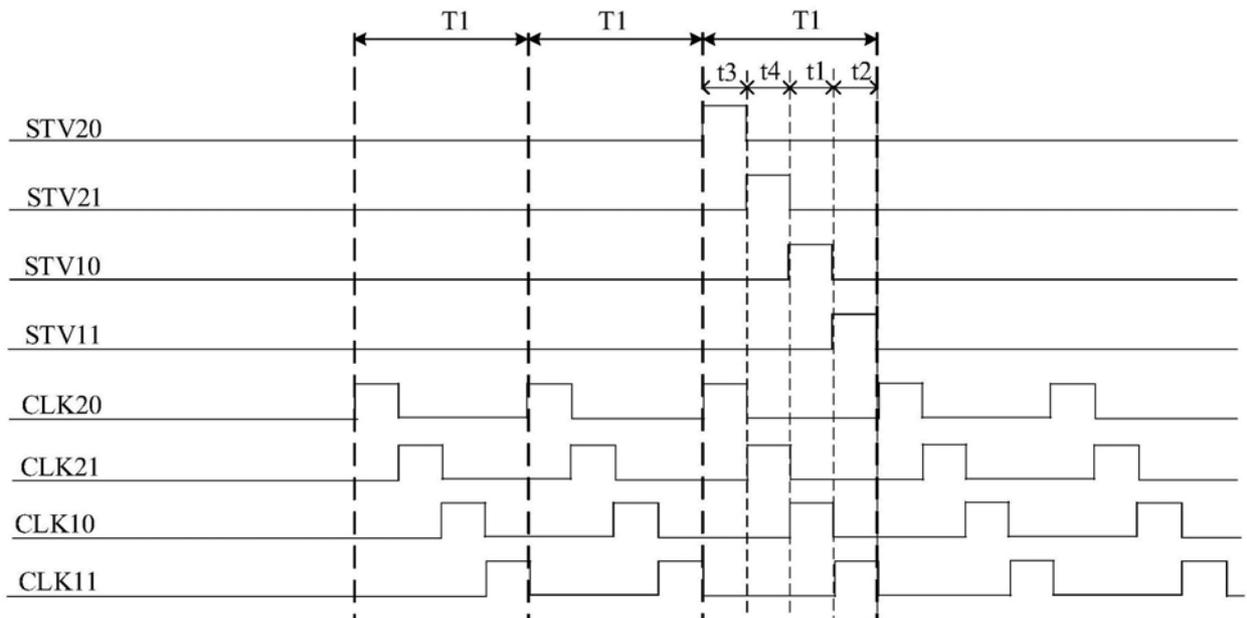


图12

专利名称(译)	栅极驱动电路及其驱动方法、显示装置		
公开(公告)号	CN109686333A	公开(公告)日	2019-04-26
申请号	CN201910105407.3	申请日	2019-02-01
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
[标]发明人	胡国锋 高延凯 刘弘 毕育欣 习艳会 代斌 于明鉴 王泓 王冬辉		
发明人	胡国锋 高延凯 刘弘 毕育欣 习艳会 代斌 于明鉴 王泓 王冬辉		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3674 G09G2320/0257		
代理人(译)	杨广宇		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种栅极驱动电路及其驱动方法、显示装置。该栅极驱动电路包括第一子电路组和第二子电路组。由于该第一子电路组可以逐行驱动显示面板的N行像素中的第m行至第1行像素；该第二子电路组可以逐行驱动第m+1行至第N行像素；且由于m大于1且小于N。因此该栅极驱动电路可以从显示面板的中间行像素开始依次向两边逐行驱动像素，使得位于显示面板中间区域的液晶分子可以偏转到指定状态，将可能出现拖影现象的区域分散至显示面板两端的边缘区域，确保中间区域不会出现拖影现象，改善了显示效果。

