



(12)发明专利申请

(10)申请公布号 CN 109616077 A

(43)申请公布日 2019.04.12

(21)申请号 201910115440.4

(22)申请日 2019.02.14

(71)申请人 惠科股份有限公司

地址 518000 广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房1、2、3栋,九州阳光1号厂房5、7楼

(72)发明人 黄北洲

(74)专利代理机构 深圳市世纪恒程知识产权代理事务所 44287

代理人 胡海国

(51)Int.Cl.

G09G 3/36(2006.01)

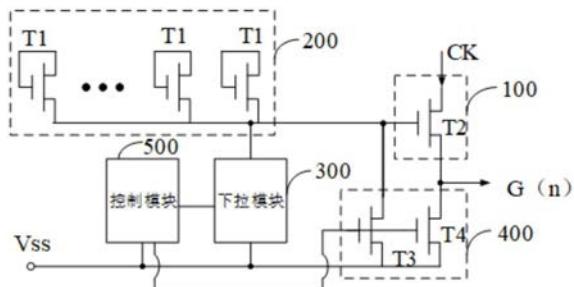
权利要求书1页 说明书5页 附图2页

(54)发明名称

栅极驱动电路及液晶显示器

(57)摘要

本发明公开一种栅极驱动电路及液晶显示器,其中该栅极驱动电路包括:输出开关模块,接通或关断输出至玻璃基板的时钟扫描信号;输出开关模块,接通或关断输出至玻璃基板的时钟扫描信号;反馈模块,检测是否有时钟扫描信号输入至所述输出开关模块;预充电模块,输出预设电压至所述输出开关模块的控制端;控制模块,在所述反馈模块检测到有时钟扫描信号输入至所述输出开关模块时,控制所述输出开关模块接通,将时钟扫描信号输出至所述玻璃基板。本发明技术方案使得栅极驱动电路中晶体管更加顺利导通。



1. 一种栅极驱动电路,其特征在于,包括:
输出开关模块,接通或关断输出至玻璃基板的时钟扫描信号;
反馈模块,检测是否有时钟扫描信号输入至所述输出开关模块;
预充电模块,输出预设电压至所述输出开关模块的控制端;
控制模块,在所述反馈模块检测到有时钟扫描信号输入至所述输出开关模块时,控制所述输出开关模块接通,将时钟扫描信号输出至所述玻璃基板。
2. 如权利要求1所述的栅极驱动电路,其特征在于,所述栅极驱动电路还包括下拉模块,在反馈模块检测到无时钟扫描信号输入至所述输出开关模块时,所述控制模块控制所述下拉模块将输出开关模块的控制端电压拉低至低电平。
3. 如权利要求1所述的栅极驱动电路,其特征在于,所述预充电模块包括多个第一晶体管,每一第一晶体管的控制端与该第一晶体管的输入端连接,该第一晶体管的输出端与所述输出开关模块的控制端连接。
4. 如权利要求3所述的栅极驱动电路,其特征在于,所述第一晶体管的数量为2个~6个。
5. 如权利要求4所述的栅极驱动电路,其特征在于,所述第一晶体管的数量为3个。
6. 如权利要求1至5中任意一项所述的栅极驱动电路,其特征在于,所述第一晶体管为N型金氧半导体晶体管或P型金氧半导体晶体管。
7. 如权利要求1所述的栅极驱动电路,其特征在于,所述输出开关模块包括第二晶体管,所述第二晶体管的受控端与所述预充电模块连接,所述第二晶体管的输入端接收时钟扫描信号,所述第二晶体管的输出端与所述反馈模块连接。
8. 如权利要求1所述的栅极驱动电路,其特征在于,所述反馈模块包括第三晶体管及第四晶体管;所述第三晶体管的输入端与所述输出开关模块的受控端连接,所述第三晶体管的输出端与电源连接,所述第三晶体管的受控端与所述控制模块连接;所述第四晶体管的输入端与所述输出开关模块连接,所述第四晶体管的输出端与所述电源连接,所述第四晶体管的受控端与所述第三晶体管的受控端连接。
9. 如权利要求1所述的栅极驱动电路,其特征在于,所述控制模块在有时钟扫描信号输入或输出时,控制所述下拉模块将输出开关模块的控制端电压维持高电平。
10. 一种液晶显示器,其特征在于,所述液晶显示器包括如权利要求1-9任意一项所述的栅极驱动电路。

栅极驱动电路及液晶显示器

技术领域

[0001] 本发明涉及液晶显示驱动领域,特别涉及一种栅极驱动电路及应用该栅极驱动电路的液晶显示器。

背景技术

[0002] GOA(gate on array,栅极阵列)技术是液晶显示器领域发展的一项新技术,GOA技术原理是直接在显示面板上通过曝光显影方式产生栅极驱动电路,对液晶像素进行驱动,取代了原来的驱动芯片,GOA技术的优点是降低了成本。

[0003] 栅极驱动电路是基于汤普逊电路发展而来,用于对显示面板进行栅极驱动,提供时钟扫描信号。栅极驱动电路中设置有晶体管,用于控制时钟扫描信号的输出。栅极驱动电路产生高电平信号(即boost point点)对晶体管进行驱动时,晶体管导通,以使时钟信号通过,输出至玻璃基板中的液晶像素。然而,高电平信号由于延时,不能直接立刻上升到预设的电压水平,导致晶体管不能顺利导通,从而导致显示面板的显示错误。

发明内容

[0004] 本发明的主要目的是提出一种栅极驱动电路,旨在使得栅极驱动电路中晶体管更加顺利导通。

[0005] 为实现上述目的,本发明提出的栅极驱动电路,包括:

[0006] 输出开关模块,接通或关断输出至玻璃基板的时钟扫描信号;

[0007] 反馈模块,检测是否有时钟扫描信号输入至所述输出开关模块;

[0008] 预充电模块,输出预设电压至所述输出开关模块的控制端;

[0009] 控制模块,在所述反馈模块检测到有时钟扫描信号输入至所述输出开关模块时,控制所述输出开关模块接通,将时钟扫描信号输出至所述玻璃基板。

[0010] 在一实施例中,所述栅极驱动电路还包括下拉模块,在反馈模块检测到无时钟扫描信号输入至所述输出开关模块时,所述控制模块控制所述下拉模块将输出开关模块的控制端电压拉低至低电平。

[0011] 在一实施例中,所述预充电模块包括多个第一晶体管,每一第一晶体管的控制端与该第一晶体管的输入端连接,该第一晶体管的输出端与所述输出开关模块的控制端连接。

[0012] 在一实施例中,所述第一晶体管的数量为2个~6个。

[0013] 在一实施例中,所述第一晶体管的数量为3个。

[0014] 在一实施例中,所述第一晶体管为N型金氧半导体晶体管或P型金氧半导体晶体管。

[0015] 在一实施例中,所述输出开关模块包括第二晶体管,所述第二晶体管的受控端与所述预充电模块连接,所述第二晶体管的输入端接收时钟扫描信号,所述第二晶体管的输出端与所述反馈模块连接。

[0016] 在一实施例中，所述反馈模块包括第三晶体管及第四晶体管；所述第三晶体管的输入端与所述输出开关模块的受控端连接，所述第三晶体管的输出端与电源连接，所述第三晶体管的受控端与所述控制模块连接；所述第四晶体管的输入端与所述输出开关模块连接，所述第四晶体管的输出端与所述电源连接，所述第四晶体管的受控端与所述第三晶体管的受控端连接。

[0017] 在一实施例中，所述控制模块在有时钟扫描信号输入或输出时，控制所述下拉模块将输出开关模块的控制端电压维持低电平。

[0018] 本发明还提出一种液晶显示器，所述液晶显示器包括上所述的栅极驱动电路。所述栅极驱动电路包括：输出开关模块，接通或关断输出至玻璃基板的时钟扫描信号；反馈模块，检测是否有时钟扫描信号输入至所述输出开关模块；预充电模块，输出预定电压至所述输出开关模块的控制端；控制模块，在所述反馈模块检测到有时钟扫描信号输入至所述输出开关模块时，控制所述输出开关模块接通，将时钟扫描信号输出至所述玻璃基板。

[0019] 本发明技术方案通过设置输出开关模块、预充电模块、反馈模块及控制模块，形成了一种栅极驱动电路。输出开关模块设置有晶体管，在外部有时钟扫描信号输入时，控制模块输出高电平信号（即boost point点）对晶体管进行驱动时，通过预充电模块对晶体管的栅极进行预充电，使得boost point在时钟扫描信号到达晶体管的控制端时，晶体管的控制端能够达到预定的高电平状态，使得晶体管更快导通，让时钟信号传递。本发明技术方案使得栅极驱动电路中传递时钟扫描信号的晶体管更加顺利导通。

附图说明

[0020] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图示出的结构获得其他的附图。

[0021] 图1为本发明栅极驱动电路一实施例的结构示意图；

[0022] 图2为本发明液晶显示器一实施例的功能模块图；

[0023] 图3为本发明栅极驱动电路boost point点波形图。

[0024] 附图标号说明：

[0025]

标号	名称	标号	名称
100	输出开关模块	T1	第一晶体管
200	预充电模块	T2	第二晶体管
300	下拉模块	T3	第三晶体管
400	反馈模块	T4	第四晶体管
500	控制模块	Vss	电源

[0026] 本发明目的的实现、功能特点及优点将结合实施例，参照附图做进一步说明。

具体实施方式

[0027] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完

整地描述,显然,所描述的实施例仅仅是本发明的一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0028] 需要说明,若本发明实施例中有涉及方向性指示(诸如上、下、左、右、前、后……),则该方向性指示仅用于解释在某一特定姿态(如附图所示)下各部件之间的相对位置关系、运动情况等,如果该特定姿态发生改变时,则该方向性指示也相应地随之改变。

[0029] 另外,若本发明实施例中有涉及“第一”、“第二”等的描述,则该“第一”、“第二”等的描述仅用于描述目的,而不能理解为指示或暗示其相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。另外,各个实施例之间的技术方案可以相互结合,但是必须是以本领域普通技术人员能够实现为基础,当技术方案的结合出现相互矛盾或无法实现时应当认为这种技术方案的结合不存在,也不在本发明要求的保护范围之内。

[0030] 本发明提出一种栅极驱动电路。

[0031] 在本发明实施例中,如图1所示,该栅极驱动电路,包括:

[0032] 输出开关模块100,接通或关断输出至玻璃基板的时钟扫描信号。输出开关模块100的控制端与预充电模块连接。接收来自预充电模块的预设电压。该预设电压的作用在于对输出开关模块进行预充电。

[0033] 反馈模块400,检测是否有时钟扫描信号输入至所述输出开关模块100。值得说明的是,在有时钟扫描信号输入时,预充电模块会输出预设电压,即通过检测预设电压即可判断时钟扫描信号是否输入。

[0034] 预充电模块200,输出预设电压至所述输出开关模块100的控制端。

[0035] 控制模块500,在所述反馈模块400检测到有时钟扫描信号输入至所述输出开关模块100时,控制所述输出开关模块100接通,将时钟扫描信号输出至所述玻璃基板。

[0036] 其中,所述预充电模块200的输出端与所述输出开关模块100的控制端连接,输出开关模块100的输入端接收时钟扫描信号,输出开关模块100的输出端输出时钟扫描信号至玻璃基板的像素。

[0037] 参照图2液晶显示器包括玻璃基板、栅极驱动器、源极驱动器及TCON板。玻璃基板上设置多个呈矩阵排列的像素和栅极驱动电路。每一个像素包括三个三原色子像素,分别为代表红绿蓝的RGB子像素。

[0038] 图像数据输入TCON,经处理变换后形成了显示数据信号,及源极驱动器和栅极驱动器的时钟控制信号。具体是,通过源极驱动器装载数据信号,通过栅极驱动器控制时序,实现了图像的扫描显示。

[0039] 为降低成本,液晶显示器两侧(非显示区域)分别设置多个有栅极驱动电路,多个栅极驱动电路之间依次串接。两侧的栅极驱动电路分别用于产生奇数时钟扫描信号以及偶数时钟扫描信号。

[0040] 栅极驱动电路每隔固定时间输出时钟扫描信号,使得每一行的晶体管依序打开,同时源极驱动器输出对应的显示数据信号至一整列的像素单元,使其充电到各自所需的电压,以显示不同的灰阶。当同一行的充电完毕后,GOA电路单元将该行的时钟扫描信号关闭,然后栅极驱动电路再输出时钟扫描信号将下一行的晶体管打开,再由源极驱动器对下一行

的像素单元进行冲放电,如此进行下去,直到所有的像素单元都充电完毕。以一个 1024×768 分辨率的液晶显示器以及60HZ刷新频率为例,共需要 $1024 \times 768 \times 3$ 个子像素组合而成,每一画面的显示时间为 $1/60 = 16.7\text{ms}$ (毫秒)。

[0041] 参照图3,本发明技术方案通过设置输出开关模块100、预充电模块200、下拉模块300、反馈模块400及控制模块500,形成了一种栅极驱动电路。输出开关模块100都设置有晶体管,在控制模块500产生高电平信号(即boost point点)对晶体管进行驱动时,通过预充电模块200对晶体管的栅极进行预充电,使得boost point点在时钟扫描信号到达时达到预定的高电平,在进行预充电后,使得晶体管更快导通,晶体管导通让时钟信号传递。本发明技术方案使得GOA逻辑电路中传递时钟扫描信号的晶体管更加顺利导通。

[0042] 在一实施例中,所述栅极驱动电路还包括下拉模块300,在反馈模块400检测到无时钟扫描信号输入至所述输出开关模块100时,所述控制模块500控制所述下拉模块300将输出开关模块的控制端电压拉低至低电平。

[0043] 值得说明的是,为防止输出开关模块100中的晶体管误导通,在无时钟扫描信号,将输入至晶体管的电压拉低至低电平。

[0044] 下拉模块300第一端与所述输出开关模块100的控制端连接,下拉模块300的第二端与电源Vss连接,所述下拉模块300的控制端还与所述控制模块500连接。

[0045] 在一实施例中,所述预充电模块200包括多个第一晶体管T1,每一第一晶体管T1的控制端与该第一晶体管T1的输入端连接,该第一晶体管T1的输出端与所述输出开关模块100的控制端连接。

[0046] 值得说明的是,第一晶体管T1采用N型金氧半导体晶体管。本领域技术人员可以根据本发明的电路将其中全部或者部分NMOS晶体管以PMOS晶体管取代,以实现同样功能的栅极驱动电路。

[0047] 请继续参照图2,在一实施例中,所述预充电模块200包括第一晶体管T1的数量为2个~6个。所述预充电模块200包括3个第一晶体管T1。

[0048] 需要说明的是,在一定范围内,预充电模块200中第一晶体管T1设置的数量越多,其在boost point点的预充电效果越好,使得晶体管的导通更加顺利。在实际设计制造过程中,还需考虑成本问题。晶体管的数量范围设置在2个~6个较好。

[0049] 在本实施例中,优选采用3个晶体管构成的预充电模块200对栅极驱动电路的晶体管进行预充电。

[0050] 在一实施例中,所述输出开关模块100包括第二晶体管T2,所述第二晶体管T2的受控端与所述预充电模块200连接,所述第二晶体管T2的输入端接收时钟扫描信号,所述第二晶体管T2的输出端与所述反馈模块400连接。

[0051] 这里,第二晶体管T2采用N型金氧半导体晶体管,其也可采用P型金氧半导体晶体管。

[0052] 在一实施例中,所述反馈模块400包括第三晶体管T3及第四晶体管T4;所述第三晶体管T3的输入端与所述输出开关模块100的受控端连接,所述第三晶体管T3的输出端与电源连接,所述第三晶体管T3的受控端与所述控制模块500连接;所述第四晶体管T4的输入端与所述输出开关模块100连接,所述第四晶体管T4的输出端与所述电源连接,所述第四晶体管T4的受控端与所述第三晶体管T3的受控端连接。

[0053] 在一实施例中，所述控制模块500在有时钟扫描信号输入或输出时，控制所述下拉模块300将输出开关模块100的控制端电压维持高电平。

[0054] 本发明技术方案中通过设置预充电模块200，使得栅极驱动电路中的第一晶体管更快、更顺利的导通，让时钟扫描信号通过，从而对玻璃基板上的像素进行驱动。

[0055] 本发明还提出一种液晶显示器，该液晶显示器包括上述栅极驱动电路，该栅极驱动电路的具体结构参照上述实施例，由于本液晶显示器采用了上述所有实施例的全部技术方案，因此至少具有上述实施例的技术方案所带来的所有有益效果，在此不再一一赘述。

[0056] 以上所述仅为本发明的优选实施例，并非因此限制本发明的专利范围，凡是在本发明的发明构思下，利用本发明说明书及附图内容所作的等效结构变换，或直接/间接运用在其他相关的技术领域均包括在本发明的专利保护范围内。

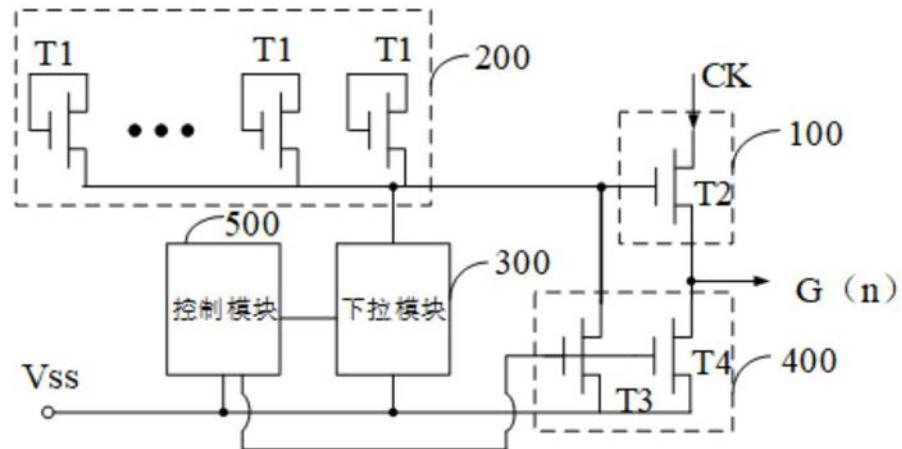


图1

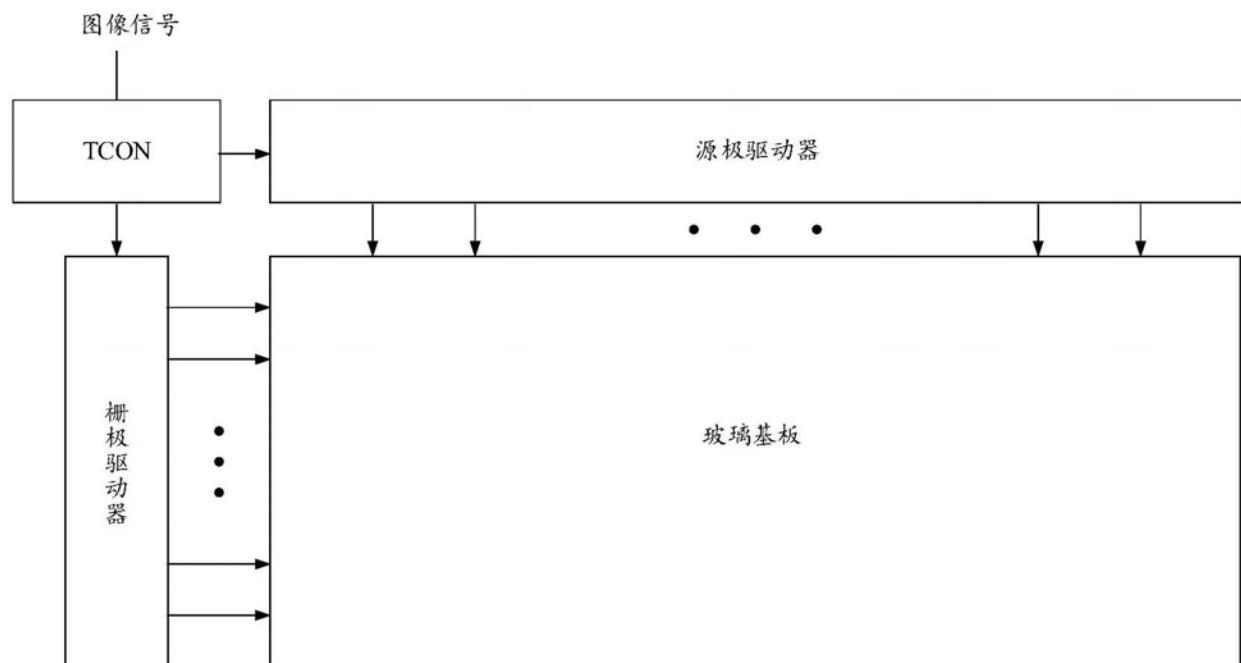


图2

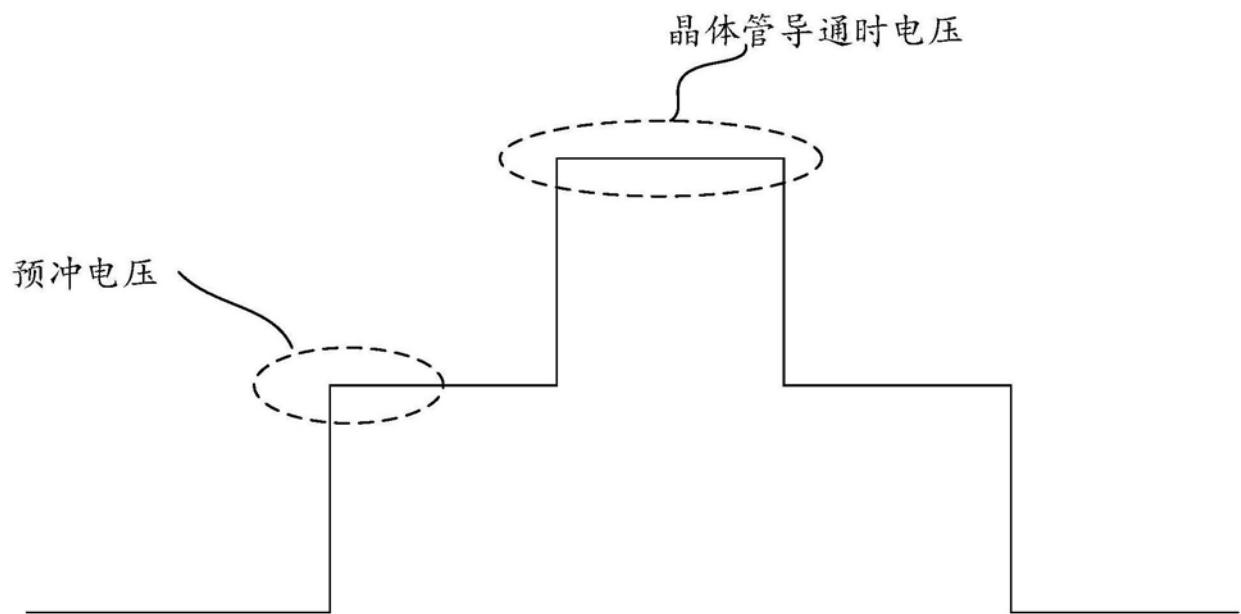


图3

专利名称(译)	栅极驱动电路及液晶显示器		
公开(公告)号	CN109616077A	公开(公告)日	2019-04-12
申请号	CN201910115440.4	申请日	2019-02-14
[标]申请(专利权)人(译)	惠科股份有限公司		
申请(专利权)人(译)	惠科股份有限公司		
当前申请(专利权)人(译)	惠科股份有限公司		
[标]发明人	黄北洲		
发明人	黄北洲		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677		
代理人(译)	胡海国		
外部链接	Espacenet	Sipo	

摘要(译)

本发明公开一种栅极驱动电路及液晶显示器，其中该栅极驱动电路包括：输出开关模块，接通或关断输出至玻璃基板的时钟扫描信号；输出开关模块，接通或关断输出至玻璃基板的时钟扫描信号；反馈模块，检测是否有时钟扫描信号输入至所述输出开关模块；预充电模块，输出预定电压至所述输出开关模块的控制端；控制模块，在所述反馈模块检测到有时钟扫描信号输入至所述输出开关模块时，控制所述输出开关模块接通，将时钟扫描信号输出至所述玻璃基板。本发明技术方案使得栅极驱动电路中晶体管更加顺利导通。

