



(12)发明专利申请

(10)申请公布号 CN 108053799 A

(43)申请公布日 2018.05.18

(21)申请号 201810063226.4

(22)申请日 2018.01.23

(71)申请人 深圳市华星光电技术有限公司
地址 518132 广东省深圳市光明新区塘明大道9-2号

(72)发明人 黎云涛

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51) Int. Cl.
G09G 3/36(2006.01)

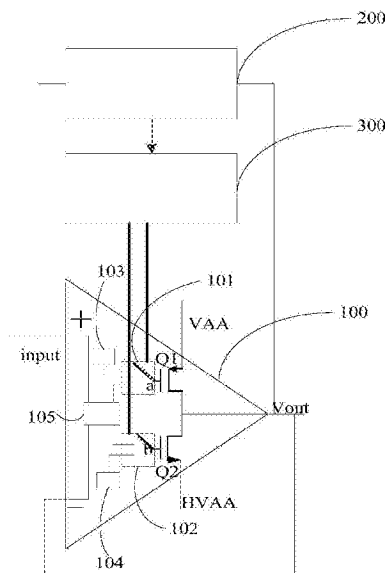
权利要求书2页 说明书5页 附图2页

(54)发明名称

放大电路、源极驱动器及液晶显示器

(57)摘要

本发明提供了一种放大电路,应用于液晶显示装置的源极驱动器,包括:运算放大单元,包括正相输入端、反相输入端、第一输出端、驱动模块、PMOS管以及NMOS管,所述NMOS管的漏极与所述PMOS管的源极连接并与所述第一输出端连接,所述NMOS管的源极接第一电压,所述PMOS管的漏极接第二电压,所述驱动模块分别与所述正相输入端、所述反相输入端、所述PMOS管以及NMOS管多的栅极连接;比较单元,所述比较单元分别与所述正相输入端以及所述第一输出端连接,以判断正相输入端以及第一输出端的电压差是否大于第一参考电压;内阻拉低单元,所述内阻拉低单元与所述PMOS管以及所述NMOS管的栅极连接,所述内阻拉低单元与所述比较单元连接。



CN 108053799 A

1. 一种放大电路,应用于液晶显示装置的源极驱动器,其特征在于,包括:

运算放大单元,包括正相输入端、反相输入端、第一输出端、驱动模块、PMOS管以及NMOS管,所述NMOS管的漏极与所述PMOS管的源极连接并与所述第一输出端连接,所述NMOS管的源极接第一电压,所述PMOS管的漏极接第二电压,所述驱动模块分别与所述正相输入端、所述反相输入端、所述PMOS管以及NMOS管的栅极连接,所述第一电压的电平大于所述第二电压的电平;

比较单元,所述比较单元分别与所述正相输入端以及所述第一输出端连接,以判断正相输入端以及第一输出端的电压差是否大于第一参考电压;

内阻拉低单元,所述内阻拉低单元与所述PMOS管以及所述NMOS管的栅极连接,所述内阻拉低单元与所述比较单元连接;

内阻拉低单元用于当所述电压差大于所述第一参考电压时开启内阻拉低功能,并在充电时,将所述NMOS管的内阻值拉低;在放电时将,将所述PMOS管的内阻值拉低。

2. 根据权利要求1所述的放大电路,其特征在于,所述运算放大单元还包括第一选通模块以及第一基准电压模块;所述第一选通模块的控制端与所述内阻拉低单元连接,所述第一选通模块的两输入端分别与所述第一基准电压模块以及所述NMOS管的栅极连接;

充电时,所述内阻拉低单元控制所述第一选通模块将所述第一基准电压模块与所述NMOS管的栅极接通,从而将所述NMOS管的栅极电压拉高,进而将所述NMOS管的内阻值拉低。

3. 根据权利要求2所述的放大电路,其特征在于,所述运算放大单元还包括第二选通模块以及第二基准电压模块;所述第二选通模块的控制端与所述内阻拉低单元连接,所述第二选通模块的两输入端分别与所述第二基准电压模块以及所述PMOS管的栅极连接;

放电时,所述内阻拉低单元控制所述第二选通模块将所述第二基准电压模块与所述PMOS管的栅极接通,从而将所述PMOS管的栅极电压拉低,进而将所述NMOS管的内阻值拉低。

4. 根据权利要求2所述的放大电路,其特征在于,所述第一选通模块包括第一开关管以及第二开关管,所述第一开关管的输入端与所述第一基准电压模块连接,所述第二开关管的输入端与所述驱动模块连接,所述第一开关管以及第二开关管的输出端分别与所述NMOS管的栅极连接;

所述第一开关管与所述第二开关管的开关特性相反。

5. 根据权利要求3所述的放大电路,其特征在于,所述第二选通模块包括第三开关管以及第四开关管,所述第三开关管的输入端与所述第二基准电压模块连接,所述第四开关管的输入端与所述驱动模块连接,所述第三开关管以及第四开关管的输出端分别与所述PMOS管的栅极连接;

所述第三开关管与所述第四开关管的开关特性相反。

6. 根据权利要求1所述的放大电路,其特征在于,所述第一参考电压根据所述液晶显示装置的目标灰阶值设定。

7. 一种源极驱动器,其特征在于,包括多级依次级联的放大电路,其中,最后一级放大电路包括:

运算放大单元,包括正相输入端、反相输入端、第一输出端、驱动模块、PMOS管以及NMOS管,所述NMOS管的漏极与所述PMOS管的源极连接并与所述第一输出端连接,所述NMOS管的

源极接第一电压,所述PMOS管的漏极接第二电压,所述驱动模块分别与所述正相输入端、所述反相输入端、所述PMOS管以及NMOS管多的栅极连接,所述第一电压的电平大于所述第二电压的电平;

比较单元,所述比较单元分别与所述正相输入端以及所述第一输出端连接,以判断正相输入端以及第一输出端的电压差是否大于第一参考电压;

内阻拉低单元,所述内阻拉低单元与所述PMOS管以及所述NMOS管的栅极连接,所述内阻拉低单元与所述比较单元连接;

内阻拉低单元用于当所述电压差大于所述第一参考电压时开启内阻拉低功能,并在充电时,将所述NMOS管的内阻值拉低;在放电时将,将所述PMOS管的内阻值拉低。

8. 根据权利要求7所述的源极驱动器,其特征在于,所述运算放大单元还包括第一选通模块以及第一基准电压模块;所述第一选通模块的控制端与所述内阻拉低单元连接,所述第一选通模块的两输入端分别与所述第一基准电压模块以及所述NMOS管的栅极连接;

充电时,所述内阻拉低单元控制所述第一选通模块将所述第一基准电压模块与所述NMOS管的栅极接通,从而将所述NMOS管的栅极电压拉高,进而将所述NMOS管的内阻值拉低。

9. 根据权利要求8所述的源极驱动器,其特征在于,所述运算放大单元还包括第二选通模块以及第二基准电压模块;所述第二选通模块的控制端与所述内阻拉低单元连接,所述第二选通模块的两输入端分别与所述第二基准电压模块以及所述PMOS管的栅极连接;

放电时,所述内阻拉低单元控制所述第二选通模块将所述第二基准电压模块与所述所述PMOS管的栅极接通,从而将所述PMOS管的栅极电压拉低,进而将所述PMOS管的内阻值拉低。

10. 一种液晶显示器,包括权利要求1-9任一项所述的放大电路。

放大电路、源极驱动器及液晶显示器

技术领域

[0001] 本发明涉及液晶显示领域,具体涉及一种放大电路、源极驱动器及液晶显示器。

背景技术

[0002] 随着科技的发展,随着TFT-LCD面板的设计由单栅极驱动向双栅极甚至三栅极驱动发展,充电时间变的越来越短。为了提升充电时间急需对源极驱动电路进行改进,以满足充电时间短的要求。

发明内容

[0003] 本发明实施例的目的在于提供一种放大电路、源极驱动器及液晶显示器,能够提高充放电速度。

[0004] 一种放大电路,应用于液晶显示装置的源极驱动器,包括:

[0005] 运算放大单元,包括正相输入端、反相输入端、第一输出端、驱动模块、PMOS管以及NMOS管,所述NMOS管的漏极与所述PMOS管的源极连接并与所述第一输出端连接,所述NMOS管的源极接第一电压,所述PMOS管的漏极接第二电压,所述驱动模块分别与所述正相输入端、所述反相输入端、所述PMOS管以及NMOS管多的栅极连接,所述第一电压的电平大于所述第二电压的电平;

[0006] 比较单元,所述比较单元分别与所述正相输入端以及所述第一输出端连接,以判断正相输入端以及第一输出端的电压差是否大于第一参考电压;

[0007] 内阻拉低单元,所述内阻拉低单元与所述PMOS管以及所述NMOS管的栅极连接,所述内阻拉低单元与所述比较单元连接;

[0008] 内阻拉低单元用于当所述电压差大于所述第一参考电压时开启内阻拉低功能,并在充电时,将所述NMOS管的内阻值拉低;在放电时将,将所述PMOS管的内阻值拉低。

[0009] 在本发明所述的放大电路中,所述运算放大单元还包括第一选通模块以及第一基准电压模块;所述第一选通模块的控制端与所述内阻拉低单元连接,所述第一选通模块的两输入端分别与所述第一基准电压模块以及所述NMOS管的栅极连接;

[0010] 充电时,所述内阻拉低单元控制所述第一选通模块将所述第一基准电压模块与所述NMOS管的栅极接通,从而将所述NMOS管的栅极电压拉高,进而将所述NMOS管的内阻值拉低。

[0011] 在本发明所述的放大电路中,所述运算放大单元还包括第二选通模块以及第二基准电压模块;所述第二选通模块的控制端与所述内阻拉低单元连接,所述第二选通模块的两输入端分别与所述第二基准电压模块以及所述PMOS管的栅极连接;

[0012] 放电时,所述内阻拉低单元控制所述第二选通模块将所述第二基准电压模块与所述PMOS管的栅极接通,从而将所述PMOS管的栅极电压拉低,进而将所述PMOS管的内阻值拉低。

[0013] 在本发明所述的放大电路中,所述第一选通模块包括第一开关管以及第二开关

管,所述第一开关管的输入端与所述第一基准电压模块连接,所述第二开关管的输入端与所述驱动模块连接,所述第一开关管以及第二开关管的输出端分别与所述NMOS管的栅极连接;

[0014] 所述第一开关管与所述第二开关管的开关特性相反。

[0015] 在本发明所述的放大电路中,所述第二选通模块包括第三开关管以及第四开关管,所述第三开关管的输入端与所述第二基准电压模块连接,所述第四开关管的输入端与所述驱动模块连接,所述第三开关管以及第四开关管的输出端分别与所述PMOS管的栅极连接;

[0016] 所述第三开关管与所述第四开关管的开关特性相反。

[0017] 在本发明所述的放大电路中,所述第一参考电压根据所述液晶显示装置的目标灰阶值设定。

[0018] 一种源极驱动器,包括多级依次级联的放大电路,其中,最后一级放大电路包括:

[0019] 运算放大单元,包括正相输入端、反相输入端、第一输出端、驱动模块、PMOS管以及NMOS管,所述NMOS管的漏极与所述PMOS管的源极连接并与所述第一输出端连接,所述NMOS管的源极接第一电压,所述PMOS管的漏极接第二电压,所述驱动模块分别与所述正相输入端、所述反相输入端、所述PMOS管以及NMOS管多的栅极连接,所述第一电压的电平大于所述第二电压的电平;

[0020] 比较单元,所述比较单元分别与所述正相输入端以及所述第一输出端连接,以判断正相输入端以及第一输出端的电压差是否大于第一参考电压;

[0021] 内阻拉低单元,所述内阻拉低单元与所述PMOS管以及所述NMOS管的栅极连接,所述内阻拉低单元与所述比较单元连接;

[0022] 内阻拉低单元用于当所述电压差大于所述第一参考电压时开启内阻拉低功能,并在充电时,将所述NMOS管的内阻值拉低;在放电时将,将所述PMOS管的内阻值拉低。

[0023] 在本发明所述的源极驱动器中,所述运算放大单元还包括第一选通模块以及第一基准电压模块;所述第一选通模块的控制端与所述内阻拉低单元连接,所述第一选通模块的两输入端分别与所述第一基准电压模块以及所述NMOS管的栅极连接;

[0024] 充电时,所述内阻拉低单元控制所述第一选通模块将所述第一基准电压模块与所述NMOS管的栅极接通,从而将所述NMOS管的栅极电压拉高,进而将所述NMOS管的内阻值拉低。

[0025] 在本发明所述的源极驱动器中,所述运算放大单元还包括第二选通模块以及第二基准电压模块;所述第二选通模块的控制端与所述内阻拉低单元连接,所述第二选通模块的两输入端分别与所述第二基准电压模块以及所述PMOS管的栅极连接;

[0026] 放电时,所述内阻拉低单元控制所述第二选通模块将所述第二基准电压模块与所述PMOS管的栅极接通,从而将所述PMOS管的栅极电压拉低,进而将所述PMOS管的内阻值拉低。

[0027] 一种液晶显示器,包括上述任一项所述的放大电路。

附图说明

[0028] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使

用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0029] 图1为本发明实施例提供的放大电路的结构图。

[0030] 图2为本发明实施例提供的放大电路的局部详细结构图。

[0031] 图3为本发明实施例提供的放大电路的时序图。

具体实施方式

[0032] 下面详细描述本发明的实施方式,所述实施方式的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,仅用于解释本发明,而不能理解为对本发明的限制。

[0033] 在本发明的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本发明的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0034] 在本发明的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接或可以相互通讯;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0035] 在本发明中,除非另有明确的规定和限定,第一特征在第二特征之“上”或之“下”可以包括第一和第二特征直接接触,也可以包括第一和第二特征不是直接接触而是通过它们之间的另外的特征接触。而且,第一特征在第二特征“之上”、“上方”和“上面”包括第一特征在第二特征正上方和斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”包括第一特征在第二特征正下方和斜下方,或仅仅表示第一特征水平高度小于第二特征。

[0036] 下文的公开提供了许多不同的实施方式或例子用来实现本发明的不同结构。为了简化本发明的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅仅为示例,并且目的不在于限制本发明。此外,本发明可以在不同例子中重复参考数字和/或参考字母,这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施方式和/或设置之间的关系。此外,本发明提供了的各种特定的工艺和材料的例子,但是本领域普通技术人员可以意识到其他工艺的应用和/或其他材料的使用。

[0037] 请参阅图1,图1是本发明提供了一种放大电路的结构图,应用于液晶显示装置的源极驱动器,源极驱动器包括多级依次级联的放大电路,其中,最后一级放大电路包括:运算放大单元100、比较单元200以及内阻拉低单元300。

[0038] 其中,该运算放大单元100包括正相输入端+、反相输入端-、第一输出端Vout、驱动模块105、NMOS管Q1以及PMOS管Q2。NMOS管Q1的漏极与PMOS管Q2的源极连接并与第一输出端Vout连接,所述NMOS管Q1的源极接第一电压VAA,所述PMOS管Q2的漏极接第二电压HVAA。驱动模块105分别与正相输入端+、反相输入端-、PMOS管Q2以及NMOS管Q1的栅极连接,所述第一电压VAA的电平大于所述第二电压HVAA的电平。

[0039] 比较单元200分别与正相输入端+以及第一输出端Vout连接,以判断正相输入端+以及第一输出端Vout的电压差是否大于第一参考电压。

[0040] 内阻拉低单元300与所述PMOS管Q2以及所述NMOS管Q1的栅极连接,内阻拉低单元300与所述比较单元200连接。内阻拉低单元300用于当所述电压差大于所述第一参考电压时开启内阻拉低功能,并在充电时,将所述PMOS管Q2的内阻值拉低;在放电时将,将所述NMOS管Q1的内阻值拉低。

[0041] 具体地,在本发明所述的放大电路中,运算放大单元100还包括第一选通模块101、第一基准电压模块103、第二选通模块102、第二基准电压模块104;所述第一选通模块101的控制端与所述内阻拉低单元300连接,所述第一选通模块101的两输入端分别与所述第一基准电压模块103以及所述NMOS管Q1的栅极连接;所述第二选通模块102的两输入端分别与所述第二基准电压模块104以及所述PMOS管Q2的栅极连接;进一步的,所述第一选通模块101和所述第二选通模块102均与所述驱动模块105连接。

[0042] 请参照图1、图3,充电时,内阻拉低单元300控制第一选通模块101将第一基准电压模块103与所述NMOS管Q1的栅极接通,从而将所述NMOS管Q1的栅极a点电压拉高,进而将所述NMOS管Q1的内阻值拉低。

[0043] 放电时,内阻拉低单元300控制第二选通模块102将第二基准电压模块104与所述PMOS管Q2的栅极接通,从而将所述PMOS管Q2的栅极电压b点拉低,进而将所述PMOS管Q2的内阻值拉低。

[0044] 请同时参照图2,在一些实施例中,第一选通模块101包括第一开关管T1以及第二开关管T2,第一开关管T1的输入端与所述第一基准电压模块103连接,所述第二开关管T2的输入端与所述驱动模块105连接,所述第一开关管T1以及第二开关管T2的输出端分别与所述NMOS管Q1的栅极连接;所述第一开关管T1与所述第二开关管T2的开关特性相反。

[0045] 在一些实施例中,第二选通模块102包括第三开关管T3以及第四开关管T4,所述第三开关管T3的输入端与所述第二基准电压模块104连接,所述第四开关管T4的输入端与所述驱动模块105连接,所述第三开关管T3以及第四开关管T4的输出端分别与所述PMOS管Q2的栅极连接;所述第三开关管T3与所述第四开关管T4的开关特性相反。

[0046] 第一开关管T1、第二开关管T2、第三开关管T3以及第四开关管T4的控制端与该内阻拉低单元300连接。

[0047] 在本发明所述的放大电路中,所述第一参考电压根据所述液晶显示装置的目标灰阶值设定。该第一参考电压与液晶显示器的当前灰阶与目标灰阶的差值的相关性很强。在灰阶变化较小时,不能达到第一参考电压时,内阻拉低单元300的拉低功能不会开启。当灰阶变化较大,超过了该第一参考电压,则内阻拉低单元300的拉低功能开启。

[0048] 其中,该驱动模块105与现有技术中的运算放大器的驱动模块结构类似,故不赘述。

[0049] 本发明通过设置该内阻拉低单元300,在充电时,内阻拉低单元300控制第一选通模块101将第一基准电压模块103与所述,NMOS管Q1的栅极接通,从而通过该第一基准电压模块103将所述NMOS管Q1的栅极a点电压拉高,进而将所述NMOS管Q1的内阻值拉低;放电时,内阻拉低单元300控制第二选通模块102将第二基准电压模块104与所述PMOS管Q2的栅极接通,从而通过该第二基准电压模块104将所述PMOS管Q2的栅极电压b点拉低,进而将所述PMOS管Q2的内阻值拉低,从而可以提高充放电速度。

[0050] 本发明还提供了一种液晶显示器,包括上述任一项所述的放大电路。

[0051] 以上对本发明实施例提供的液晶显示组件进行了详细介绍,本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明。同时,对于本领域的技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制。

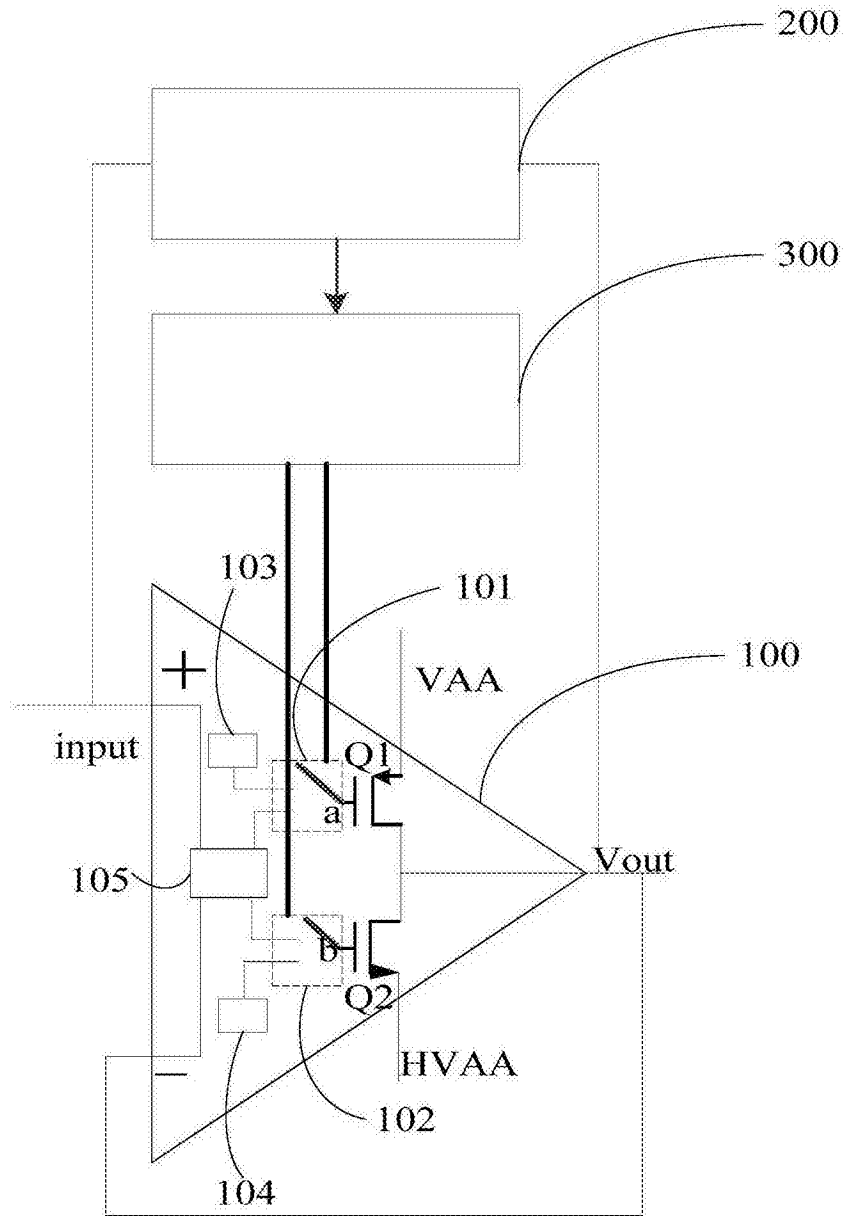


图1

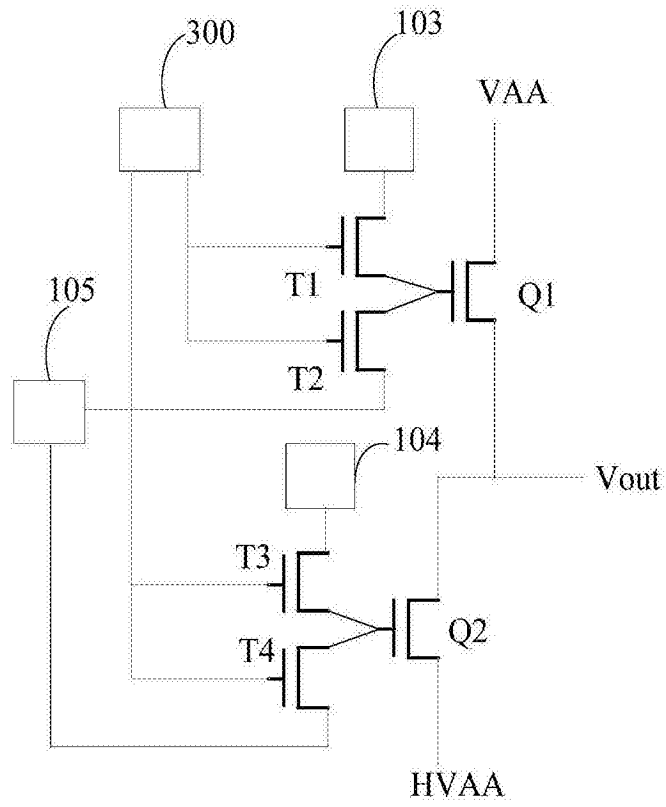


图2

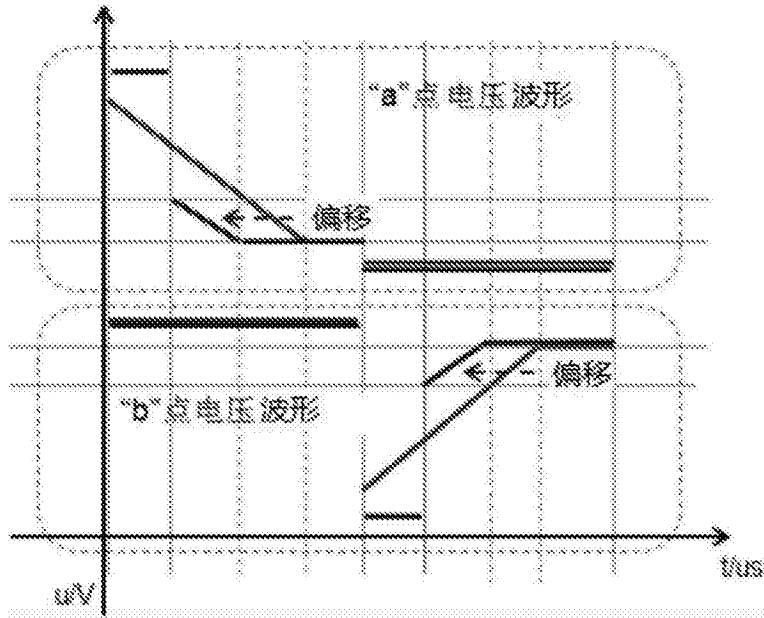


图3

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 放大电路、源极驱动器及液晶显示器 | | |
| 公开(公告)号 | CN108053799A | 公开(公告)日 | 2018-05-18 |
| 申请号 | CN201810063226.4 | 申请日 | 2018-01-23 |
| [标]申请(专利权)人(译) | 深圳市华星光电技术有限公司 | | |
| 申请(专利权)人(译) | 深圳市华星光电技术有限公司 | | |
| 当前申请(专利权)人(译) | 深圳市华星光电技术有限公司 | | |
| [标]发明人 | 黎云涛 | | |
| 发明人 | 黎云涛 | | |
| IPC分类号 | G09G3/36 | | |
| CPC分类号 | G09G3/3607 G09G3/3648 | | |
| 代理人(译) | 黄威 | | |
| 外部链接 | Espacenet SIPO | | |

摘要(译)

本发明提供了一种放大电路，应用于液晶显示装置的源极驱动器，包括：运算放大单元，包括正相输入端、反相输入端、第一输出端、驱动模块、PMOS管以及NMOS管，所述NMOS管的漏极与所述PMOS管的源极连接并与所述第一输出端连接，所述NMOS管的源极接第一电压，所述PMOS管的漏极接第二电压，所述驱动模块分别与所述正相输入端、所述反相输入端、所述PMOS管以及NMOS管多的栅极连接；比较单元，所述比较单元分别与所述正相输入端以及所述第一输出端连接，以判断正相输入端以及第一输出端的电压差是否大于第一参考电压；内阻拉低单元，所述内阻拉低单元与所述PMOS管以及所述NMOS管的栅极连接，所述内阻拉低单元与所述比较单元连接。

