



(12) 实用新型专利

(10) 授权公告号 CN 204557029 U

(45) 授权公告日 2015. 08. 12

(21) 申请号 201520277647. 9

(22) 申请日 2015. 04. 30

(73) 专利权人 南开大学

地址 300071 天津市南开区卫津路 94 号

(72) 发明人 代永平 刘三娇

(74) 专利代理机构 天津佳盟知识产权代理有限公司

公司 12002

代理人 侯力

(51) Int. Cl.

G02F 1/1362(2006. 01)

H01L 23/528(2006. 01)

H01L 27/04(2006. 01)

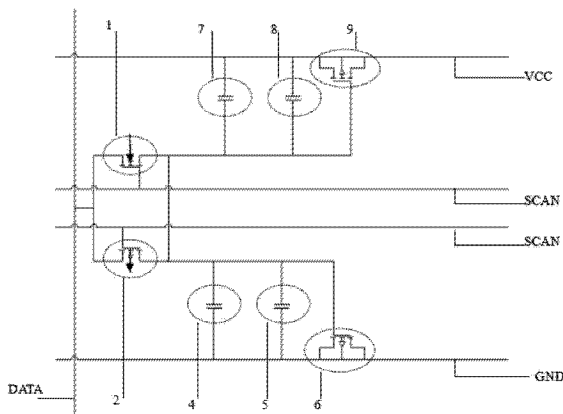
权利要求书1页 说明书5页 附图2页

(54) 实用新型名称

一种增大 LCOS 像素单元电路存储电容的器件结构

(57) 摘要

本实用新型提出了一种增大硅基液晶显示面板 LCOS 像素单元电路存储电容的器件结构,属于信息科学技术学科的微电子技术领域。LCOS 像素单元器件结构设置在 P 型硅衬底上,具有 N 型阱, PMOS 存取晶体管, NMOS 存取晶体管, 像素电容, 叠层式金属电容以及窄型深 P+ 注入电容。本实用新型建立了合理的像素单元器件结构, NMOS 存取晶体管和 PMOS 存取晶体管形成互补的 MOS 传输门, 有效降低了像素输入数据的损耗, 并且通过合理利用工艺现有金属层来制造高密度叠层式金属电容, 通过在 P 型硅衬底内部深注入的 P+ 形成窄平板型电容器, 并使上述两种电容器与像素单元的像素电容并联, 由此得以增大存储电容器的电容值。



1. 一种增大硅基液晶显示面板 LCOS 像素单元电路存储电容的器件结构,其特征包括 PMOS 存取晶体管 (1)、NMOS 存取晶体管 (2)、N 型阱 (3)、第一像素电容 (4)、第一叠层式金属电容 (5)、第一窄型深 P⁺注入电容 (6)、第二像素电容 (7)、第二叠层式金属电容 (8)、第二窄型深 P⁺注入电容 (9) 和 P 型硅衬底 (10);所述的 N 型阱 (3)、NMOS 存取晶体管 (2)、第一窄型深 P⁺注入电容 (6) 和第二窄型深 P⁺注入电容 (9) 放置于 P 型硅衬底 (10) 上,PMOS 存取晶体管 (1) 放置于 N 型阱 (3) 内;

NMOS 存取晶体管 (2) 的栅极 G 连接至第一寻址信号线 SCAN 上,漏极 D 连接至第一像素电容 (4);PMOS 存取晶体管 (1) 的栅极 G 连接至第二寻址信号线 SCAN 上,漏极 D 连接至第二像素电容 (7);PMOS 存取晶体管 (1) 的漏极和 NMOS 存取晶体管 (2) 的漏极相连,PMOS 存取晶体管 (1) 的源极和 NMOS 存取晶体管 (2) 的源极 S 均连接至同一列数据输入线 DATA 以接收图像信息;NMOS 存取晶体管 (2) 和 PMOS 存取晶体管 (1) 形成互补的 MOS 传输门;覆盖在第一像素电容 (4) 之上的第一层金属 (M1)、第二层金属 (M2)、第三层金属 (M3) 和第四层金属 (M4) 形成第一叠层式金属电容 (5),第一像素电容 (4)、第一叠层式金属电容 (5) 和第一窄型深 P⁺注入电容 (7) 具有公共端即并联;与 NMOS 存取晶体管 (2) 相连接的第一叠层式金属电容 (5) 的第一层金属 (M1) 连接至地信号线 GND;覆盖在第二像素电容 (7) 之上的第一层金属 (M1)、第二层金属 (M2)、第三层金属 (M3) 和第四层金属 (M4) 形成第二叠层式金属电容 (8),第二像素电容 (7)、第二叠层式金属电容 (8) 和第二窄型深 P⁺注入电容 (9) 具有公共端即并联;与 PMOS 存取晶体管 (1) 相连接的第二叠层式金属电容 (8) 中的第一层金属 M1 连接至电源信号线 VCC;NMOS 存取晶体管 (2) 和 PMOS 存取晶体管 (1) 形成互补的 MOS 传输门。

2. 如权利要求 1 所述的增大硅基液晶显示面板 LCOS 像素单元电路存储电容的器件结构,其特征包括,所述的像素电容为晶体管电容,晶体管源极及漏极连接至该晶体管的本体,像素电容的栅极即为像素上极板,像素上极板下方为像素下极板,像素下极板在技术领域通常又称为 OD 层。

3. 如权利要求 2 所述的增大硅基液晶显示面板 LCOS 像素单元电路存储电容的器件结构,其特征包括,所述的第一窄型深 P⁺注入电容一端连接至 NMOS 存取晶体管的漏极,另一端连接至第一像素电容的下级板;所述的第二窄型深 P⁺注入电容一端连接至 PMOS 存取晶体管的漏极,另一端连接至第二像素电容的下级板。

4. 如权利要求 1 至 3 中任一项所述的增大硅基液晶显示面板 LCOS 像素单元电路存储电容的器件结构,其特征包括,所述寻址信号线、地信号线以及电源信号线横向布置,由第二层金属形成;列数据输入信号线纵向布置,由第一层金属形成。

5. 如权利要求 4 所述的增大硅基液晶显示面板 LCOS 像素单元电路存储电容的器件结构,其特征包括,所述第一叠层式金属电容以及第二叠层式金属电容中的第一层金属 (M1) 通过第一通孔 (V1) 和第二通孔 (V2) 与第三层金属 (M3) 连接,第二层金属 (M2) 通过第二通孔 (V2) 和第三通孔 (V3) 与第四层金属 (M4) 连接。

一种增大 LCOS 像素单元电路存储电容的器件结构

技术领域

[0001] 本实用新型属于信息科学技术学科的微电子应用技术领域,特别是涉及一种硅基液晶显示器像素单元器件结构领域。

背景技术

[0002] 硅基液晶显示器(LCOS, Liquid Crystal on Silicon)技术是液晶显示(LCD, Liquid Crystal Display)技术与互补金属氧化物半导体(CMOS, Complementary Metal Oxide Semiconductor)集成电路技术有机结合的反射型新型显示技术。

[0003] 通常 LCOS 像素单元电路由一个 N 型沟道金属氧化物半导体(NMOS, N-channel Metal Oxide Semiconductor)晶体管和 1 个存贮电容器串联构成(R. Ishii, S. Katayama, H. Oka, S. Yamazaki, S. Iino, U. Efron, I. David, V. Sinelnikov, B. Apter, "A CMOS/LCOS Image Transceiver Chip for Smart Goggle Applications"《IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS FOR VIDEO TECHNOLOGY》, 14 卷, 第 2 期, 2004 年 2 月, P269)。LCOS 驱动硅基板通过 NMOS 存取晶体管定期(帧周期)向存贮电容器输入数据电荷,为了保持每帧周期内电容上的电荷泄露小于 5%,需要高密度存储电容(日本学术振兴会第 142 委员会编,黄锡珉,黄辉光,李之熔译,《液晶器件手册》,航空工业出版社,1992, P442)。在 CMOS 半导体工艺中,存储电容通常采用 PIP 结构及 MOS 结构实现,这些存储电容布局于与晶体管相同的平面上,当像素装置的布局面积缩小时,存储电容的电容量便会急剧下降。

[0004] 因此如何建立合理的像素单元器件结构,充分有效利用像素装置在布局上的空间,制备合乎要求的高密度存储电容器,是目前 LCOS 显示技术的重要研究课题。

实用新型内容

[0005] 本实用新型目的是解决如何充分有效利用像素装置在布局上的空间,制备合乎要求的高密度存储电容器的问题。

[0006] 本实用新型的目的是这样实现的:

[0007] 一种增大硅基液晶显示面板 LCOS 像素单元电路存储电容的器件结构,包括 PMOS 存取晶体管(1)、NMOS 存取晶体管(2)、N 型阱(3)、第一像素电容(4)、第一叠层式金属电容(5)、第一窄型深 P⁺注入电容(6)、第二像素电容(7)、第二叠层式金属电容(8)、第二窄型深 P⁺注入电容(9)和 P 型硅衬底(10);所述的 N 型阱(3)、NMOS 存取晶体管(2)、第一窄型深 P⁺注入电容(6)和第二窄型深 P⁺注入电容(9)放置于 P 型硅衬底(10)上,PMOS 存取晶体管(1)放置于 N 型阱(3)内;NMOS 存取晶体管(2)的栅极 G 连接至第一寻址信号线 SCAN 上,漏极 D 连接至第一像素电容(4);PMOS 存取晶体管(1)的栅极 G 连接至第二寻址信号线 SCAN 上,漏极 D 连接至第二像素电容(7);PMOS 存取晶体管(1)的漏极和 NMOS 存取晶体管(2)的漏极相连,PMOS 存取晶体管(1)的源极和 NMOS 存取晶体管(2)的源极 S 均连接至同一列数据输入线 DATA 以接收图像信息;NMOS 存取晶体管(2)和 PMOS 存取晶体管(1)形成互补的 MOS 传输门;覆盖在第一像素电容(4)之上的第一层金属 M1、第二层金属 M2、第三层

金属 M3 和第四层金属 M4 形成第一叠层式金属电容 (5), 第一像素电容 (4)、第一叠层式金属电容 (5) 和第一窄型深 P+ 注入电容 (7) 具有公共端即并联; 与 NMOS 存取晶体管 (2) 相连接的第一叠层式金属电容 (5) 的第一层金属 M1 连接至地信号线 GND。覆盖在第二像素电容 (7) 之上的第一层金属 M1、第二层金属 M2、第三层金属 M3 和第四层金属 M4 形成第二叠层式金属电容 (8), 第二像素电容 (7)、第二叠层式金属电容 (8) 和第二窄型深 P+ 注入电容 (9) 具有公共端即并联; 与 PMOS 存取晶体管 (1) 相连接的第二叠层式金属电容 (8) 中的第一层金属 M1 连接至电源信号线 VCC。NMOS 存取晶体管 (2) 和 PMOS 存取晶体管 (1) 形成互补的 MOS 传输门, 有效降低了像素输入数据的损耗。像素电容、叠层式金属电容和窄型深 P+ 注入电容具有公共端, 由此得以增大存储电容器的单位电容值, 并增进 LCOS 的效能。

[0008] 所述的像素电容为晶体管电容, 晶体管源极及漏极连接至该晶体管的本体, 像素电容的栅极即为像素上极板, 像素上极板下方为像素下极板, 像素下极板在技术领域通常又称为 OD 层。

[0009] 所述的第一窄型深 P+ 注入电容一端连接至 NMOS 存取晶体管的漏极, 另一端连接至第一像素电容的下级板; 所述的第二窄型深 P+ 注入电容一端连接至 PMOS 存取晶体管的漏极, 另一端连接至第二像素电容的下级板。

[0010] 所述寻址信号线、地信号线以及电源信号线横向布置, 由叠层式金属电容中的第二层金属形成; 列数据输入信号线纵向布置, 由叠层式金属电容中的第一层金属形成。

[0011] 所述第一叠层式金属电容以及第二叠层式金属电容中的第一层金属 (M1) 通过第一通孔 (V1) 和第二通孔 (V2) 与第三层金属 (M3) 连接, 第二层金属 (M2) 通过第二通孔 (V2) 和第三通孔 (V3) 与第四层金属 (M4) 连接。

[0012] 本实用新型的优点和有益效果:

[0013] 提供一种新的增大 LCOS 像素单元电路存储电容的器件结构, 在像素装置有限的布局面积上, 通过合理利用工艺现有金属层来制造高密度叠层式金属电容, 通过深注入 P+ 形成窄平板型电容器, 并使上述两种电容器与像素单元的像素电容并联, 由此得以增大存储电容器的单位电容值。

附图说明

[0014] 图 1 LCOS 像素单元器件结构原理图。

[0015] 图 2 NMOS 存取晶体管与三并联电容布局结构图。

[0016] 图 3 显示叠层式金属电容布局的剖面图。

[0017] 图中, 1、PMOS 存取晶体管, 2、NMOS 存取晶体管, 4、第一像素电容, 5、第一叠层式金属电容, 6、第一窄型深 P+ 注入电容, 7、第二像素电容, 8、第二叠层式金属电容, 9、第二窄型深 P+ 注入电容, 10、P 型硅衬底;

[0018] CT 接触孔

[0019] V1 第一通孔

[0020] V2 第二通孔

[0021] V3 第三通孔

[0022] M1 第一层金属

[0023] M2 第二层金属

[0024]	M3	第三层金属
[0025]	M4	第四层金属
[0026]	G	栅极
[0027]	S	源极
[0028]	D	漏极
[0029]	SCAN	寻址信号线
[0030]	DATA	列数据输入信号线
[0031]	VCC	电源信号线
[0032]	GND	地信号线。

具体实施方式

[0033] 下面对本实用新型作进一步具体说明：

[0034] 一种增大硅基液晶显示面板 LCOS 像素单元电路存储电容的器件结构,包括 PMOS 存取晶体管 (1)、NMOS 存取晶体管 (2)、N 型阱 (3)、第一像素电容 (4)、第一叠层式金属电容 (5)、第一窄型深 P⁺注入电容 (6)、第二像素电容 (7)、第二叠层式金属电容 (8)、第二窄型深 P⁺注入电容 (9) 和 P 型硅衬底 (10)。

[0035] 位于上半部的 PMOS 存取晶体管 (1) 放置在 N 型阱区 (3) 中,其栅极 G 通过接触孔 CT 连接至第一层金属 M1,再通过第一通孔 V1 连接至寻址信号线 SCAN,而下半部的 NMOS 存取晶体管 (2) 放置在 P 型硅衬底 (6) 上,其栅极 G 通过接触孔 CT 连接至第一层金属 M1,再通过第一通孔 V1 连接至另一个寻址信号线 SCAN。位于上半部 PMOS 存取晶体管 (1) 及下半部 NMOS 存取晶体管 (2) 的源极 S 与源极 S 相连、漏极 D 和漏极 D 相连;存取晶体管的源极 S 通过接触孔 CT 连接至列数据输入线 DATA 上,NMOS 存取晶体管 (2) 的漏极 D 经由两个接触孔 CT 连接至第一层金属 M1,再通过接触孔 CT 连接至第一像素电容 (4) 的栅极 G;PMOS 存取晶体管 (1) 的漏极 D 经由两个接触孔 CT 连接至第一层金属 M1,再通过接触孔 CT 连接至第二像素电容 (7) 的栅极 G

[0036] 第一像素电容 (4) 和第二像素电容 (7) 为晶体管电容,晶体管源极 S 及漏极 D 连接至该晶体管的本体。像素电容的栅极 G 即为像素上极板,像素上极板下方为像素下极板,像素下极板在技术领域通常又称为 OD 层,像素下极板和像素上极板之间有部分重叠,重叠区域的大小决定其有效电容值。

[0037] 第一叠层式金属电容 (5) 布局于第一像素电容 (4) 空间之上,第二叠层式金属电容 (8) 布局于第二像素电容 (7) 空间之上,叠层式金属电容由第一层金属 M1、第二层金属 M2、第三层金属 M3 和第四层金属 M4 构成。其中第一层金属 M1 通过第一通孔 V1、第二通孔 V2 与第三层金属 M3 相连,第二层金属 M2 通过第二通孔 V2、第三通孔 V3 连接至第四层金属 M4。

[0038] N 型阱区 (3) 中的第二像素电容 (7) 下极板通过接触孔 CT 连接至第一层金属 M1,再通过第一通孔 V1 连接至电源信号线 VCC;P 型硅衬底 (10) 上的第一像素电容 (4) 下极板通过接触孔 CT 连接至第一层金属 M1,再通过第一通孔 V1 连接至地信号线 GND。第一像素电容 (4) 的像素上极板通过接触孔 CT、第一通孔 V1 连接至第一叠层式金属电容 (5) 的第二层金属 M2,共同连接至 NMOS 存取晶体管 (2) 的漏极 D,第一像素电容 (4) 的像素下极板通

过接触孔 CT 连接至第一叠层式金属电容 (5) 的第一层金属 M1 ;第二像素电容 (7) 的像素上极板通过接触孔 CT、第一通孔 V1 连接至第二叠层式金属电容 (8) 的第二层金属 M2,共同连接至 PMOS 存取晶体管 (1) 的漏极 D,第二像素电容 (7) 的像素下极板通过接触孔 CT 连接至第二叠层式金属电容 (8) 的第一层金属 M1,以此形成第一像素电容 (4) 和第一叠层式金属电容 (5) 的并联,第二像素电容 (7) 和第二叠层式金属电容 (8) 的并联,增大存储电容器的单位电容值。

[0039] 第一窄型深 P⁺注入电容 (6) 放置于 P 型硅衬底 (10) 内,电容一端通过接触孔 CT 连接至第一层金属 M1,再通过接触孔 CT 连接至 NMOS 存取晶体管 (2) 的漏极 D,电容另一端通过接触孔 CT 连接至第一层金属 M1,再通过第一通孔 V1 连接至第一像素电容 (4) 的下极板。第二窄型深 P⁺注入电容 (9) 放置于 P 型硅衬底 (10) 内,电容一端通过接触孔 CT 连接至第一层金属 M1,再通过接触孔 CT 连接至 PMOS 存取晶体管 (1) 的漏极 D,电容另一端通过接触孔 CT 连接至第一层金属 M1,再通过第一通孔 V1 连接至第二像素电容 (7) 的下极板。至此形成第一像素电容 (4),第一窄型深 P⁺注入电容 (6) 和第一叠层式金属电容 (5) 的并联,第二像素电容 (7),第二窄型深 P⁺注入电容 (9) 和第二叠层式金属电容 (8) 的并联,增大存储电容的单位电容值。

[0040] 图 1 显示本实用新型实施例一种增大硅基液晶显示面板 LCOS 像素单元电路存储电容的器件结构原理图,LCOS 像素单元具有寻址信号布线 SCAN、电源信号布线 VCC、列数据输入信号布线 DATA、地信号布线 GND、一个 NMOS 存取晶体管 (2)、一个 PMOS 存取晶体管 (1)、N 型阱 (3)、第一像素电容 (4)、第一叠层式金属电容 (5)、第一窄型深 P⁺注入电容 (6)、第二像素电容 (7)、第二叠层式金属电容 (8)、第二窄型深 P⁺注入电容 (9) 和 P 型硅衬底 (10) 组成。其中位于 P 型硅衬底的第一窄型深 P⁺注入电容 (6)、第一叠层式金属电容 (5) 和第一像素电容 (4) 并联,一端连接至 NMOS 存取晶体管 2 的漏极 D,另一端连接至地信号布线 GND;第二窄型深 P⁺注入电容 (9)、第二叠层式金属电容 (8) 和第二像素电容 (7) 并联,一端连接至 PMOS 存取晶体管 (1) 的漏极 D,另一端连接至电源信号布线 VCC。NMOS 存取晶体管 (2) 和 PMOS 存取晶体管 (1) 的源极 S 与源极 S 相连,并共同连接至列数据输入信号布线 DATA,漏极 D 和漏极 D 相连。

[0041] 图 2 显示本实用新型实施例的 NMOS 存取晶体管与三并联电容布局结构图,NMOS 存取晶体管 (2) 与第一像素电容 (4) 布局在相同的平面上,第一叠层式金属电容 (5) 覆盖在第一像素电容 (4) 的上方。位于 NMOS 存取晶体管 (2) 的栅极 G 左方和右方分别为存取晶体管的漏极 D 和源极 S,第一像素电容 (4) 的像素上极板通过接触孔 CT、第一通孔 V1 连接至第一叠层式金属电容 (5) 的第二层金属 M2,共同连接至 NMOS 存取晶体管的漏极 D,第一像素电容 (4) 的像素下极板通过接触孔 CT 连接至第一叠层式金属电容 (5) 的第一层金属 M1,以此形成第一像素电容 (4) 和第一叠层式金属电容 (5) 的并联。第一窄型深 P⁺注入电容 (6) 一端通过接触孔 CT 连接至第一层金属 M1,再通过接触孔 CT 连接至 NMOS 存取晶体管 (2) 的漏极 D,电容另一端通过接触孔 CT 连接至第一层金属 M1,再通过第一通孔 V1 连接至第一像素电容 (4) 的下极板。至此形成第一像素电容 (4),第一窄型深 P⁺注入电容 (6) 和第一叠层式金属电容 (5) 的并联,增大存储电容的单位电容值。PMOS 存取晶体管与三并联电容布局结构图和 NMOS 存取晶体管与三并联电容布局结构图相同。

[0042] 图 3 显示本实用新型实施例的叠层式金属电容布局的剖面图,第一叠层式金属电

容布局和第二叠层式金属电容布局相同。第一层金属 M1 通过第一通孔 V1、第二通孔 V2 与第三层金属 M3 相连,第二层金属 M2 通过第二通孔 V2、第三通孔 V3 连接至第四层金属 M4,至此构造完成叠层式金属电容 (5)。多层金属平板垂直地堆叠在一起,从上到下,每两层金属之间都存在着电容,将奇数层的金属连接在一起,同时将偶数层的金属连接起来,从剖面看,得到两个梳状结构的交叉,制备所谓的叠层电容器可以在单位芯片面积上获得更大的电容。

[0043] 以上所述仅为本实用新型的优选实施方式,但本实用新型保护范围并不局限于此。任何本领域的技术人员在本实用新型公开的技术范围内,均可对其进行适当的改变或变化,而这种改变或变化都应涵盖在本实用新型的保护范围之内。

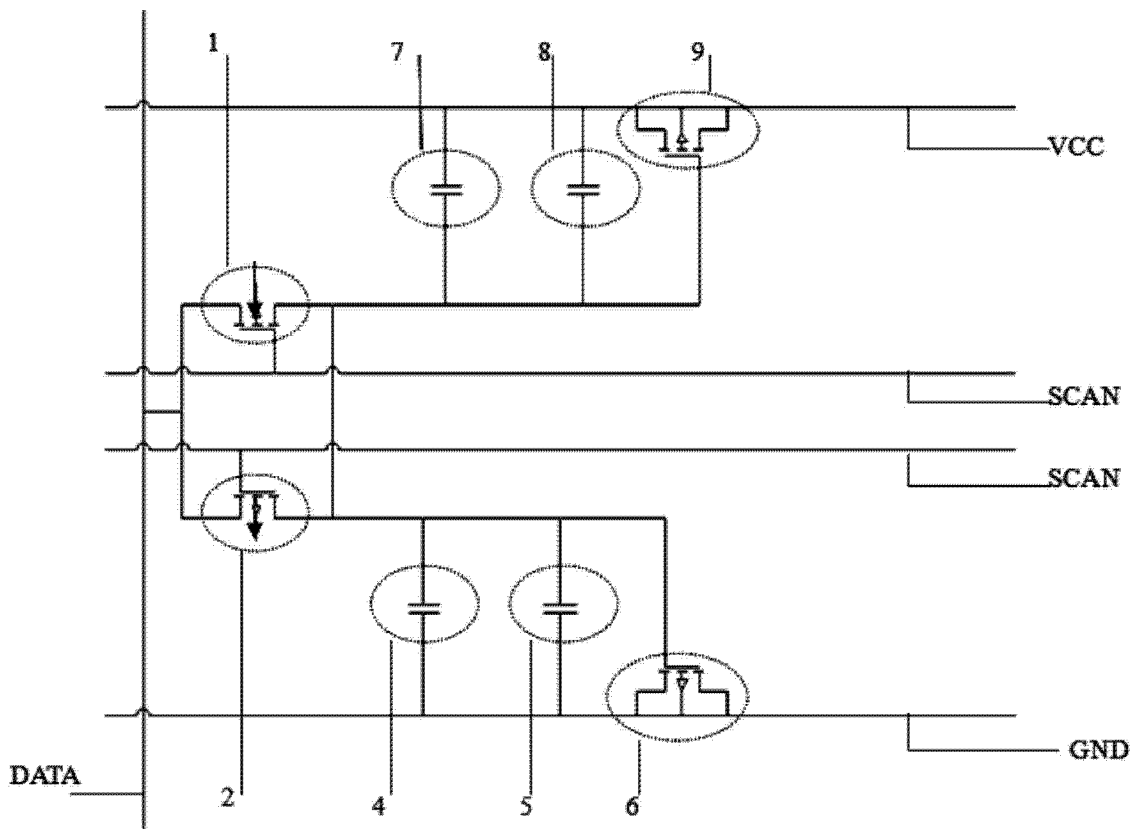


图 1

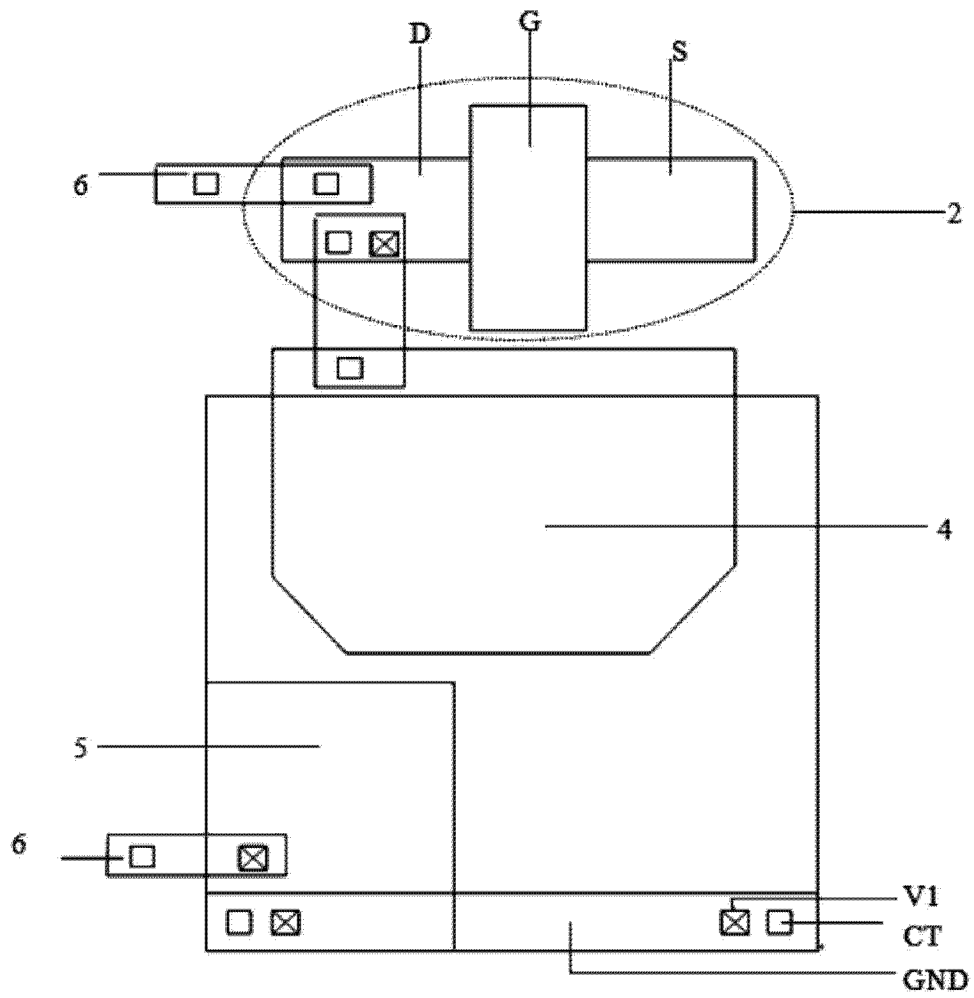


图 2

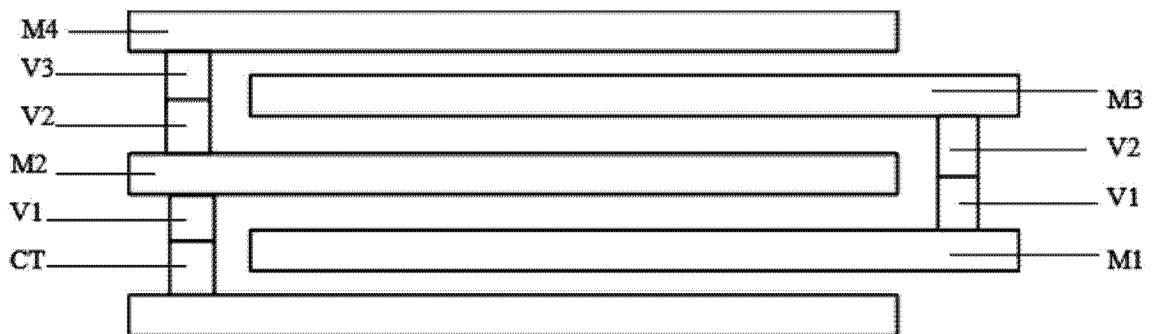


图 3

专利名称(译)	一种增大LCOS像素单元电路存储电容的器件结构		
公开(公告)号	CN204557029U	公开(公告)日	2015-08-12
申请号	CN201520277647.9	申请日	2015-04-30
[标]申请(专利权)人(译)	南开大学		
申请(专利权)人(译)	南开大学		
当前申请(专利权)人(译)	南开大学		
[标]发明人	代永平 刘丕娇		
发明人	代永平 刘丕娇		
IPC分类号	G02F1/1362 H01L23/528 H01L27/04		
代理人(译)	侯力		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型提出了一种增大硅基液晶显示面板LCOS像素单元电路存储电容的器件结构，属于信息科学技术学科的微电子技术领域。LCOS像素单元器件结构设置在P型硅衬底上，具有N型阱，PMOS存取晶体管，NMOS存取晶体管，像素电容，叠层式金属电容以及窄型深P+注入电容。本实用新型建立了合理的像素单元器件结构，NMOS存取晶体管和PMOS存取晶体管形成互补的MOS传输门，有效降低了像素输入数据的损耗，并且通过合理利用工艺现有金属层来制造高密度叠层式金属电容，通过在P型硅衬底内部深注入的P+形成窄平板型电容器，并使上述两种电容器与像素单元的像素电容并联，由此得以增大存储电容器的电容值。

