



(12)发明专利申请

(10)申请公布号 CN 109637483 A

(43)申请公布日 2019.04.16

(21)申请号 201910059101.9

(22)申请日 2019.01.22

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 刘全胜

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

G09G 3/36(2006.01)

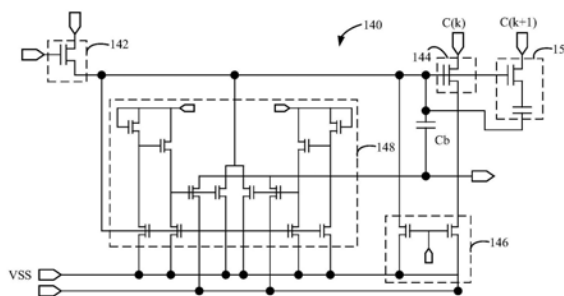
权利要求书2页 说明书4页 附图3页

(54)发明名称

GOA电路以及液晶显示装置

(57)摘要

一种GOA电路,包括多个级联的GOA模块,每一所述多个GOA模块包括:上拉控制电路,用于对所述模块的预充点预充电;上拉电路,用于提高所述GOA模块的栅极输出;下拉电路;下拉维持电路;自举电容用于将所述栅极输出提升为第一高电平;以及耦合电路,用于将所述预充点提升为第二高电平,所述第二高电平高于所述第一高电平。还提供一种液晶显示装置。



1. 一种GOA电路,其特征在于,包括多个级联的GOA模块,每一所述多个GOA模块包括:
上拉控制电路,用于对所述模块的预充点预充电;
上拉电路,电性连接至所述上拉控制电路并用于提高所述GOA模块的栅极输出;
下拉电路,电性连接至所述上拉控制电路及所述上拉电路;
下拉维持电路,电性连接至所述上拉控制电路、所述上拉电路及所述下拉电路;
自举电容,电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路及所述下拉维持电路并用于将所述栅极输出提升为第一高电平;以及
耦合电路,电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路、所述下拉维持电路及所述自举电容并用于将所述预充点提升为第二高电平,所述第二高电平高于所述第一高电平。
2. 根据权利要求1所述的GOA电路,其特征在于,所述耦合电路包括:
第一晶体管,所述第一晶体管的栅极电性连接至所述预充点,所述第一晶体管的源极电性连接至时钟信号;以及
第一电容,电性连接于所述第一晶体管的漏极与所述预充点之间。
3. 根据权利要求2所述的GOA电路,其特征在于,所述时钟信号与输入至所述GOA模块的时钟信号不同。
4. 根据权利要求1所述的GOA电路,其特征在于,所述下拉电路用于将所述预充点及所述栅极输出拉低至低电平。
5. 根据权利要求4所述的GOA电路,其特征在于,所述下拉维持电路用于将所述预充点及所述栅极输出维持在所述低电平。
6. 一种液晶显示装置,其特征在于,包括:
多条源极线;
多条栅极线,所述多条源极线及所述多条栅极线定义出多个像素;以及
GOA电路,电性连接至所述多条栅极线并用于向所述多条栅极线提供扫描信号,所述GOA电路包括多个级联的GOA模块,每一所述多个GOA模块包括:
上拉控制电路,用于对所述模块的预充点预充电;
上拉电路,电性连接至所述上拉控制电路并用于提高所述GOA模块的栅极输出;
下拉电路,电性连接至所述上拉控制电路及所述上拉电路;
下拉维持电路,电性连接至所述上拉控制电路、所述上拉电路及所述下拉电路;
自举电容,电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路及所述下拉维持电路并用于将所述栅极输出提升为第一高电平;以及
耦合电路,电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路、所述下拉维持电路及所述自举电容并用于将所述预充点提升为第二高电平,所述第二高电平高于所述第一高电平。
7. 根据权利要求6所述的液晶显示装置,其特征在于,所述耦合电路包括:
第一晶体管,所述第一晶体管的栅极电性连接至所述预充点,所述第一晶体管的源极电性连接至时钟信号;以及
第一电容,电性连接于所述第一晶体管的漏极与所述预充点之间。
8. 根据权利要求7所述的液晶显示装置,其特征在于,所述时钟信号与输入至所述GOA

模块的时钟信号不同。

9. 根据权利要求6所述的液晶显示装置,其特征在于,所述下拉电路用于将所述预充点及所述栅极输出拉低至低电平。

10. 根据权利要求9所述的液晶显示装置,其特征在于,所述下拉维持电路用于将所述预充点及所述栅极输出维持在所述低电平。

GOA电路以及液晶显示装置

技术领域

[0001] 本揭示涉及显示技术领域,特别是涉及一种GOA电路以及液晶显示装置。

背景技术

[0002] 一种驱动液晶显示装置的扫描线的技术为阵列基板行驱动(Gate driver On Array,GOA)技术。GOA技术是指将栅极驱动电路直接制作于液晶显示装置之阵列基板上,因此不需要外接的栅极驱动集成电路。由于可以直接利用现有的制程将栅极驱动电路制作于阵列基板上,因此可降低制造成本且适用于窄边框及薄型化的液晶显示装置。

[0003] 现有GOA电路包括多个GOA模块,每个GOA模块用于提供一扫描信号给一条扫描线。GOA模块的输出波形的下降时间(falling time)是判断GOA模块的输出波形优劣的重要因素。当下降时间越短,GOA模块可以越快将与扫描线电性连接的薄膜晶体管不导通,像素错充的风险就越低。然而现有GOA模块的输出波形的下降时间不够短的问题。

[0004] 因此需要对现有技术的问题提出解决方法。

发明内容

[0005] 本揭示的目的在于提供一种GOA电路以及液晶显示装置,其能解决现有GOA模块的输出波形的下降时间不够短的问题。

[0006] 为解决上述问题,本揭示提供的一种GOA电路包括多个级联的GOA模块,每一所述多个GOA模块包括:上拉控制电路,用于对所述模块的预充点预充电;上拉电路,电性连接至所述上拉控制电路并用于提高所述GOA模块的栅极输出;下拉电路,电性连接至所述上拉控制电路及所述上拉电路;下拉维持电路,电性连接至所述上拉控制电路、所述上拉电路及所述下拉电路;自举电容,电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路及所述下拉维持电路并用于将所述栅极输出提升为第一高电平;以及耦合电路,电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路、所述下拉维持电路及所述自举电容并用于将所述预充点提升为第二高电平,所述第二高电平高于所述第一高电平。

[0007] 于一实施例中,所述耦合电路包括:第一晶体管,所述第一晶体管的栅极电性连接至所述预充点,所述第一晶体管的源极电性连接至时钟信号;以及第一电容,电性连接于所述第一晶体管的漏极与所述预充点之间。

[0008] 于一实施例中,所述时钟信号与输入至所述GOA模块的时钟信号不同。

[0009] 于一实施例中,所述下拉电路用于将所述预充点及所述栅极输出拉低至低电平。

[0010] 于一实施例中,所述下拉维持电路用于将所述预充点及所述栅极输出维持在所述低电平。

[0011] 为解决上述问题,本揭示提供的一种液晶显示装置包括:多条源极线;多条栅极线,所述多条源极线及所述多条栅极线定义出多个像素;以及GOA电路,电性连接至所述多条栅极线并用于向所述多条栅极线提供扫描信号,所述GOA电路包括多个级联的GOA模块,每一所述多个GOA模块包括:上拉控制电路,用于对所述模块的预充点预充电;上拉电路,电

性连接至所述上拉控制电路并用于提高所述GOA模块的栅极输出；下拉电路，电性连接至所述上拉控制电路及所述上拉电路；下拉维持电路，电性连接至所述上拉控制电路、所述上拉电路及所述下拉电路；自举电容，电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路及所述下拉维持电路并用于将所述栅极输出提升为第一高电平；以及耦合电路，电性连接至所述上拉控制电路、所述上拉电路、所述下拉电路、所述下拉维持电路及所述自举电容并用于将所述预充点提升为第二高电平，所述第二高电平高于所述第一高电平。

[0012] 于一实施例中，所述耦合电路包括：第一晶体管，所述第一晶体管的栅极电性连接至所述预充点，所述第一晶体管的源极电性连接至时钟信号；以及第一电容，电性连接于所述第一晶体管的漏极与所述预充点之间。

[0013] 于一实施例中，所述时钟信号与输入至所述GOA模块的时钟信号不同。

[0014] 于一实施例中，所述下拉电路用于将所述预充点及所述栅极输出拉低至低电平。

[0015] 于一实施例中，所述下拉维持电路用于将所述预充点及所述栅极输出维持在所述低电平。

[0016] 相较于现有技术，本揭示之GOA电路以及液晶显示装置中，由于所述耦合电路能够在所述预充点的基础上再次进行耦合（亦即第二次耦合），因此能够降低所述GOA模块的栅极输出的下降时间，进而降低所述像素错充的风险。此外，本揭示之GOA电路以及液晶显示装置能够再次提升所述预充点的电平，进而使所述栅极输出的波形更加理想。

[0017] 为了让本揭示的上述内容能更明显易懂，下文特举优选实施例，并配合所附图式，作详细说明如下：

附图说明

[0018] 图1显示根据本揭示一实施例之液晶显示装置。

[0019] 图2显示图1中一个GOA模块的电路图。

[0020] 图3显示本揭示之GOA模块的栅极输出的电压曲线C1与现有GOA模块的栅极输出的电压曲线C2。

[0021] 图4显示本揭示之GOA模块的预充点的电压曲线C1'与现有GOA模块的预充点的电压曲线C2'。

具体实施方式

[0022] 以下各实施例的说明是参考附加的图式，用以例示本揭示可用以实施的特定实施例。

[0023] 请参阅图1，图1显示根据本揭示一实施例之液晶显示装置。

[0024] 所述液晶显示装置具有一显示区10以及一非显示区30。所述显示装置包括多条源极线S1-SN、多条栅极线G1-GM、至少一源极驱动单元12（图中显示一个源极驱动单元12）以及一阵列基板行驱动电路（Gate driver On Array，以下称GOA电路）14。

[0025] 所述多条源极线S1-SN及所述多条栅极线G1-GM设置于所述显示区10上。更明确地说，所述多条源极线S1-SN设置于所述显示区10上并延伸至所述源极驱动单元12。所述多条栅极线G1-GM设置于所述显示区10上并延伸至所述多个栅极驱动单元14。所述多条源极线S1-SN沿一第一方向形成。所述多条栅极线G1-GM沿一第二方向形成。所述第一方向垂直于

所述第二方向。所述多条源极线S1-SN及所述多条栅极线G1-GM定义出多个像素16。每一所述像素16电性连接至一薄膜晶体管18。

[0026] 所述源极驱动单元12设置于所述非显示区30上并电性连接至所述多条源极线S1-SN的第一端。所述源极驱动单元12用于向所述多条源极线S1-SN提供数据电压,所述数据电压用于写入所述像素16。

[0027] 所述GOA电路14设置于所述非显示区30上。所述GOA电路14电性连接至所述多条栅极线G1-GM并用于向所述多条栅极线G1-GM提供扫描信号。

[0028] 所述GOA电路14包括多个级联的GOA模块140。每一级GOA模块接收相应的时钟信号。

[0029] 请参阅图1以及图2,图2显示图1中一个GOA模块140的电路图。

[0030] 所述GOA模块140包括一上拉控制电路142、一上拉电路144、一下拉电路146、一下拉维持电路148、一自举电容Cb以及一耦合电路150。

[0031] 所述上拉控制电路142用于对所述GOA模块140的预充点Q实现预充电。所述上拉控制电路142通常电性连接至上一级的GOA模块140所传送的下传信号。

[0032] 所述上拉电路144电性连接至所述上拉控制电路142并用于提高本级GOA模块140的栅极输出OUT。所述栅极输出OUT用于导通与该GOA模块140对应的扫描线电性连接的薄膜晶体管18。

[0033] 所述下拉电路146电性连接至所述上拉控制电路142及所述上拉电路144并用于将所述预充点Q及所述栅极输出OUT拉低至一低电平VSS,进而不导通与该GOA模块140对应的扫描线电性连接的薄膜晶体管18。

[0034] 所述下拉维持电路148电性连接至所述上拉控制电路142、所述上拉电路144及所述下拉电路146并用于将所述预充点Q及所述栅极输出OUT维持在所述低电平VSS。

[0035] 所述自举电容Cb电性连接至所述上拉控制电路142、所述上拉电路144、所述下拉电路146及所述下拉维持电路148并用于将所述GOA模块140的栅极输出OUT提升为一第一高电平(第一次耦合)。

[0036] 为了降低所述GOA模块140的栅极输出OUT的下降时间,本揭示之GOA模块140进一步包括所述耦合电路150。所述耦合电路150电性连接至所述上拉控制电路142、所述上拉电路144、所述下拉电路146、所述下拉维持电路148及所述自举电容Cb并用于将所述预充点Q提升为一第二高电平。所述第二高电平高于所述第一高电平。

[0037] 所述耦合电路150包括一第一晶体管T1以及一第一电容C1。

[0038] 所述第一晶体管T1的栅极电性连接至所述预充点Q。所述第一晶体管T1的源极电性连接至一输入至其他级的GOA模块140的时钟信号。也就是说,所述第一晶体管T1的源极电性连接的时钟信号与输入至本级GOA模块140的时钟信号不同。举例来说,所述第一晶体管T1的源极电性连接至下一级的GOA模块140的时钟信号CK(k+1)。所述第一晶体管T1的漏极电性连接至所述预充点Q。

[0039] 所述第一电容C1电性连接于所述第一晶体管T1的漏极与所述预充点Q之间并用于将所述第一晶体管T1的输出电压耦合至所述预充点Q。

[0040] 由于所述耦合电路150能够在所述预充点Q的基础上再次进行耦合(亦即第二次耦合),因此能够降低所述GOA模块140的栅极输出OUT的下降时间,所述GOA模块140可以越快

将与扫描线电性连接的薄膜晶体管不导通,所述像素16错充的风险就越低。

[0041] 此外,由于所述耦合电路150能够在所述预充点Q的基础上再次进行耦合(亦即第二次耦合),因此能够再次提升所述预充点Q的电平,进而使所述栅极输出OUT的波形更加理想。

[0042] 请参阅图3,图3显示本揭示之GOA模块140的栅极输出OUT的电压曲线C1与现有GOA模块的栅极输出的电压曲线C2。

[0043] 如图3所示,本揭示之GOA模块140的栅极输出OUT的下降时间比现有GOA模块的栅极输出的下降时间更短,能下降约10%。

[0044] 请参阅图4,图4显示本揭示之GOA模块140的预充点Q的电压曲线C1'与现有GOA模块的预充点的电压曲线C2'。

[0045] 如图4所示,本揭示之GOA模块140的预充点Q的最终电压(最高电压)高于现有GOA模块的预充点的最终电压。

[0046] 本揭示之GOA电路以及液晶显示装置中,由于所述耦合电路能够在所述预充点的基础上再次进行耦合(亦即第二次耦合),因此能够降低所述GOA模块的栅极输出的下降时间,进而降低所述像素错充的风险。此外,本揭示之GOA电路以及液晶显示装置能够再次提升所述预充点的电平,进而使所述栅极输出的波形更加理想。

[0047] 综上所述,虽然本揭示已以优选实施例揭露如上,但上述优选实施例并非用以限制本揭示,本领域的普通技术人员,在不脱离本揭示的精神和范围内,均可作各种更动与润饰,因此本揭示的保护范围以权利要求界定的范围为准。

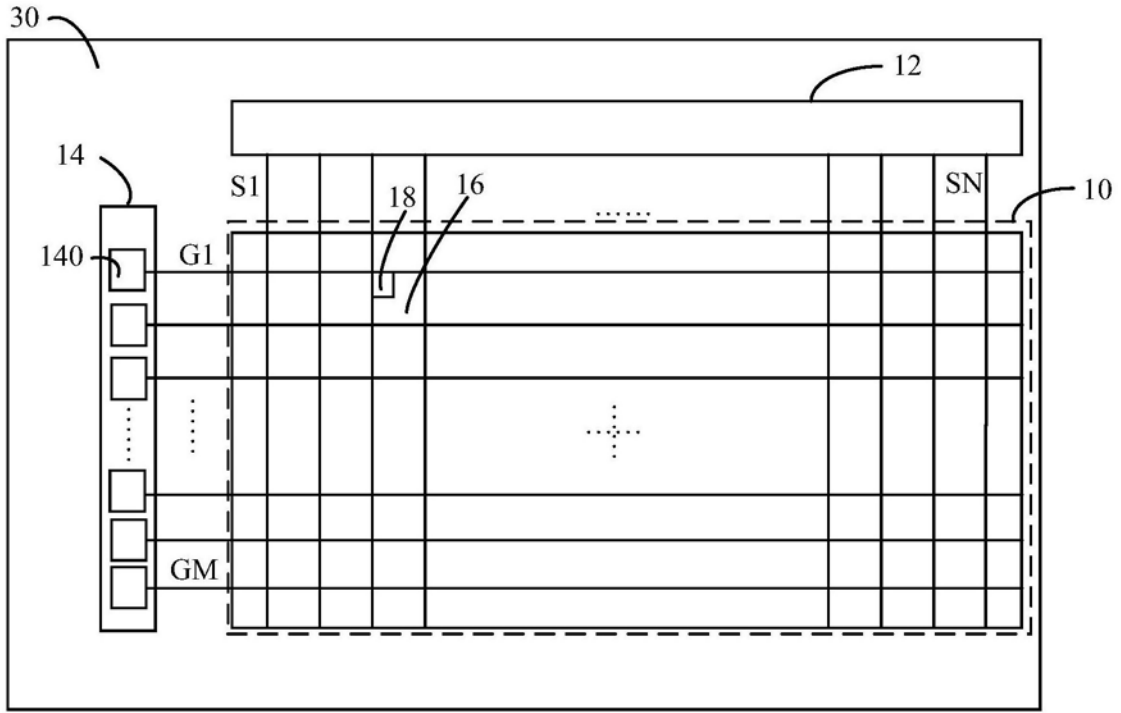


图1

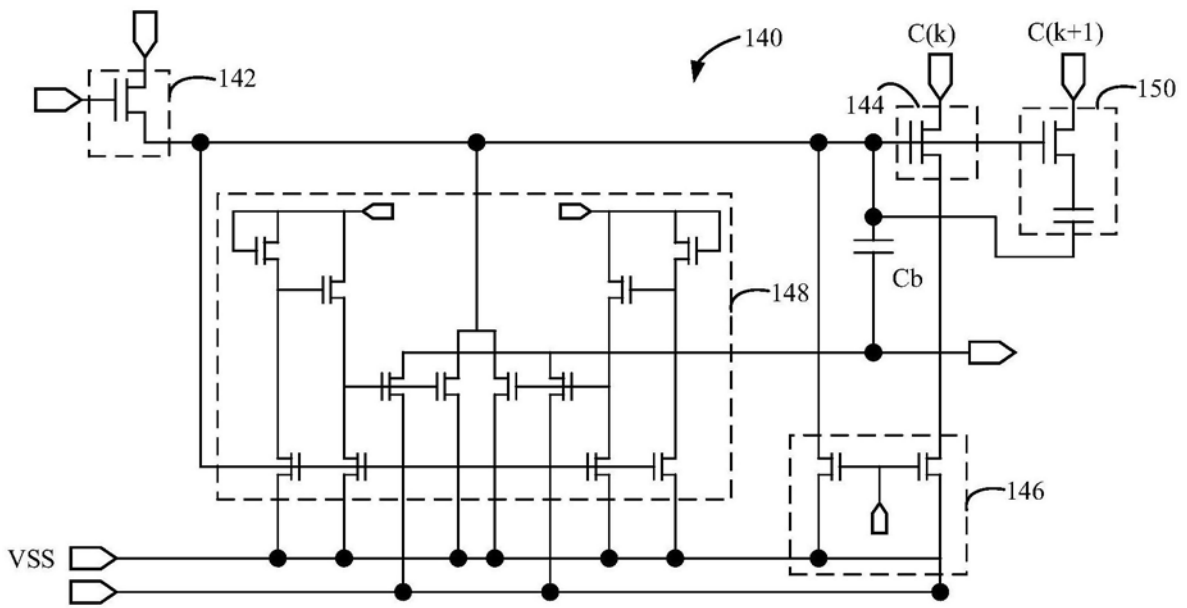


图2

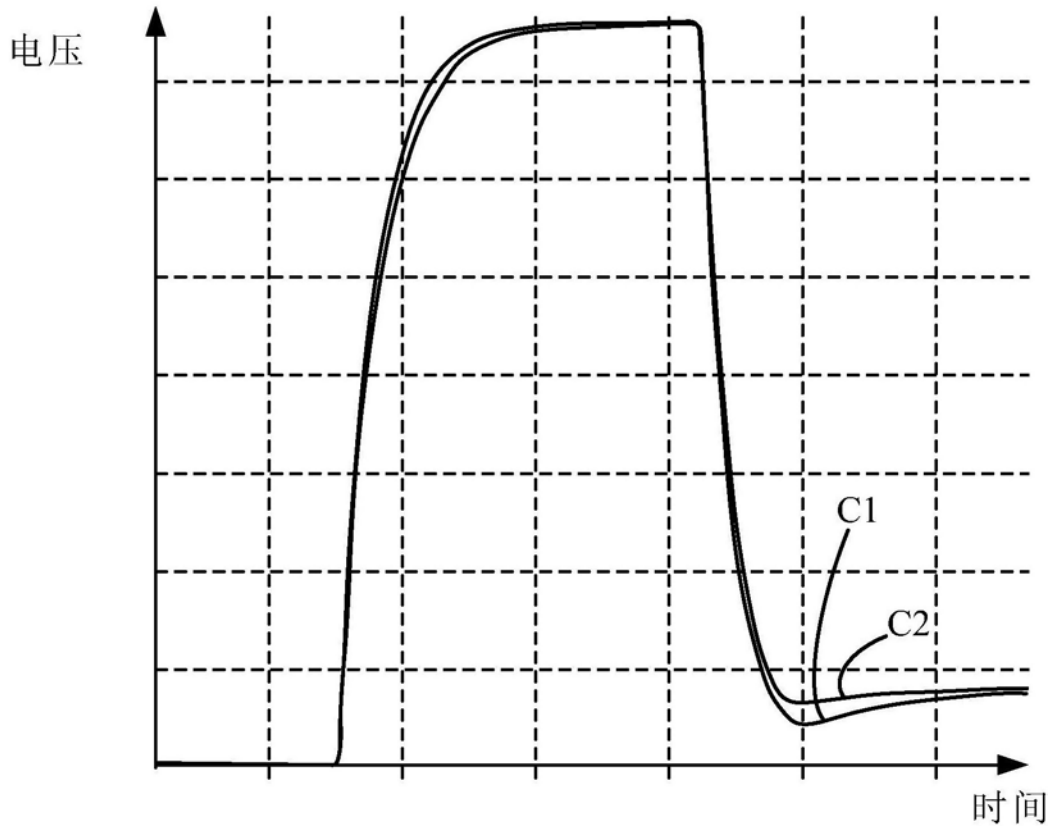


图3

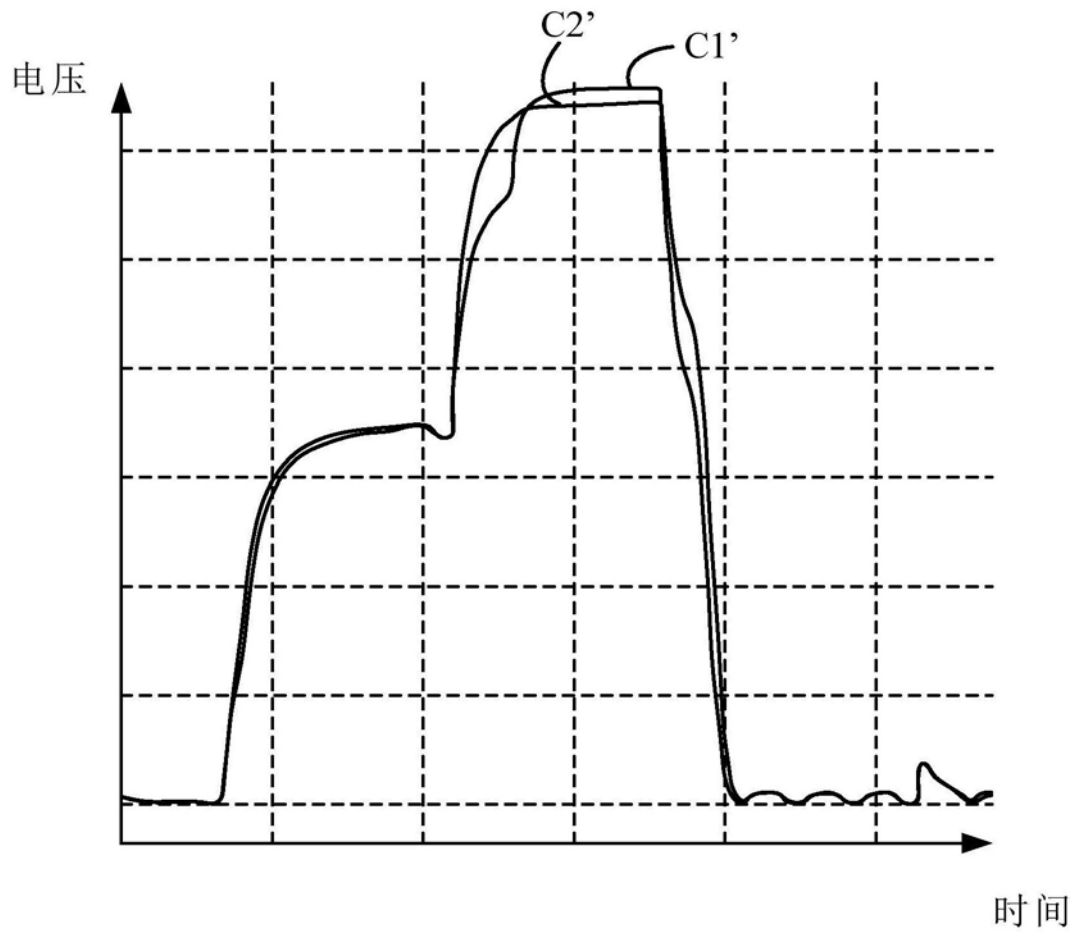


图4

专利名称(译)	GOA电路以及液晶显示装置		
公开(公告)号	CN109637483A	公开(公告)日	2019-04-16
申请号	CN201910059101.9	申请日	2019-01-22
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	刘全胜		
发明人	刘全胜		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648		
代理人(译)	黄威		
外部链接	Espacenet SIPO		

摘要(译)

一种GOA电路，包括多个级联的GOA模块，每一所述多个GOA模块包括：上拉控制电路，用于对所述模块的预充点预充电；上拉电路，用于提高所述GOA模块的栅极输出；下拉电路；下拉维持电路；自举电容用于将所述栅极输出提升为第一高电平；以及耦合电路，用于将所述预充点提升为第二高电平，所述第二高电平高于所述第一高电平。还提供一种液晶显示装置。

