



(12) 实用新型专利

(10) 授权公告号 CN 204857150 U

(45) 授权公告日 2015. 12. 09

(21) 申请号 201520474099. 9

G11C 19/28(2006. 01)

(22) 申请日 2015. 06. 30

(73) 专利权人 厦门天马微电子有限公司

地址 361100 福建省厦门市翔安区安西路  
6999 号

专利权人 天马微电子股份有限公司

(72) 发明人 沈新乐 吴昊

(74) 专利代理机构 深圳中一专利商标事务所  
44237

代理人 张全文

(51) Int. Cl.

G09G 3/36(2006. 01)

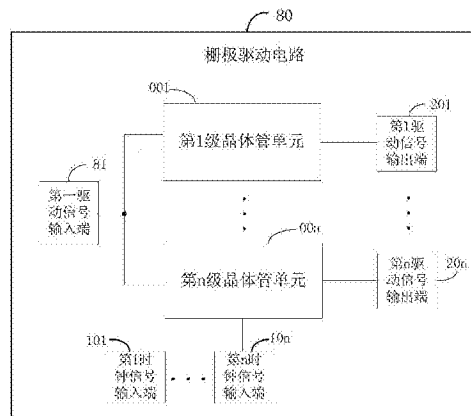
权利要求书2页 说明书7页 附图8页

(54) 实用新型名称

一种栅极驱动电路、垂直移位寄存器及液晶显示面板

(57) 摘要

本实用新型提供了一种栅极驱动电路、垂直移位寄存器及液晶显示面板,其中,栅极驱动电路包括由第1级晶体管单元到第n级晶体管单元依次连接组成的共n级晶体管单元,与所述n级晶体管单元中每级晶体管单元均电连接的第一驱动信号输入端,与所述第1级晶体管单元到第n级晶体管单元一一对应电连接的第1时钟信号输入端到第n时钟信号输入端,与所述第1级晶体管单元到第n级晶体管单元一一对应电连接的第1驱动信号输出端到第n驱动信号输出端。本实用新型通过栅极驱动电路取代现有技术的移位寄存器中除第1级移位寄存器单元以外的多级移位寄存器单元,在保证信号不失真的情况下简化了现有技术中移位寄存器的电路结构,实现了 TFT-LCD 面板的窄边框设计。



1. 一种栅极驱动电路,其特征在于,所述栅极驱动电路包括:  
由第 1 级晶体管单元到第 n 级晶体管单元依次连接组成的共 n 级晶体管单元;  
与所述 n 级晶体管单元中每级晶体管单元均电连接的第一驱动信号输入端;  
与所述第 1 级晶体管单元到第 n 级晶体管单元一一对应电连接的第 1 时钟信号输入端到第 n 时钟信号输入端;  
与所述第 1 级晶体管单元到第 n 级晶体管单元一一对应电连接的第 1 驱动信号输出端到第 n 驱动信号输出端,n 为大于或等于 1 的正整数。
2. 如权利要求 1 所述的栅极驱动电路,其特征在于,所述第 1 级晶体管单元到第 n 级晶体管单元中的每个晶体管单元均为 NMOS 管;  
其中,所述第 1 级 NMOS 管到第 n 级 NMOS 管的栅极均电连接于所述第一驱动信号输入端;  
所述第 1 级 NMOS 管到第 n 级 NMOS 管的漏极一一对应电连接所述第 1 时钟信号输入端到第 n 时钟信号输入端;  
所述第 1 级 NMOS 管到第 n 级 NMOS 管的源极一一对应电连接所述第 1 驱动信号输出端到第 n 驱动信号输出端。
3. 如权利要求 1 所述的栅极驱动电路,其特征在于,所述第 1 级晶体管单元到第 n 级晶体管单元中的每个晶体管单元均为 PMOS 管;  
其中,所述第 1 级 PMOS 管到第 n 级 PMOS 管的栅极均电连接于所述第一驱动信号输入端;  
所述第 1 级 PMOS 管到第 n 级 PMOS 管的源极一一对应电连接所述第 1 时钟信号输入端到第 n 时钟信号输入端;  
所述第 1 级 PMOS 管到第 n 级 PMOS 管的漏极一一对应电连接所述第 1 驱动信号输出端到第 n 驱动信号输出端。
4. 如权利要求 1 所述的栅极驱动电路,其特征在于,所述栅极驱动电路还包括与所述 n 级晶体管单元中每级晶体管单元均电连接的第二驱动信号输入端,所述第 1 级晶体管单元到第 n 级晶体管单元中的每个晶体管单元均为 CMOS 管,所述 CMOS 管由一个 NMOS 管和一个 PMOS 管组成;  
其中,所述第 1 级 CMOS 管的 NMOS 管的栅极到第 n 级 CMOS 管的 NMOS 管的栅极均电连接于所述第一驱动信号输入端;  
所述第 1 级 CMOS 管的 PMOS 管的栅极到第 n 级 CMOS 管的 PMOS 管的栅极均电连接于所述第二驱动信号输入端;  
所述第 n 级 CMOS 管中的 NMOS 管的漏极和 PMOS 管的漏极均电连接所述第 n 时钟信号输入端,所述第 n 级 CMOS 管中的 NMOS 管的源极和 PMOS 管的源极均电连接所述栅极驱动电路的第 n 驱动信号输出端。
5. 一种垂直移位寄存器,其特征在于,包括如权利要求 1~3 任一项所述的栅极驱动电路,所述垂直移位寄存器至少包括依次电连接以传递扫描控制信号的双向扫描器、锁存器、与非门、第一反相器以及所述栅极驱动电路,还包括与所述锁存器电连接的复位电路;  
其中,所述双向扫描器包括与外部电路电连接,以输入扫描控制信号的正向扫描控制信号输入端和反向扫描控制信号输入端;

所述锁存器包括与外部电路电连接,以输入时钟脉冲的第一时钟脉冲输入端以及输出所述移位信号的移位信号输出端;

所述与非门包括与外部电路电连接,以输入时钟脉冲的第二时钟脉冲输入端;

所述第一反相器与所述栅极驱动电路的第一驱动信号输入端电连接;

所述复位电路包括与外部电路电连接,以输入复位信号的复位信号输入端。

6. 如权利要求 5 所述的垂直移位寄存器,其特征在于,所述垂直移位寄存器还包括依次串接在所述与非门与所述第一反相器之间的第三反相器和第二反相器。

7. 一种垂直移位寄存器,其特征在于,包括如权利要求 4 所述的栅极驱动电路,所述垂直移位寄存器单元至少包括依次电连接以传递扫描控制信号的双向扫描器、锁存器、与非门、第一反相器以及所述栅极驱动电路,还包括与所述锁存器电连接的复位电路,所述与非门还与所述栅极驱动电路第二驱动信号输入端电连接;

其中,所述双向扫描器包括与外部电路电连接,以输入扫描控制信号的正向扫描控制信号输入端和反向扫描控制信号输入端;

所述锁存器包括与外部电路电连接,以输入时钟脉冲的第一时钟脉冲输入端以及输出所述移位信号的移位信号输出端;

所述与非门包括与外部电路电连接,以输入时钟脉冲的第二时钟脉冲输入端;

所述第一反相器与所述栅极驱动电路的第一驱动信号输入端电连接;

所述复位电路包括与外部电路电连接,以输入复位信号的复位信号输入端。

8. 如权利要求 7 所述的垂直移位寄存器,其特征在于,所述垂直移位寄存器还包括依次串接在所述与非门与所述第一反相器之间的第三反相器和第二反相器,所述与非门经所述第三反相器和所述第二反相器与所述栅极驱动电路的第二驱动信号输入端电连接。

9. 一种液晶显示面板,其特征在于,包括如权利要求 7 或 8 任一项所述的垂直移位寄存器。

## 一种栅极驱动电路、垂直移位寄存器及液晶显示面板

### 技术领域

[0001] 本实用新型属于薄膜场效应晶体管液晶显示器 (TFT-LCD) 领域, 尤其涉及一种栅极驱动电路、垂直移位寄存器及液晶显示面板。

### 背景技术

[0002] 垂直移位寄存器通常设置在薄膜场效应晶体管液晶显示器 (TFT-LCD) 的面板边框内。现有技术中的垂直移位寄存器通常都包括由第 1 级移位寄存器单元到第 N 级移位寄存器单元依次级联组成的共 N 级移位寄存器单元 (N 为  $\geq 1$  的正整数), 由于其电路结构复杂, 因而体积较大, 通常会占据薄膜场效应晶体管液晶显示器的面板边框内很大一部分空间, 因此要实现薄膜场效应晶体管液晶显示器的窄边框设计, 就必须简化垂直移位寄存器的内部电路结构。

### 实用新型内容

[0003] 本实用新型实施例的目的在于提供一种栅极驱动电路、垂直移位寄存器及液晶显示面板, 旨在解决目前的垂直移位寄存器的内部电路结构复杂, 不能缩减空间以实现薄膜场效应晶体管液晶显示器的窄边框设计的问题。

[0004] 本实用新型实施例是这样实现的, 提供一种栅极驱动电路, 所述栅极驱动电路包括:

[0005] 由第 1 级晶体管单元到第 n 级晶体管单元依次连接组成的共 n 级晶体管单元;

[0006] 与所述 n 级晶体管单元中每级晶体管单元均电连接的第一驱动信号输入端;

[0007] 与所述第 1 级晶体管单元到第 n 级晶体管单元一一对应电连接的第 1 时钟信号输入端到第 n 时钟信号输入端;

[0008] 与所述第 1 级晶体管单元到第 n 级晶体管单元一一对应电连接的第 1 驱动信号输出端到第 n 驱动信号输出端, n 为大于或等于 1 的正整数。

[0009] 优选的, 所述第 1 级晶体管单元到第 n 级晶体管单元中的每个晶体管单元均为 NMOS 管;

[0010] 其中, 所述第 1 级 NMOS 管到第 n 级 NMOS 管的栅极均电连接于所述第一驱动信号输入端;

[0011] 所述第 1 级 NMOS 管到第 n 级 NMOS 管的漏极一一对应电连接所述第 1 时钟信号输入端到第 n 时钟信号输入端;

[0012] 所述第 1 级 NMOS 管到第 n 级 NMOS 管的源极一一对应电连接所述第 1 驱动信号输出端到第 n 驱动信号输出端。

[0013] 优选的, 所述第 1 级晶体管单元到第 n 级晶体管单元中的每个晶体管单元均为 PMOS 管;

[0014] 其中, 所述第 1 级 PMOS 管到第 n 级 PMOS 管的栅极均电连接于所述第一驱动信号输入端;

[0015] 所述第 1 级 PMOS 管到第 n 级 PMOS 管的源极一一对应电连接所述第 1 时钟信号输入端到第 n 时钟信号输入端；

[0016] 所述第 1 级 PMOS 管到第 n 级 PMOS 管的漏极一一对应电连接所述第 1 驱动信号输出端到第 n 驱动信号输出端。

[0017] 优选的,所述栅极驱动电路还包括与所述 n 级晶体管单元中每级晶体管单元均电连接的第二驱动信号输入端,所述第 1 级晶体管单元到第 n 级晶体管单元中的每个晶体管单元均为 CMOS 管,所述 CMOS 管由一个 NMOS 管和一个 PMOS 管组成；

[0018] 其中,所述第 1 级 CMOS 管的 NMOS 管的栅极到第 n 级 CMOS 管的 NMOS 管的栅极均电连接于所述第一驱动信号输入端；

[0019] 所述第 1 级 CMOS 管的 PMOS 管的栅极到第 n 级 CMOS 管的 PMOS 管的栅极均电连接于所述第二驱动信号输入端；

[0020] 所述第 n 级 CMOS 管中的 NMOS 管的漏极和 PMOS 管的漏极均电连接所述第 n 时钟信号输入端,所述第 n 级 CMOS 管中的 NMOS 管的源极和 PMOS 管的源极均电连接所述栅极驱动电路的第 n 驱动信号输出端。

[0021] 本实用新型实施例还提供一种垂直移位寄存器,包括如前所述的栅极驱动电路,所述垂直移位寄存器至少包括依次电连接以传递扫描控制信号的双向扫描器、锁存器、与非门、第一反相器以及所述栅极驱动电路,还包括与所述锁存器电连接的复位电路；

[0022] 其中,所述双向扫描器包括与外部电路电连接,以输入扫描控制信号的正向扫描控制信号输入端和反向扫描控制信号输入端；

[0023] 所述锁存器包括与外部电路电连接,以输入时钟脉冲的第一时钟脉冲输入端以及输出所述移位信号的移位信号输出端；

[0024] 所述与非门包括与外部电路电连接,以输入时钟脉冲的第二时钟脉冲输入端；

[0025] 所述第一反相器与所述栅极驱动电路的第一驱动信号输入端电连接；

[0026] 所述复位电路包括与外部电路电连接,以输入复位信号的复位信号输入端。

[0027] 优选的,所述垂直移位寄存器还包括依次串接在所述与非门与所述第一反相器之间的第三反相器和第二反相器。

[0028] 本实用新型实施例还提供一种垂直移位寄存器,包括如前所述的栅极驱动电路,所述垂直移位寄存器单元至少包括依次电连接以传递扫描控制信号的双向扫描器、锁存器、与非门、第一反相器以及所述栅极驱动电路,还包括与所述锁存器电连接的复位电路,所述与非门还与所述栅极驱动电路第二驱动信号输入端电连接；

[0029] 其中,所述双向扫描器包括与外部电路电连接,以输入扫描控制信号的正向扫描控制信号输入端和反向扫描控制信号输入端；

[0030] 所述锁存器包括与外部电路电连接,以输入时钟脉冲的第一时钟脉冲输入端以及输出所述移位信号的移位信号输出端；

[0031] 所述与非门包括与外部电路电连接,以输入时钟脉冲的第二时钟脉冲输入端；

[0032] 所述第一反相器与所述栅极驱动电路的第一驱动信号输入端电连接；

[0033] 所述复位电路包括与外部电路电连接,以输入复位信号的复位信号输入端。

[0034] 优选的,所述垂直移位寄存器还包括依次串接在所述与非门与所述第一反相器之间的第三反相器和第二反相器,所述与非门经所述第三反相器和所述第二反相器与所述栅

极驱动电路的第二驱动信号输入端电连接。

[0035] 本实用新型实施例还提供一种液晶显示面板,所述液晶显示面板包括如前所述的垂直移位寄存器。

[0036] 本实用新型实施例提供的一种栅极驱动电路、垂直移位寄存器及液晶显示面板,其有益效果在于:通过栅极驱动电路来取代现有技术中的垂直移位寄存器除第 1 级移位寄存器单元以外的多级移位寄存器单元,在保证信号传递不失真的情况下大大简化了现有技术中移位寄存器的内部电路结构,使所述移位寄存器的体积大为减小,从而节约了 TFT-LCD 面板的边框的内部空间,使 TFT-LCD 面板的窄边框设计成为可能;同时通过栅极驱动电路来取代现有技术中的垂直移位寄存器除第 1 级移位寄存器单元以外的多级移位寄存器单元,减少了元器件的使用数量,节约了成本并且结构简单、易于实现,适于大规模推广生产。

### 附图说明

- [0037] 图 1 为现有技术中的垂直移位寄存器的电路结构示意图;
- [0038] 图 2 为现有技术中的垂直移位寄存器的移位锁存单元的电路结构示意图;
- [0039] 图 3 为本实用新型的实施例提供的垂直移位寄存器的电路结构示意图;
- [0040] 图 4 为本实用新型的实施例提供的垂直移位寄存器的结构框图;
- [0041] 图 5 为本实用新型的实施例提供的垂直移位寄存器的结构框图;
- [0042] 图 6 为本实用新型的实施例提供的垂直移位寄存器的电路结构示意图;
- [0043] 图 7 为本实用新型的实施例提供的栅极驱动电路的结构框图;
- [0044] 图 8 为本实用新型的实施例提供的栅极驱动电路的结构框图;
- [0045] 图 9 为本实用新型的实施例提供的栅极驱动电路的电路结构示意图;
- [0046] 图 10 为本实用新型的实施例提供的栅极驱动电路的结构框图;
- [0047] 图 11 为本实用新型的实施例提供的栅极驱动电路的电路结构示意图;
- [0048] 图 12 为本实用新型的实施例提供的栅极驱动电路的结构框图;
- [0049] 图 13 为本实用新型的实施例提供的栅极驱动电路的电路结构示意图。

### 具体实施方式

[0050] 为了使本实用新型的目的、技术方案及优点更加清楚明白,以下结合附图及实施例,对本实用新型进行进一步详细说明。应当理解,此处所描述的具体实施例仅用以解释本实用新型,并不用于限定本实用新型。

[0051] 现有技术中的垂直移位寄存器 200 包括由第 1 级移位寄存器单元 VSR\_unit 到第 n 级移位寄存器单元依次级联组成的共 n 级移位寄存器单元 VSR\_unit(n 为  $\geq 1$  的正整数)。

[0052] 如图 1 所示,以  $n = 3$  为例,第 1 级移位寄存器单元 VSR\_unit 通过一条扫描控制信号线 STV 输入外部控制电路的扫描控制信号,每级移位寄存器单元 VSR\_unit 均包括第一时钟脉冲输入端 CK1、第二时钟脉冲输入端 CK2、复位信号输入端 RST 以及信号输出端 Gout; 所述第 1 级移位寄存器单元 VSR\_unit 到第 3 级移位寄存器单元 VSR\_unit 之间均通过各自的移位信号输出端 next 向第下一级移位寄存器单元输出移位信号。每级移位寄存器单元 VSR\_unit 均对应一条扫描线路,第一级移位寄存器单元 VSR\_unit 通过其扫描控制信号输入端 STV 输入外部电路的扫描控制信号,然后该扫描控制信号通过移位信号输出端 NEXT 在

各级移位寄存器单元 VSR\_unit 之间一级一级的传递,使得各级移位寄存器单元 VSR\_unit 被一级一级打开,对应的扫描线路被一条一条开启。

[0053] 如图 2 所示,各级移位寄存器单元 VSR\_unit 均具有相同的内部电路,移位寄存器单元 VSR\_unit 包括依次电连接以传递扫描控制信号的双向扫描器 Bi-direction、锁存器 Latch、与非门 NAND、第三反相器 INV3、第二反相器 INV2 以及第一反相器 INV1,还包括与锁存器 Latch 电连接的复位电路 RST;

[0054] 其中,双向扫描器 Bi-direction 包括与外部电路电连接,以输入扫描控制信号的正向扫描控制信号输入端 INF 和反向扫描控制信号输入端 INB;

[0055] 锁存器 Latch 包括与外部电路电连接,以输入时钟脉冲的第一时钟脉冲输入端 CK1 以及输出移位信号的移位信号输出端 NEXT;

[0056] 与非门 NAND 包括与外部电路电连接,以输入时钟脉冲的第二时钟脉冲输入端 CK2;

[0057] 第一反相器 INV1 包括与外部电路连接的信号输出端 Gout;

[0058] 所述复位电路 RST 包括与外部电路电连接,以输入复位信号的复位信号输入端 RESET。

[0059] 如图 3 所示,本实用新型实施例提供的垂直移位寄存器 100,是在现有技术的基础之上所作的改进,将第 1 级移位寄存器单元 VSR\_unit 的信号输出端 Gout 接一个 1:n 的栅极驱动电路 Demux,并将原来的 n 条 Gout 输出线分别等效为栅极驱动电路 Demux 的第 1 驱动信号输出端 Gout1 到第 n 驱动信号输出端 Goutn,并在栅极驱动电路 Demux 上加上由第 1 时钟信号输入端 CHK1 到第 n 时钟信号输入端 CHK n,共 n 个时钟信号输入端。这样就可以把原来的总共具有 n 级移位寄存器单元 VSR\_unit 的垂直移位寄存器缩减为只具有一级寄存器单元。第一反相器 INV1 与栅极驱动电路 Demux 的第一驱动信号输入端 IN 连接,第二反相器 INV2 与栅极驱动电路 Demux 的第二驱动信号输入端 XIN 连接。

[0060] 如图 4 所示为本实用新型实施例提供的垂直移位寄存器 100,包括依次电连接以传递扫描控制信号的双向扫描器 10、锁存器 20、与非门 30、第三反相器 40、第二反相器 50、第一反相器 60 以及栅极驱动电路 80,还包括与锁存器 20 电连接的复位电路 70;

[0061] 其中,双向扫描器 10 包括与外部电路电连接,以输入扫描控制信号的正向扫描控制信号输入端 11 和反向扫描控制信号输入端 12;锁存器 20 包括与外部电路电连接,以输入时钟脉冲的第一时钟脉冲输入端 21 以及输出移位信号的移位信号输出端 22;与非门 30 包括与外部电路电连接,以输入时钟脉冲的第二时钟脉冲输入端 31;第一反相器 60 与栅极驱动电路 80 的第一驱动信号输入端 81 电连接;第二反相器 50 与栅极驱动电路 80 的第二驱动信号输入端 82 电连接;第三反相器 40 分别和与非门 30 以及第二反相器 50 电连接,复位电路 70 包括与外部电路电连接,以输入复位信号的复位信号输入端 71;栅极驱动电路 80 还包括由第 1 时钟信号输入端 101 到第 n 时钟信号输入端 10n,共 n 个时钟信号输入端,以及第 1 驱动信号输出端 201 到第 n 驱动信号输出端 20n,共 n 个驱动信号输出端。

[0062] 如图 5 所示为本实用新型实施例提供的另一种垂直移位寄存器 100,由于本实用新型的栅极驱动电路 80 的第一驱动信号输入端 81 和第二驱动信号输入端 82 所输入的信号是作为栅极开关之用,不需要具有驱动大负载的能力,因此相较于图 4 所提供的实施例,在图 5 中可以去掉图 4 所包含的第三反相器 40 和第二反相器 50,使得与非门 30 直接与栅

极驱动电路 80 的第二驱动信号输入端 82 连接。

[0063] 如图 6 所示,在本实用新型的一优选实施例中,去掉前述的垂直移位寄存器 100 的第三反相器 INV3 和第二反相器 INV2 之后,所述垂直移位寄存器 100 的电路结构中,所述与非门 NAND 直接与所述栅极驱动电路 Demux 的第二驱动信号输入端 XIN 连接。

[0064] 如图 7 所示为本实用新型实施例提供的一种栅极驱动电路。

[0065] 具体的,栅极驱动电路 80 包括:

[0066] 由第 1 级晶体管单元 001 到第 n 级晶体管单元 00n 依次连接组成的共 n 级晶体管单元;

[0067] 与 n 级晶体管单元中每级晶体管单元均连接的第一驱动信号输入端 81;

[0068] 与第 1 级晶体管单元 001 到第 n 级晶体管单元 11n 一一对应连接的第 1 时钟信号输入端 101 到第 n 时钟信号输入端 10n 共 n 个时钟信号输入端;

[0069] 与第 1 级晶体管单元 001 到第 n 级晶体管单元 11n 一一对应连接的第 1 驱动信号输出端 201 到第 n 驱动信号输出端 20n 共 n 个驱动信号输出端。

[0070] 如图 8 所示为本实用新型实施例提供的一种栅极驱动电路。

[0071] 具体的,栅极驱动电路 80 包括:

[0072] 由第 1 级 CMOS 管 301 到第 n 级 CMOS 管 30n 依次连接组成的共 n 级 CMOS 管;

[0073] 与第 1 级 CMOS 管 301 到第 n 级 CMOS 管 30n 中每级 CMOS 管均电连接的第一驱动信号输入端 81 和第二驱动信号输入端 82;

[0074] 其中,第 1 级 CMOS 管 301 到第 n 级 CMOS 管 30n 中的每个 CMOS 管均由一个 NMOS 管和一个 PMOS 管组成;

[0075] 第 1 级 CMOS 管 301 的 NMOS 管的栅极到第 n 级 CMOS 管 30n 的 NMOS 管的栅极均电连接栅极驱动电路 80 的第一驱动信号输入端 81;

[0076] 第 1 级 CMOS 管 301 的 PMOS 管的栅极到第 n 级 CMOS 管 30n 的 PMOS 管的栅极均电连接栅极驱动电路 80 的第二驱动信号输入端 82;

[0077] 第 1 级 CMOS 管 301 中的 NMOS 管的漏极和 PMOS 管的漏极均电连接第 1 时钟信号输入端 101,第 1 级 CMOS 管 301 中的 NMOS 管的源极和 PMOS 管的源极均电连接栅极驱动电路 80 的第 1 驱动信号输出端 201;

[0078] 第 n 级 CMOS 管 30n 的 NMOS 管中的漏极和 PMOS 管的漏极均电连接第 n 时钟信号输入端 10n,第 n 级 CMOS 管 30n 中的 NMOS 管的源极和 PMOS 管的源极均电连接栅极驱动电路 80 的第 n 驱动信号输出端 20n;

[0079] 其中, $n \geq 1$  且 n 为正整数。

[0080] 如图 9 所示为本实用新型实施例以  $n = 3$  为例的栅极驱动电路结构图。

[0081] 具体的,栅极驱动电路 80 的第 1 级 CMOS 管中的 NMOS 管 MN1 的栅极、第 2 级 CMOS 管中的 NMOS 管 MN2 的栅极以及第 3 级 CMOS 管中的 NMOS 管 MN3 的栅极均电连接栅极驱动电路 80 的第一驱动信号输入端 IN;

[0082] 栅极驱动电路 80 的第 1 级 CMOS 管中的 PMOS 管 MP1 的栅极、第 2 级 CMOS 管中的 PMOS 管 MP2 的栅极以及第 3 级 CMOS 管中的 PMOS 管的栅极均电连接栅极驱动电路 80 的第二驱动信号输入端 XIN;

[0083] 第 1 级 CMOS 管中的 NMOS 管 MN1 的漏极和 PMOS 管 MP1 的漏极均电连接第 1 时钟

信号输入端 CKH1,第 1 级 CMOS 管中的 NMOS 管的源极和 PMOS 管的源极均电连接栅极驱动电路 80 的第 1 驱动信号输出端 Gout1;

[0084] 第 2 级 CMOS 管中的 NMOS 管的漏极和 PMOS 管的漏极均电连接第 2 时钟信号输入端 CHK2,第 2 级 CMOS 管中的 NMOS 管的源极和 PMOS 管的源极均电连接栅极驱动电路 80 的第 2 驱动信号输出端 Gout2;

[0085] 第 3 级 CMOS 管中的 NMOS 管的漏极和 PMOS 管的漏极均电连接第 3 时钟信号输入端 CHK3,第 3 级 CMOS 管中的 NMOS 管的源极和 PMOS 管的源极均电连接栅极驱动电路 80 的第 3 驱动信号输出端 Gout3。

[0086] 图 10 所示为本实用新型实施例提供的又一种栅极驱动电路的结构图。

[0087] 具体的,栅极驱动电路 80 包括:

[0088] 由第 1 级 NMOS 管 401 到第 n 级 NMOS 管 40n 依次连接组成的共 n 级 NMOS 管;

[0089] 与第 1 级 NMOS 管 401 到第 n 级 NMOS 管 40n 均电连接的第一驱动信号输入端 81;

[0090] 其中,第 1 级 NMOS 管 401 到第 n 级 NMOS 管 40n 的栅极均电连接栅极驱动电路 80 的第一驱动信号输入端 81;

[0091] 第 1 级 NMOS 管 401 到第 n 级 NMOS 管 40n 的漏极一一对应电连接栅极驱动电路 80 的第 1 时钟信号输入端 101 到第 n 时钟信号输入端 10n;

[0092] 第 1 级 NMOS 管 401 到第 n 级 NMOS 管 40n 的源极一一对应电连接栅极驱动电路 80 的第 1 驱动信号输出端 201 到第 n 驱动信号输出端 20n;

[0093] 其中, $n \geq 1$  且 n 为正整数。

[0094] 如图 11 所示为本实用新型实施例以  $n = 3$  为例的栅极驱动电路的结构图。

[0095] 具体的,栅极驱动电路 80 包括:

[0096] 由第 1 级 NMOS 管 MN1、第 2 级 NMOS 管 MN2 以及第 3 级 NMOS 管 MN3 依次连接组成的共 3 级 NMOS 管;

[0097] 与第 1 级 NMOS 管 MN1、第 2 级 NMOS 管 MN2 以及第 3 级 NMOS 管 MN3 均电连接的第一驱动信号输入端 IN;

[0098] 其中,第 1 级 NMOS 管 MN1 的栅极、第 2 级 NMOS 管 MN2 的栅极以及第 3 级 NMOS 管 MN3 的栅极均电连接栅极驱动电路 80 的驱动信号输入端 IN;

[0099] 第 1 级 NMOS 管 MN1 的漏极、第 2 级 NMOS 管 MN2 的漏极以及第 3 级 NMOS 管 MN3 的漏极一一对应电连接栅极驱动电路 80 的第 1 时钟信号输入端 CKH1、第 2 时钟信号输入端 CKH2 以及第 3 时钟信号输入端 CKH3;

[0100] 第 1 级 NMOS 管 MN1 的源极、第 2 级 NMOS 管 MN2 的源极以及第 3 级 NMOS 管 MN3 的源极一一对应电连接栅极驱动电路 80 的第 1 驱动信号输出端 Gout1、第 2 驱动信号输出端 Gout2 以及第 3 驱动信号输出端 Gout3。

[0101] 如图 12 所示为本实用新型实施例中提供的又一种栅极驱动电路。

[0102] 具体的,栅极驱动电路 80 包括:

[0103] 由第 1 级 PMOS 管 501 到第 n 级 PMOS 管 50n 依次连接组成的共 n 级 PMOS 管;

[0104] 与第 1 级 PMOS 管 501 到第 n 级 PMOS 管 50n 均电连接的第一驱动信号输入端 81;

[0105] 其中,第 1 级 PMOS 管 501 到第 n 级 PMOS 管 50n 的栅极均电连接栅极驱动电路 80 的第一驱动信号输入端 82;

[0106] 第 1 级 PMOS 管 501 到第 n 级 PMOS 管 50n 的源极——对应电连接栅极驱动电路 80 的第 1 时钟信号输入端 101 到第 n 时钟信号输入端 10n；

[0107] 第 1 级 PMOS 管 501 到第 n 级 PMOS 管 50n 的漏极——对应电连接栅极驱动电路 80 的第 1 驱动信号输出端 201 到第 n 驱动信号输出端 20n；

[0108] 其中,  $n \geq 1$  且 n 为正整数。

[0109] 如图 13 所示为本实用新型实施例以  $n = 3$  为例的栅极驱动电路结构图。

[0110] 具体的, 栅极驱动电路 80 包括:

[0111] 由第 1 级 PMOS 管 MP1、第 2 级 PMOS 管 MP2 以及第 3 级 PMOS 管 MP3 依次连接组成的共 3 级 PMOS 管;

[0112] 与第 1 级 PMOS 管 MP1、第 2 级 PMOS 管 MP2 以及第 3 级 PMOS 管 MP3 均电连接的第一驱动信号输入端 XIN;

[0113] 其中, 第 1 级 PMOS 管 MP1 的栅极、第 2 级 PMOS 管 MP2 的栅极以及第 3 级 PMOS 管 MP3 的栅极均电连接栅极驱动电路 80 的驱动信号输入端 XIN;

[0114] 第 1 级 PMOS 管 MP1 的源极、第 2 级 PMOS 管 MP2 的源极以及第 3 级 PMOS 管 MP3 的源极——对应电连接栅极驱动电路 80 的第 1 时钟信号输入端 CKH1、第 2 时钟信号输入端 CKH2 以及第 3 时钟信号输入端 CKH3;

[0115] 第 1 级 PMOS 管 MP1 的漏极、第 2 级 PMOS 管 MP2 的漏极以及第 3 级 PMOS 管 MP3 的漏极——对应电连接栅极驱动电路 80 的第 1 驱动信号输出端 Gout1、第 2 驱动信号输出端 Gout2 以及第 3 驱动信号输出端 Gout3。

[0116] 本实用新型实施例还提供一种液晶显示面板, 该液晶显示面板包括前述的垂直移位寄存器 100。

[0117] 本实用新型实施例提供的一种栅极驱动电路、垂直移位寄存器及液晶显示面板, 通过栅极驱动电路来取代现有技术中的垂直移位寄存器除第 1 级移位寄存器单元以外的多级移位寄存器单元, 在保证信号传递不失真的情况下大大简化了现有技术中移位寄存器的内部电路结构, 使所述移位寄存器的体积大为减小, 从而节约了 TFT-LCD 面板的边框的内部空间, 使 TFT-LCD 面板的窄边框设计成为可能; 同时通过栅极驱动电路来取代现有技术中的垂直移位寄存器除第 1 级移位寄存器单元以外的多级移位寄存器单元, 减少了元器件的使用数量, 节约了成本并且结构简单、易于实现, 适于大规模推广生产。

[0118] 以上所述仅为本实用新型的较佳实施例而已, 并不用以限制本实用新型, 凡在本实用新型的精神和原则之内所作的任何修改、等同替换和改进等, 均应包含在本实用新型的保护范围之内。

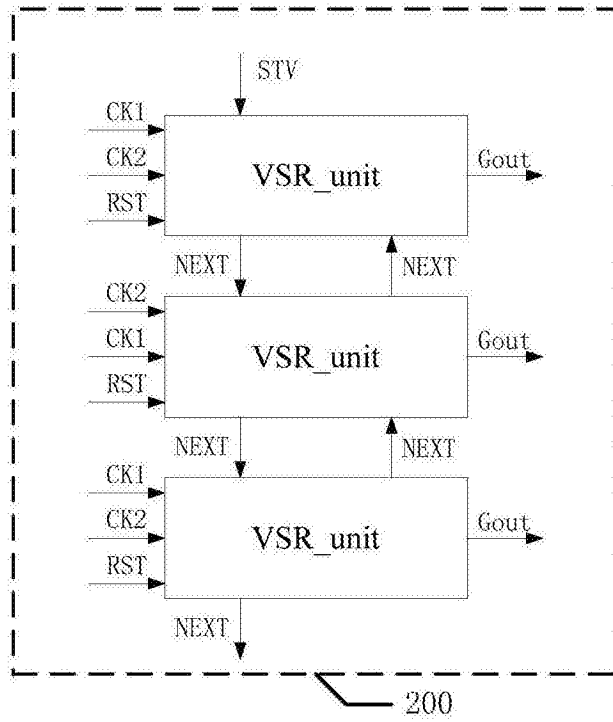


图 1

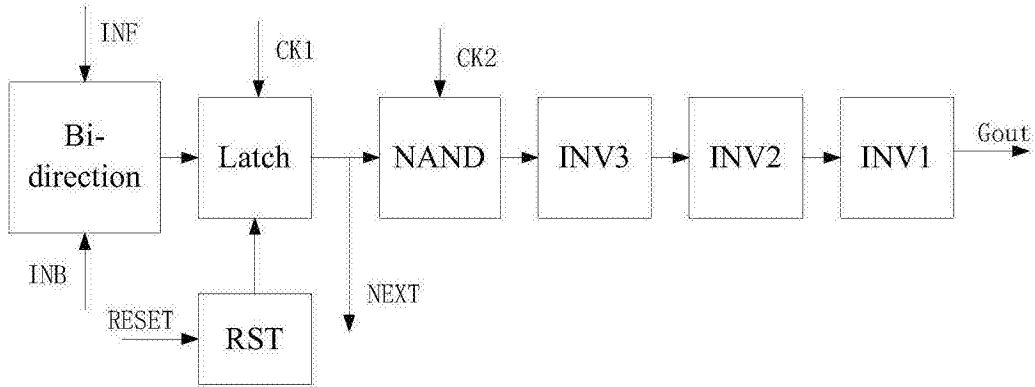


图 2

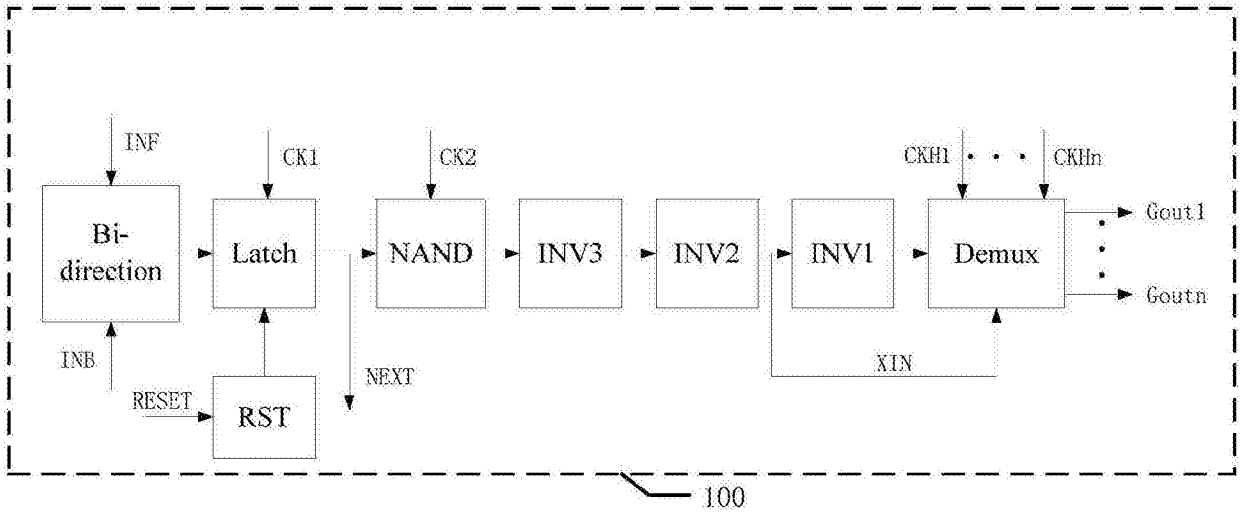


图 3

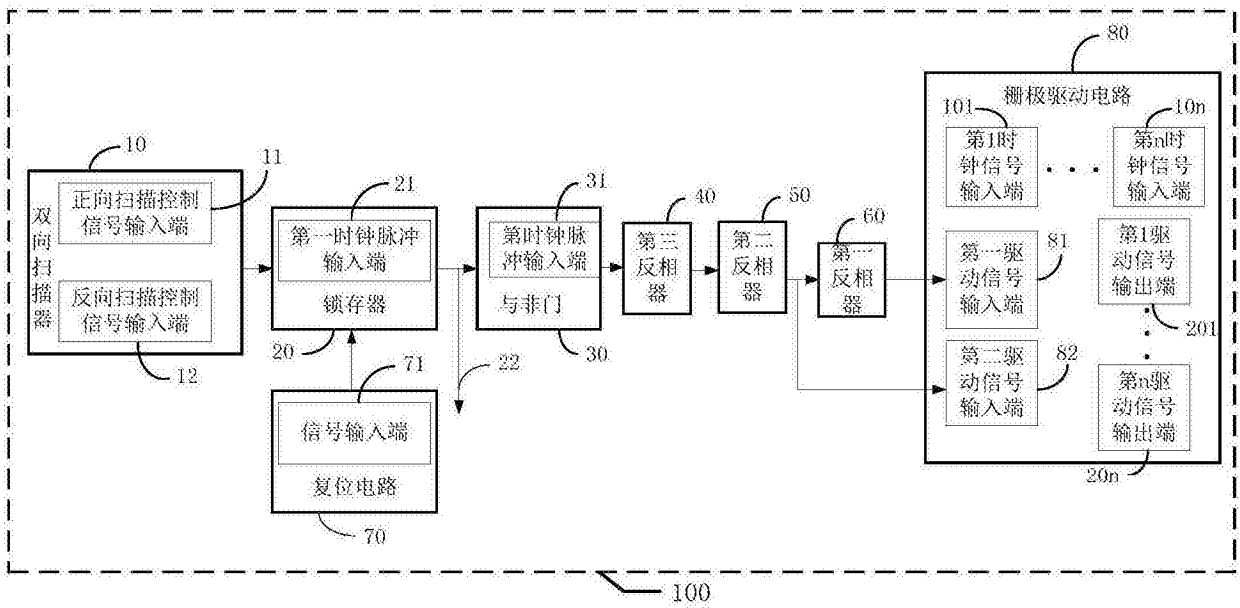


图 4

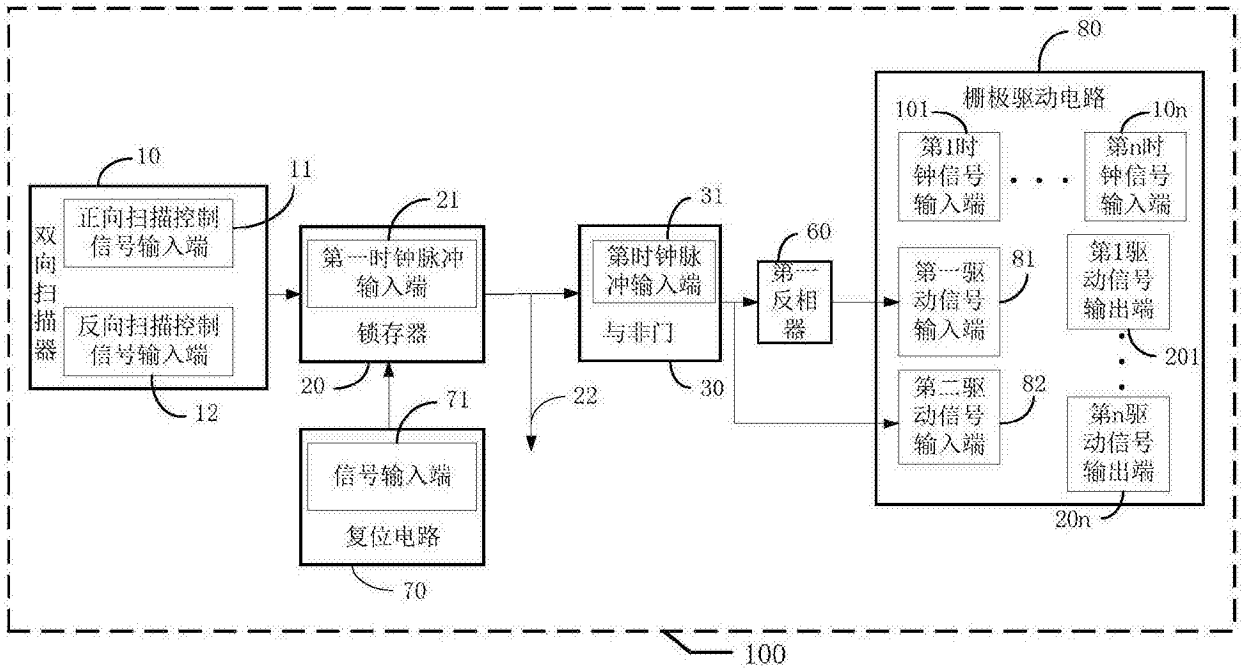


图 5

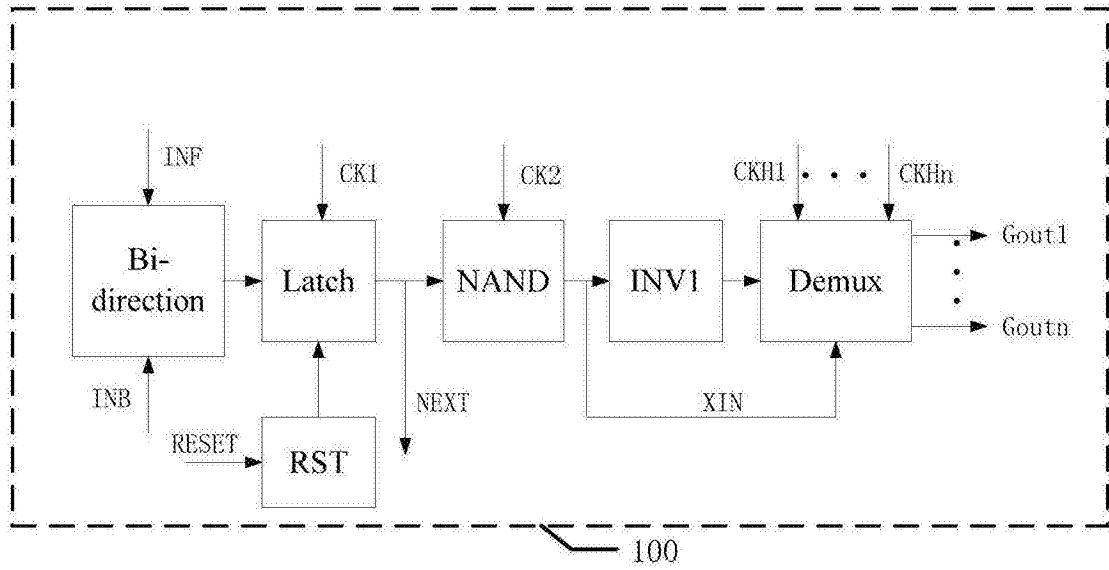


图 6

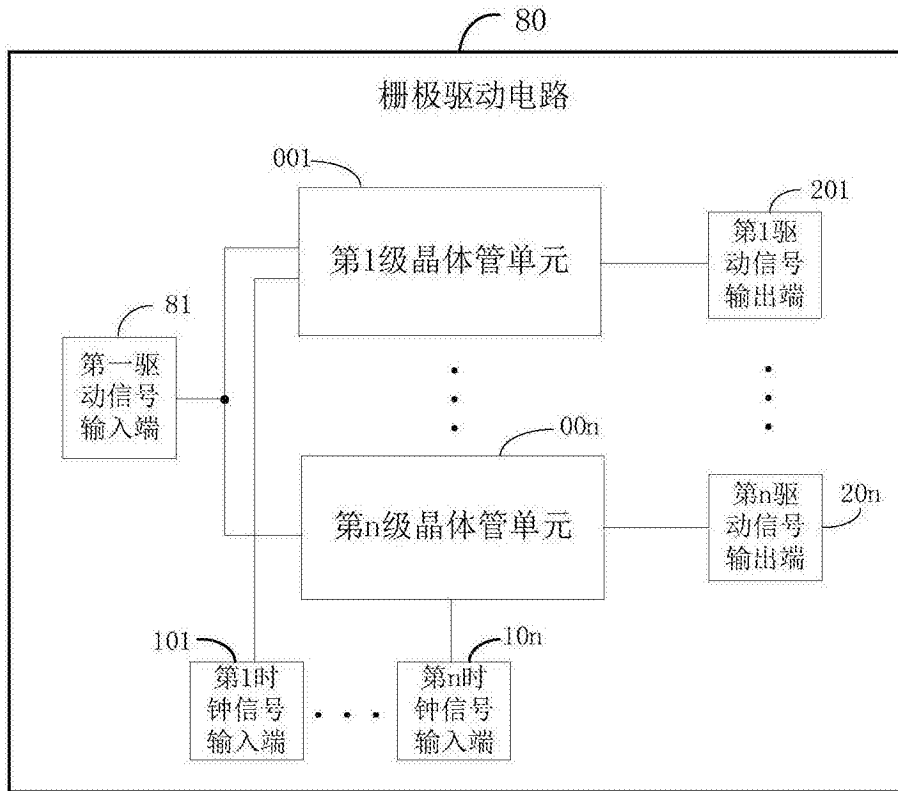


图 7

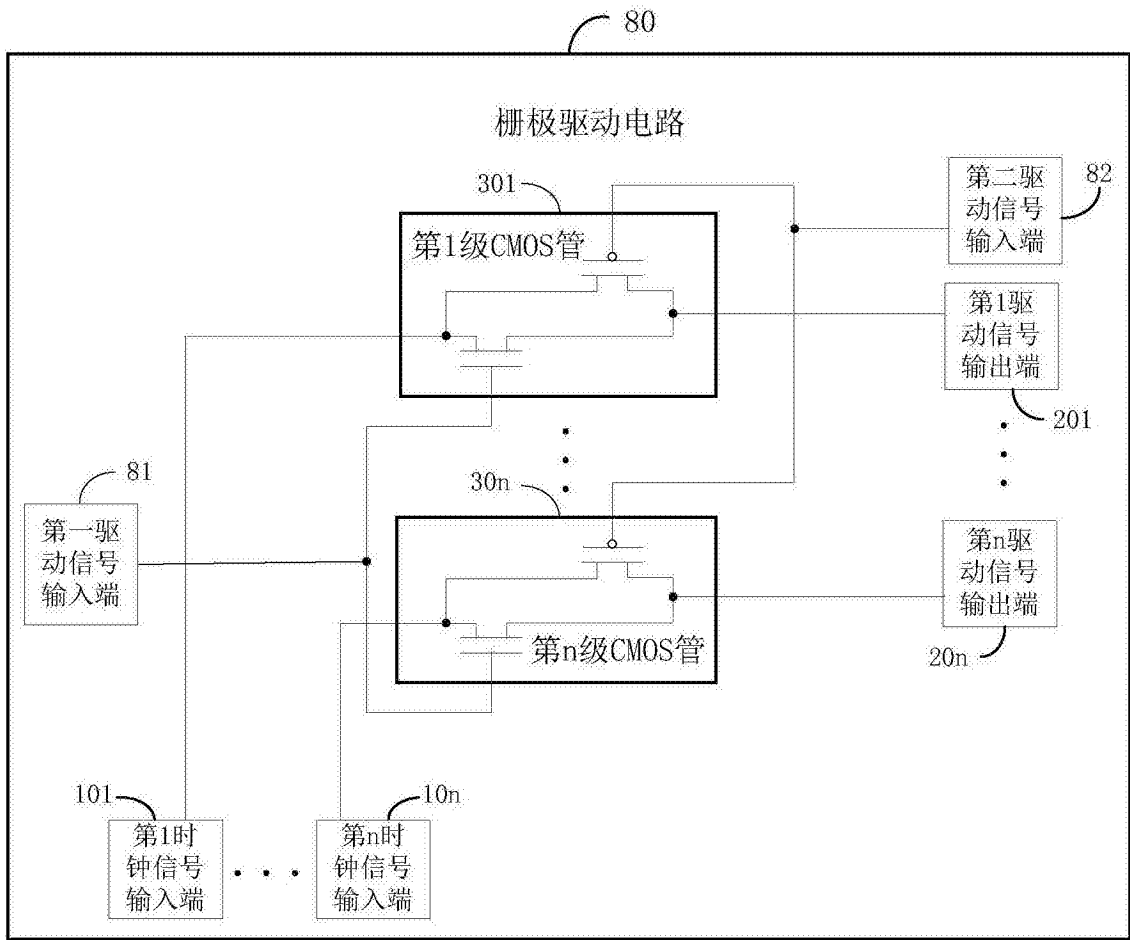


图 8



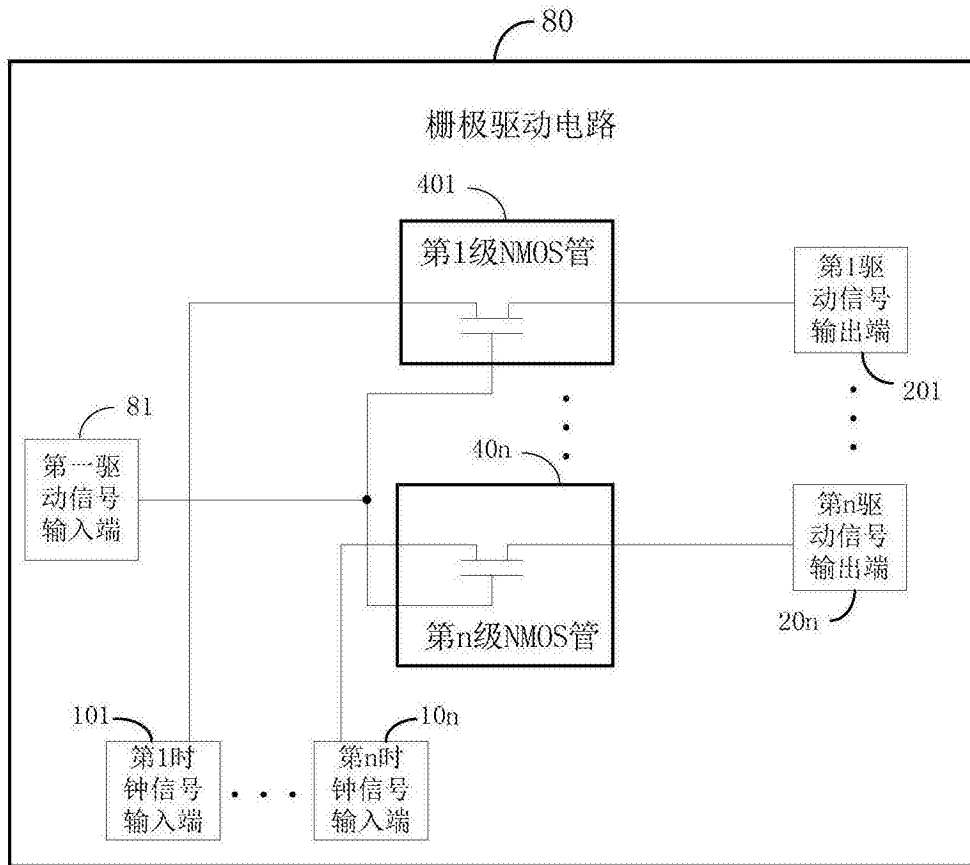


图 10

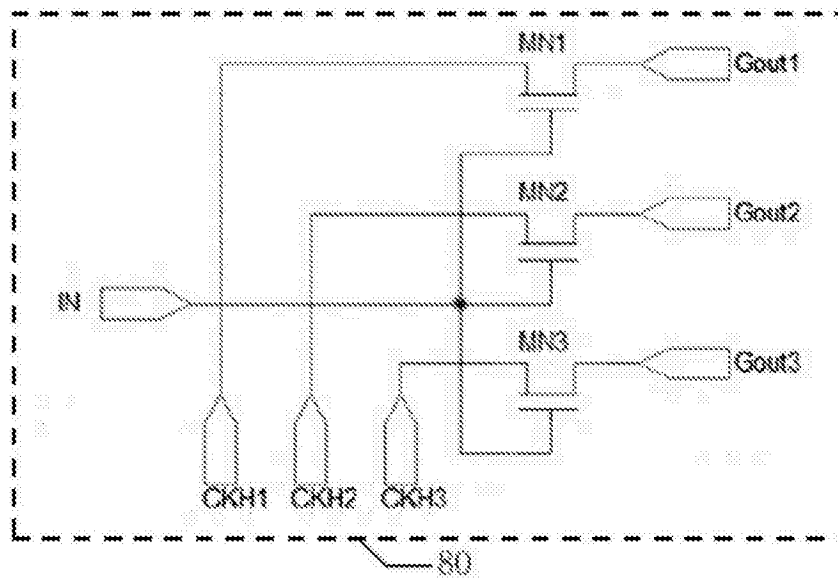


图 11

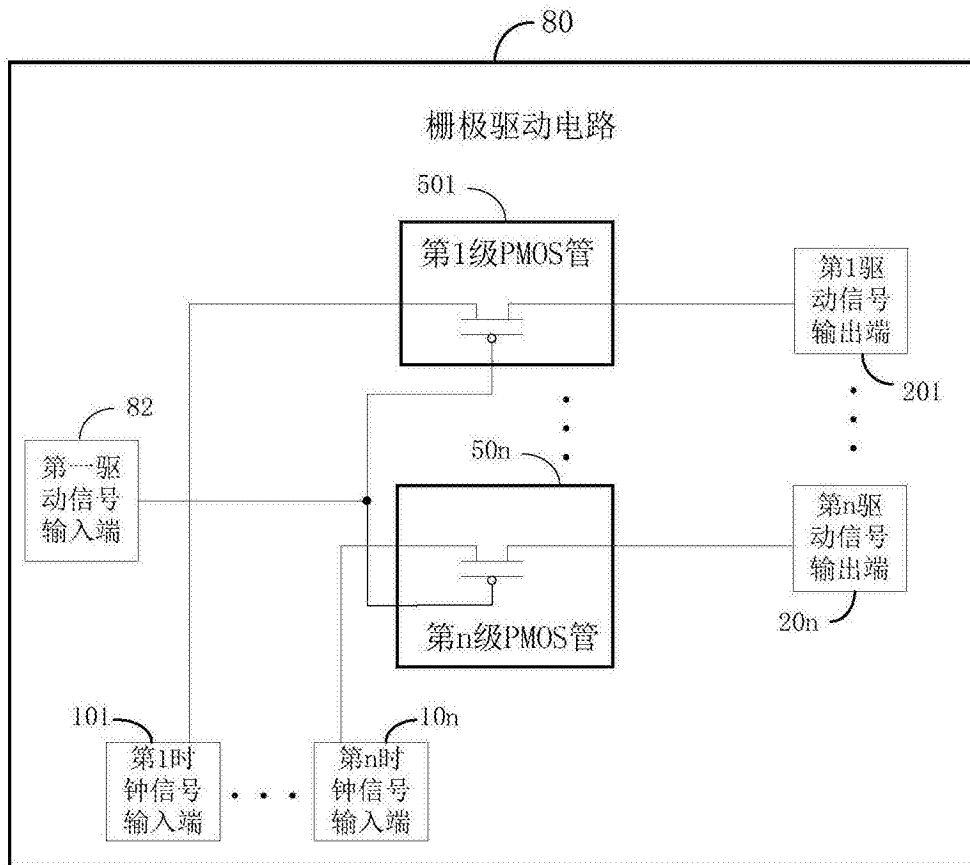


图 12

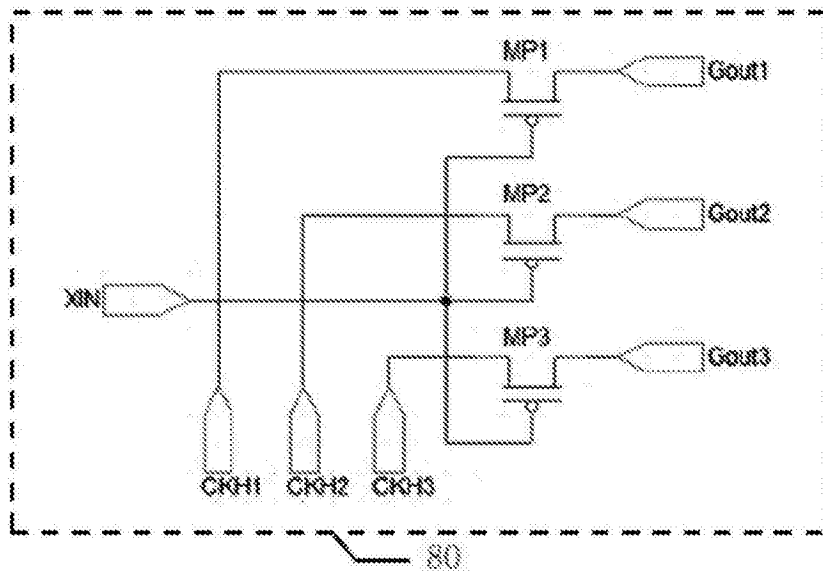


图 13

专利名称(译)	一种栅极驱动电路、垂直移位寄存器及液晶显示面板		
公开(公告)号	<a href="#">CN204857150U</a>	公开(公告)日	2015-12-09
申请号	CN201520474099.9	申请日	2015-06-30
[标]申请(专利权)人(译)	厦门天马微电子有限公司 天马微电子股份有限公司		
申请(专利权)人(译)	厦门天马微电子有限公司 天马微电子股份有限公司		
当前申请(专利权)人(译)	厦门天马微电子有限公司 天马微电子股份有限公司		
[标]发明人	沈新乐 吴昊		
发明人	沈新乐 吴昊		
IPC分类号	G09G3/36 G11C19/28		
代理人(译)	张全文		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本实用新型提供了一种栅极驱动电路、垂直移位寄存器及液晶显示面板，其中，栅极驱动电路包括由第1级晶体管单元到第n级晶体管单元依次连接组成的共n级晶体管单元，与所述n级晶体管单元中每级晶体管单元均电连接的第一驱动信号输入端，与所述第1级晶体管单元到第n级晶体管单元一一对应电连接的第1时钟信号输入端到第n时钟信号输入端，与所述第1级晶体管单元到第n级晶体管单元一一对应电连接的第1驱动信号输出端到第n驱动信号输出端。本实用新型通过栅极驱动电路取代现有技术的移位寄存器中除第1级移位寄存器单元以外的多级移位寄存器单元，在保证信号不失真的情况下简化了现有技术中移位寄存器的电路结构，实现了TFT-LCD面板的窄边框设计。

