



(12)发明专利申请

(10)申请公布号 CN 109949756 A

(43)申请公布日 2019.06.28

(21)申请号 201711384550.8

(22)申请日 2017.12.20

(71)申请人 咸阳彩虹光电科技有限公司
地址 712000 陕西省咸阳市秦都区高科一路一号

(72)发明人 吴永良

(74)专利代理机构 西安嘉思特知识产权代理事务所(普通合伙) 61230
代理人 刘长春

(51)Int.Cl.
G09G 3/36(2006.01)

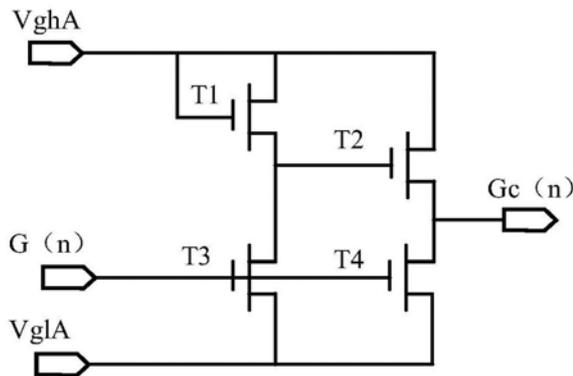
权利要求书1页 说明书7页 附图9页

(54)发明名称

一种馈通电压补偿电路单元、电路及液晶显示装置

(57)摘要

本发明涉及一种馈通电压补偿电路单元、电路及液晶显示装置。该补偿电路单元包括：第一输入端VghA、第二输入端VglA、第三输入端G(n)、第一开关管T1、第二开关管T2、第三开关管T3、第四开关管T4以及输出端Gc(n)；其中，所述第一开关管T1和所述第三开关管T3依次串接于所述第一输入端VghA与所述第二输入端VglA之间；所述第二开关管T2和所述第四开关管T4依次串接于所述第一输入端VghA与所述第二输入端VglA之间；所述输出端Gc(n)电连接至所述第二开关管T2和所述第四开关管T4串接形成的节点处。本发明通过提供补偿电路单元减小Feedthrough电压对面板像素电压的影响，电路简单易于实现，降低设计成本，提高生产效率。



1. 一种馈通电压补偿电路单元,其特征在于,包括:第一输入端(VghA)、第二输入端(Vg1A)、第三输入端(G(n))、第一开关管(T1)、第二开关管(T2)、第三开关管(T3)、第四开关管(T4)以及输出端(Gc(n));其中,

所述第一开关管(T1)和所述第三开关管(T3)依次串接于所述第一输入端(VghA)与所述第二输入端(Vg1A)之间,且所述第一开关管(T1)的控制端电连接至所述第一输入端(VghA),所述第三开关管(T3)的控制端电连接至所述第三输入端(G(n));

所述第二开关管(T2)和所述第四开关管(T4)依次串接于所述第一输入端(VghA)与所述第二输入端(Vg1A)之间,且所述第二开关管(T2)的控制端电连接至所述第一开关管(T1)和所述第三开关管(T3)串接形成的节点处,所述第四开关管(T4)的控制端电连接至所述第三输入端(G(n));

所述输出端(Gc(n))电连接至所述第二开关管(T2)和所述第四开关管(T4)串接形成的节点处。

2. 根据权利要求1所述的电路单元,其特征在于,所述第一开关管(T1)、第二开关管(T2)、第三开关管(T3)、第四开关管(T4)均为TFT晶体管。

3. 根据权利要求1所述的电路单元,其特征在于,所述第一开关管(T1)、第二开关管(T2)、第三开关管(T3)、第四开关管(T4)均为MOS晶体管。

4. 根据权利要求1所述的电路单元,其特征在于,所述第一开关管(T1)、第二开关管(T2)、第三开关管(T3)、第四开关管(T4)的沟道宽度比为1:N:N:2N。

5. 根据权利要求1所述的电路单元,其特征在于,所述电路单元设置于Gate区且其输出端(Gc(n))通过与第N行像素电极形成耦合电容。

6. 根据权利要求5所述的电路单元,其特征在于,所述输出端(Gc(n))形成的补偿线位于与扫描线平行的区域。

7. 根据权利要求5所述的电路单元,其特征在于,所述输出端(Gc(n))形成的补偿线位于子像素中间区域。

8. 根据权利要求1所述的电路单元,其特征在于,所述第一输入端(VghA)、所述第二输入端(Vg1A)分别输入TFT晶体管的开启电压(Vgh)和关断电压(Vg1),所述第三输入端G(n)输入第N行扫描线的扫描电压。

9. 一种馈通电压补偿电路,其特征在于,包括多个如权利要求1~8任一项所述的馈通电压补偿电路单元;其中,每个所述馈通电压补偿电路单元对应于一扫描驱动电路单元。

10. 一种液晶显示装置,包括时序控制器、扫描驱动电路、数据驱动电路及像素矩阵,其特征在于,还包括如权利要求9所述的馈通电压补偿电路。

一种馈通电压补偿电路单元、电路及液晶显示装置

技术领域

[0001] 本发明涉及液晶显示技术领域,特别是涉及一种馈通电压补偿电路单元、电路及液晶显示装置。

背景技术

[0002] 液晶显示装置(Liquid Crystal Display,简称LCD),属于平面显示器的一种,广泛应用于电视机、计算机、智能电话、手机、汽车导航装置、电子书等产品中。液晶显示装置具有耗电量低、体积小、辐射低的优点逐渐取代阴极射线管(CathodeRayTube,简称CRT)显示装置。

[0003] 液晶显示装置在驱动过程中,扫描线将扫描电压加载至每行的像素中,像素在充电完成时受到扫描信号电压变化的影响,当扫描电压由高电平向低电平变化时,像素电压会因为Feedthrough(馈通)电压的存在而向下耦合,使得原本平衡的共电极电压发生偏差,如果不及时进行调整,显示屏会发生闪烁。像素电压变化的越大,面板出现画面残留和信赖性问题的可能性越大。如图1所示,Feedthrough电压的公式为:

[0004] $\Delta Vp = (Vgl - Vgh) \frac{Cgs}{Cs+Clc+Cgs}$,其中 ΔVp 为由于扫描电压变化经由耦合电容

引起的像素电压的变化, Vgh 为扫描电压输入的TFT晶体管的开启电压, Vgl 为扫描电压输入的TFT晶体管的关断电压, Cgs 为耦合电容即扫描线与像素电极之间的耦合电容, Clc 为液晶电容, Cs 为存储电容。常见的减小Feedthrough电压的面板电路设计如图2所示,即通过对扫描信号进行削角处理来减小TFT关闭时电压的变化,Feedthrough电压的公式为:

[0005] $\Delta Vp = (Vgl - Vcut) \frac{Cgs}{Cs+Clc+Cgs}$,这种方式可以起到减小 ΔVp 的效果,但是会影响像素充电。

发明内容

[0006] 因此,为解决现有技术存在的技术缺陷和不足,本发明提出一种馈通电压补偿电路单元、电路及液晶显示装置,能够在不改变扫描线集成IC的前提下,补偿馈通电压引起的显示闪烁现象。

[0007] 具体地,本发明的一个实施例提供了一种馈通电压补偿电路单元,包括:第一输入端 $VghA$ 、第二输入端 $VglA$ 、第三输入端 $G(n)$ 、第一开关管 $T1$ 、第二开关管 $T2$ 、第三开关管 $T3$ 、第四开关管 $T4$ 以及输出端 $Gc(n)$;其中,

[0008] 所述第一开关管 $T1$ 和所述第三开关管 $T3$ 依次串接于所述第一输入端 $VghA$ 与所述第二输入端 $VglA$ 之间,且所述第一开关管 $T1$ 的控制端电连接至所述第一输入端 $VghA$,所述第三开关管 $T3$ 的控制端电连接至所述第三输入端 $G(n)$;

[0009] 所述第二开关管 $T2$ 和所述第四开关管 $T4$ 依次串接于所述第一输入端 $VghA$ 与所述第二输入端 $VglA$ 之间,且所述第二开关管 $T2$ 的控制端电连接至所述第一开关管 $T1$ 和所述第三开关管 $T3$ 串接形成的节点处,所述第四开关管 $T4$ 的控制端电连接至所述第三输入端 G

(n)；

[0010] 所述输出端Gc (n) 电连接至所述第二开关管T2和所述第四开关管T4串接形成的节点处。

[0011] 在本发明的一个实施例中,所述第一开关管T1、第二开关管T2、第三开关管T3、第四开关管T4均为TFT晶体管。

[0012] 在本发明的一个实施例中,所述第一开关管T1、第二开关管T2、第三开关管T3、第四开关管T4均为MOS晶体管。

[0013] 在本发明的一个实施例中,所述第一开关管T1、第二开关管T2、第三开关管T3、第四开关管T4的沟道宽度比为1:N:N:2N。

[0014] 在本发明的一个实施例中,所述电路单元设置于Gate区且其输出端Gc (n) 通过与第N行像素电极形成耦合电容。

[0015] 在本发明的一个实施例中,所述输出端Gc (n) 形成的补偿线位于与扫描线平行的区域。

[0016] 在本发明的一个实施例中,所述输出端Gc (n) 形成的补偿线位于子像素中间区域。

[0017] 在本发明的一个实施例中,所述第一输入端VghA、所述第二输入端Vg1A分别输入TFT晶体管的开启电压Vgh和关断电压Vg1,所述第三输入端G (n) 输入第N行扫描线的扫描电压。

[0018] 本发明另一实施例提供了一种馈通电压补偿电路,包括上述多个实施例中任一项所述的馈通电压补偿电路单元;其中,每个所述馈通电压补偿电路单元对应于一扫描驱动电路单元。

[0019] 本发明又一实施例提供了一种液晶显示装置,包括时序控制器、扫描驱动电路、数据驱动电路及像素矩阵,还包括如上述实施例中的馈通电压补偿电路。

[0020] 与现有技术相比,本发明具有如下有益效果:

[0021] 1) 本发明提供的电路单元不需要从扫描线集成IC内部创造出补偿信号,而是在液晶显示面板的array侧(即TFT侧)扫描信号区域通过电路生成补偿信号,所以在不改变IC的情况下改善了Feedthrough电压引起的显示问题,不增加设计成本;

[0022] 2) 本发明提供的电路单元可直接用于GOA电路中,使得产品在实现窄边框的同时还能解决Feedthrough电压引起的显示问题。

[0023] 通过以下参考附图的详细说明,本发明的其它方面和特征变得明显。但是应当知道,该附图仅仅为解释的目的设计,而不是作为本发明的范围的限定,这是因为其应当参考附加的权利要求。还应当知道,除非另外指出,不必要依比例绘制附图,它们仅仅力图概念地说明此处描述的结构和流程。

附图说明

[0024] 下面将结合附图,对本发明的具体实施方式进行详细的说明。

[0025] 图1为液晶显示面板充电波形图;

[0026] 图2为现有技术的一种减小Feedthrough电压的面板电路设计示意图;

[0027] 图3为本发明实施例提供的一种Feedthrough电压补偿电路单元;

[0028] 图4为本发明实施例提供的一种Feedthrough电压补偿电路单元输出波形图;

- [0029] 图5为本发明实施例提供的一种Feedthrough电压补偿像素等效电路图；
- [0030] 图6为本发明实施例提供的一种4Domain VA Mode下像素单元版图设置示意图；
- [0031] 图7为本发明实施例提供的另一种4Domain VA Mode下像素单元版图设置示意图；
- [0032] 图8为本发明实施例提供的一种4Domain VA Mode下像素等效电路图；
- [0033] 图9为本发明实施例提供的一种8Domain VA Mode下像素单元版图设置示意图；
- [0034] 图10为本发明实施例提供的一种8Domain VA Mode下像素等效电路图；
- [0035] 图11为本发明实施例提供的一种面板九点分布示意图；
- [0036] 图12为本发明实施例提供的一种面板11点像素Feedthrough电压补偿仿真对比数据图；
- [0037] 图13为本发明实施例提供的一种面板33点像素Feedthrough电压补偿仿真对比数据图；
- [0038] 图14为本发明实施例提供的一种Feedthrough电压补偿电路模块；
- [0039] 图15为本发明实施例提供的一种液晶显示装置的结构示意图。

具体实施方式

[0040] 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

[0041] 实施例一

[0042] 请参见图3，图3为本发明实施例提供的一种Feedthrough电压补偿电路单元。具体地，该Feedthrough电压补偿电路单元可以包括：第一输入端V_{ghA}、第二输入端V_{g1A}、第三输入端G(n)、第一开关管T1、第二开关管T2、第三开关管T3、第四开关管T4以及输出端G_c(n)；其中，

[0043] 所述第一开关管T1和所述第三开关管T3依次串接于所述第一输入端V_{ghA}与所述第二输入端V_{g1A}之间，且所述第一开关管T1的控制端电连接至所述第一输入端V_{ghA}，所述第三开关管T3的控制端电连接至所述第三输入端G(n)；

[0044] 所述第二开关管T2和所述第四开关管T4依次串接于所述第一输入端V_{ghA}与所述第二输入端V_{g1A}之间，且所述第二开关管T2的控制端电连接至所述第一开关管T1和所述第三开关管T3串接形成的节点处，所述第四开关管T4的控制端电连接至所述第三输入端G(n)；

[0045] 所述输出端G_c(n)电连接至所述第二开关管T2和所述第四开关管T4串接形成的节点处。

[0046] 其中，所述第一开关管T1、第二开关管T2、第三开关管T3、第四开关管T4均为TFT晶体管。可选地，所述第一开关管T1、第二开关管T2、第三开关管T3、第四开关管T4也可以均为MOS晶体管。

[0047] 其中，所述第一开关管T1、第二开关管T2、第三开关管T3、第四开关管T4的沟道宽度比为1:N:N:2N，N大于1。

[0048] 优选地，所述第一开关管T1、第二开关管T2、第三开关管T3、第四开关管T4的沟道宽度比为1:7:7:14。这样做的好处在于：开关管设置不同的沟道宽度比可以控制开关管的开关顺序。

[0049] 本实施例通过设计一种结构简单易于实现的Feedthrough电压补偿电路单元,输出Feedthrough电压补偿电压,用于解决液晶显示装置的像素电压随着扫描线信号电压变化而变化造成显示屏闪烁的问题,避免了现有技术中通过对扫描线信号进行削角处理解决该问题时,像素充电电压受到的影响。

[0050] 实施例二

[0051] 请参见图4至图13,并再次参见图3,图4为本发明实施例提供的一种Feedthrough电压补偿电路单元输出波形图;图5为本发明实施例提供的一种Feedthrough补偿像素等效电路图;图6为本发明实施例提供的一种4Domain VA Mode下像素单元版图设置示意图;图7为本发明实施例提供的另一种4Domain VA Mode下像素单元版图设置示意图;图8为本发明实施例提供的一种4Domain VA Mode下像素等效电路图;图9为本发明实施例提供的一种8Domain VA Mode下像素单元版图设置示意图;图10为本发明实施例提供的一种8Domain VA Mode下像素等效电路图;图11为本发明实施例提供的一种面板九点分布示意图;图12为本发明实施例提供的一种面板11点像素Feedthrough补偿仿真对比数据图;图13为本发明实施例提供的一种面板33点像素Feedthrough补偿仿真对比数据图。本实施例在上述实施例的基础上,对本发明提出的Feedthrough补偿电路单元进行详细描述。

[0052] 具体地,该Feedthrough电压补偿电路单元的第一输入端VghA的输入电压为TFT晶体管的开启电压Vgh,第二输入端VglA的输入电压为TFT晶体管的关断电压Vgl,第三输入端G(n)的输入电压为第N行扫描线的扫描电压。当第三输入端G(n)即第N行扫描线电压是Vgl时,第一开关管T1和第二开关管T2打开,此时输出端Gc(n)输出电压的大小为Vgh-Vth,其中Vth为TFT晶体管的阈值电压,当第三输入端G(n)电压是Vgh时,第三开关管T3和第四开关管T4打开,此时第一开关管T1、第二开关管T2、第三开关管T3、第四开关管T4的沟道宽度(W)比为W1:W2:W3:W4=1:N:N:2N,优选地,W1:W2:W3:W4=1:7:7:14,由于第一开关管T1比第三开关管T3宽长比小,所以第三开关管T3和第四开关管T4起主导作用,第二输入端VglA通过第三开关管T3关闭第二开关管T2,同时第二输入端VglA通过第四开关管T4将输出端Gc(n)的电压拉回低电压Vgl,在此过程中,第三输入端G(n)和输出端Gc(n)会输出两个压差变化基本相同,变化趋势相反的波形,如图4所示。将输出电压Gc(n)输入至液晶显示装置进行Feedthrough补偿时,像素等效电路图如图5所示,输出端Gc(n)连接的补偿线与像素电极PE之间形成耦合电容Cgc,与第三输入端连接的扫描线G(n)与像素电极PE之间形成寄生电容Cgs,晶体管T将数据线连接至液晶电容C1c以及储存电容Cs。当扫描线加晶体管的开启电压Vgh时,晶体管T导通。导通的晶体管T将数据线上的数据电压传送至液晶电容C1c及储存电容Cs。液晶电容C1c及储存电容Cs通过数据电压进行充电,将在像素电极PE上产生对应的像素电压。像素电压会受到位于扫描线与像素电极PE之间的耦合电容Cgs的影响,当扫描线输入的电压改变时,例如由高电压改变为低电压时,扫描线会经由耦合电容Cgs产生的Feedthrough电压影响像素电压的大小。像素电压还会受到位于补偿线与像素电极PE之间的耦合电容Cgc的影响。此时由扫描线的电压变化产生的压差 ΔV_{p1} 如公式1所示,由补偿线的电压变化产生的压差 ΔV_{p2} 如公式2所示,当 ΔV_{p1} 和 ΔV_{p2} 数值基本相等,正负相反,即可相互抵消,从而达到Cgs补偿的效果。

$$[0053] \quad \Delta V_{p1} = (V_{gl} - V_{gh}) \frac{C_{gs}}{C_s + C_{1c} + C_{gs}} \quad (1)$$

$$[0054] \quad \Delta V_{p2} = (V_{gh} - V_{th} - V_{gl}) \frac{C_{gc}}{C_s + C_{lc} + C_{gs}} \approx (V_{gh} - V_{th}) \frac{C_{gc}}{C_s + C_{lc} + C_{gs}} \quad (2)$$

[0055] 其中, V_{th} 为TFT阈值电压, $C_{gs} = C_{gc}$, 因此 $\Delta V_{p1} + \Delta V_{p2} = 0$ 。

[0056] 进一步地, 在4Domain VA Mode下, 一种像素单元版图设置如图6所示, 补偿线与扫描线平行, 补偿线设置在与扫描线相邻的区域。

[0057] 进一步地, 在4Domain VA Mode下, 另一种像素单元版图设置如图7所示, 补偿线与扫描线平行, 补偿线设置在像素中间区域。

[0058] 图6版图和图7版图的等效电路图如图8所示, 输出端 $G_c(n)$ 连接的补偿线与像素电极PE之间形成耦合电容 C_{gc} , 第三输入端 $G(n)$ 连接的扫描线与像素电极PE之间通过寄生电容 C_{gs} 相连, 晶体管TM将数据线连接至电容 C_{cst} , 其中电容 C_{cst} 为像素电极PE的等效电容。

[0059] 进一步地, 在8Domain VA Mode下, 一种像素单元版图设置如图9所示, 两个子像素单元共用一个扫描线, 补偿线与扫描线平行, 补偿线设置在像素中间区域。等效电路如图10所示, A像素单元区域的TFT晶体管TM和B像素单元区域的TFT晶体管TS共用一个扫描电压和补偿电压, 输出端 $G_c(n)$ 连接的补偿线与A区域和B区域的像素电极PE之间分别形成耦合电容 C_{Agc} 和 C_{Bgc} , 第三输入端 $G(n)$ 连接的扫描线与A区域和B区域的像素电极PE之间分别形成耦合电容 C_{Ags} 和 C_{Bgs} , A区域的晶体管TM和B区域的晶体管TS分别将数据线连接至等效电容 C_{Acst} 和等效电容 C_{Bcst} 。低色偏阻抗型(Low Color Shift Resistance Type, 简称LCR) TFT, 是一种像素设计, 通过设计LCR TFT沟道宽长比的大小来调节A区和B区电压差异来达到像素低色偏的目的; $TFTV_{om}$ 是TFT侧的共电极。

[0060] C_{gs} 与 C_{gc} 电容对补偿效果的仿真数据表如下表所示, 假设 V_{gh} 为28V, V_{gl} 为-8V, 面板为9点分布, 如图11所示, 其中, 11表示第一行第一个像素点, 12表示第一行第二个像素点, 13~33依次类推。表1为没有Feedthrough电压补偿时面板各像素点在某一时刻的 ΔV_p 值。如表1所示, 在没有Feedthrough电压补偿时, 面板各像素点的 ΔV_p 值为2V以上, 数值较大, 严重影响像素充电电压, 其中, ΔV_p 值最大可达到2.58V, 其影响不容忽视。表2为具有Feedthrough电压补偿且 $C_{gc} = C_{gsoff}$ 时 (C_{gsoff} 为扫描线在低电压时扫描线和像素电极或者TFT源极形成的电容), 面板各像素点在某一时刻的 ΔV_p 值。与表1相比, 增加Feedthrough电压补偿后, 表2中各像素点的 ΔV_p 值明显减小, 降到1V以下, ΔV_p 值最大为0.74V。表3为具有Feedthrough电压补偿且 $C_{gc} = 1.3 * C_{gsoff}$ 时面板各像素点在某一时刻的 ΔV_p 值。与表2相比, 表3中各像素点的 ΔV_p 值进一步减小, 进一步降到0.4V以下, ΔV_p 值最大为0.22V。因此, 从上述表中可以看出, 耦合电容 C_{gc} 对Feedthrough电压的补偿效果显著。

[0061] 表1

[0062]

面板像素点	11	12	13
ΔV_p (V)	2.56	2.31	2.27
面板像素点	21	22	23
ΔV_p (V)	2.58	2.31	2.26
面板像素点	31	32	33
ΔV_p (V)	2.58	2.32	2.26

[0063] 表2

[0064]

面板像素点	11	12	13
ΔV_p (V)	0.74	0.50	0.45
面板像素点	21	22	23
ΔV_p (V)	0.74	0.49	0.44
面板像素点	31	32	33
ΔV_p (V)	0.68	0.50	0.45

[0065] 表3

[0066]	面板像素点	11	12	13
	ΔV_p (V)	0.22	-0.02	-0.06
[0067]	面板像素点	21	22	23
	ΔV_p (V)	0.23	-0.01	-0.06
	面板像素点	31	32	33
	ΔV_p (V)	0.22	-0.01	-0.06

[0068] C_{gs} 与 C_{gc} 电容对补偿效果的仿真数据图如图12和图13所示。从图中可以看出增加 C_{gc} 补偿电容后,在扫描线电压正负极性变化时,像素电压基本不变。具体地,如图12所示,图中横坐标表示时间,纵坐标表示电压值,在没有Feedthrough电压补偿时,像素电压在栅电压改变时,其大小由27.53 μ 7时刻点的16.28V降低到30.04V r 时刻点的13.72V,像素电压的压差 ΔV_p 为2.56V,在增加Feedthrough电压补偿后,像素电压在栅电压改变时,其大小由27.44在栅时刻点的16.20V降低到34.43 μ 4时刻点的16.16V,像素电压的压差 ΔV_p 仅为0.04V。如图13所示,图中横坐标表示时间,纵坐标表示电压值,在没有Feedthrough电压补偿时,像素电压在栅电压改变时,其大小由27.81 μ 1时刻点的15.89V降低到33.09,s时刻点的13.42V,像素电压的压差 ΔV_p 为2.47V,在增加Feedthrough电压补偿后,像素电压在栅电压改变时,其大小由27.77,像时刻点的15.81V提升到36.85,像时刻点的15.89V,像素电压的压差 ΔV_p 仅为-0.08V。

[0069] 本实施例,通过在液晶显示面板array侧扫描信号区域设计电路生成补偿信号,将补偿信号通过耦合电容输入至像素电极,可以在不改变IC的情况下改善Feedthrough电压引起的显示屏闪烁问题,且不会增加额外的设计成本。

[0070] 实施例三

[0071] 请参见图14及图15,图14为本发明实施例提供的一种Feedthrough电压补偿电路,图15为本发明实施例提供的一种液晶显示装置的结构示意图。本实施例在上述实施例的基础上对本发明提供的Feedthrough电压补偿电路及应用该Feedthrough电压补偿电路的液晶显示装置进行详细描述。

[0072] 具体地,该Feedthrough电压补偿电路包括N个Feedthrough电压补偿电路单元,每个Feedthrough电压补偿电路单元对应于一路扫描驱动电路单元。其中,每个Feedthrough电压补偿电路单元的第一输入端均相连形成Feedthrough电压补偿电路的第一输入端

VghB,即第一Feedthrough电压补偿电路单元的第一输入端Vgh1A、第二Feedthrough电压补偿电路单元的第一输入端Vgh2A至第N Feedthrough电压补偿电路单元的第一输入端VghnA均相连形成Feedthrough电压补偿电路的第一输入端VghB;每个Feedthrough电压补偿电路单元的第二输入端均相连形成Feedthrough电压补偿电路的第二输入端Vg1B,即第一Feedthrough电压补偿电路单元的第二输入端Vg11A、第二Feedthrough电压补偿电路单元的第二输入端Vg12A至第N Feedthrough电压补偿电路单元的第二输入端Vg1nA均相连形成Feedthrough电压补偿电路的第二输入端Vg1B。Feedthrough电压补偿电路的第一输入端VghB的输入电压为TFT晶体管的开启电压(Vgh),Feedthrough电压补偿电路的第二输入端Vg1B的输入电压为TFT晶体管的关断电压(Vg1),每个Feedthrough电压补偿电路单元的第三输入端G(n)的输入电压为一路扫描驱动电路单元的扫描电压,也就是说,每个Feedthrough电压补偿电路单元的第三输入端均可以电连接至对应扫描驱动电路的某一行扫描线的扫描信号输出端,例如,第一Feedthrough电压补偿电路单元的第三输入端G(1n)电连接至第一行扫描线的扫描信号输出端,第二Feedthrough电压补偿电路单元的第三输入端G(2n)电连接至第二行扫描线的扫描信号输出端,依次类推,第N Feedthrough电压补偿电路单元的第三输入端G(nn)电连接至第N行扫描线的扫描信号输出端。

[0073] 由于Feedthrough电压补偿电路单元的第三输入端G(n)和输出端Gc(n)会输出两个压差变化基本相同,变化趋势相反的波形。因此将Feedthrough电压补偿电路的N个输出电压输入至液晶显示装置进行Feedthrough电压补偿时,此时由每个Feedthrough电压补偿电路单元的第三输入端的电压变化产生的 ΔV_{p1} 和由输出端的补偿电压变化产生的 ΔV_{p2} 数值基本相等,正负相反,可以相互抵消,从而达到Cgs补偿的效果。

[0074] 进一步地,本实施例还提供了一种液晶显示装置。该液晶显示装置包括时序控制器、扫描驱动电路、数据驱动电路、像素矩阵以及Feedthrough电压补偿电路,Feedthrough电压补偿电路包括多个Feedthrough电压补偿电路单元。每个Feedthrough电压补偿电路单元可以设置于array侧扫描信号区域,从而不需要从扫描线驱动电路部分创造出补偿信号,而是通过在面板上通过电路生成补偿信号,因此实现在不改变驱动电路的情况下改善了Feedthrough电压引起的显示问题,不增加设计成本,且还可以实现窄边框的设计。

[0075] 综上所述,本文中应用了具体个例对本发明实施例提供的一种馈通补偿电路单元、电路模块及液晶显示装置的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制,本发明的保护范围应以所附的权利要求为准。

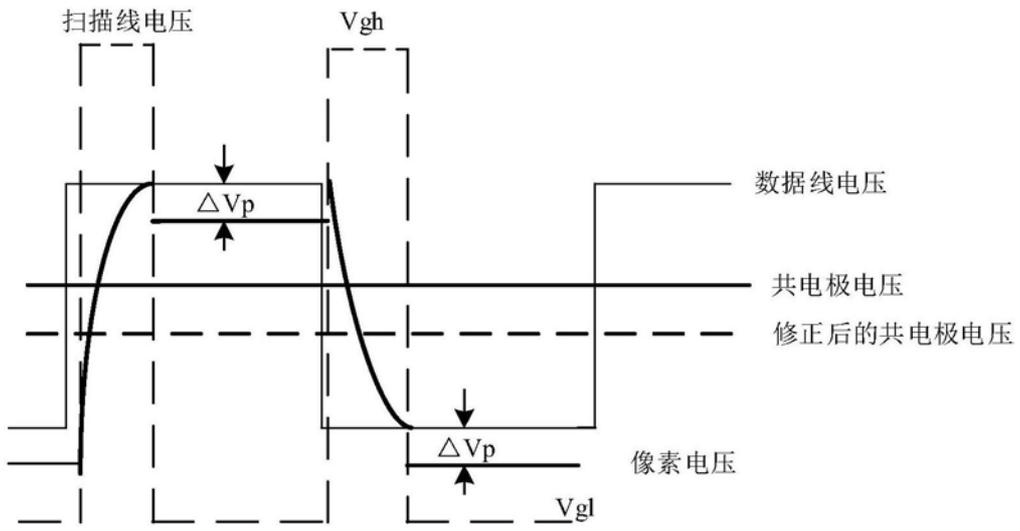


图1

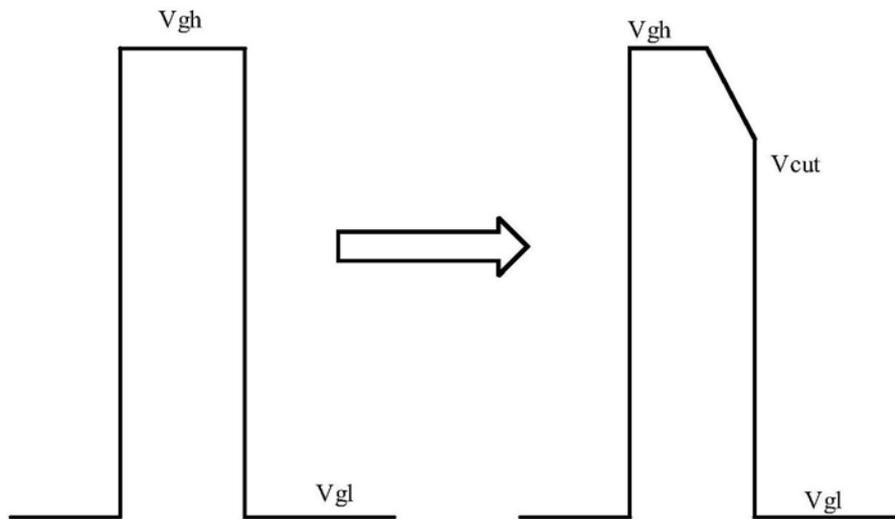


图2

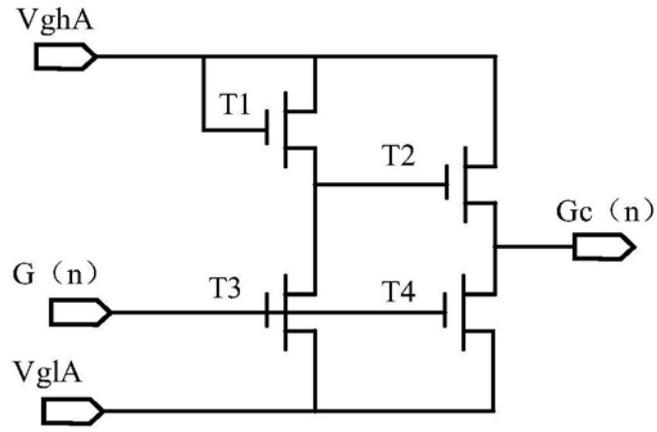


图3

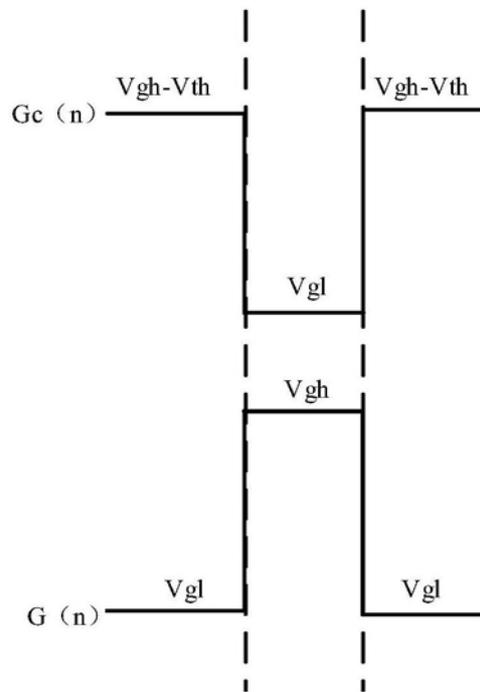


图4

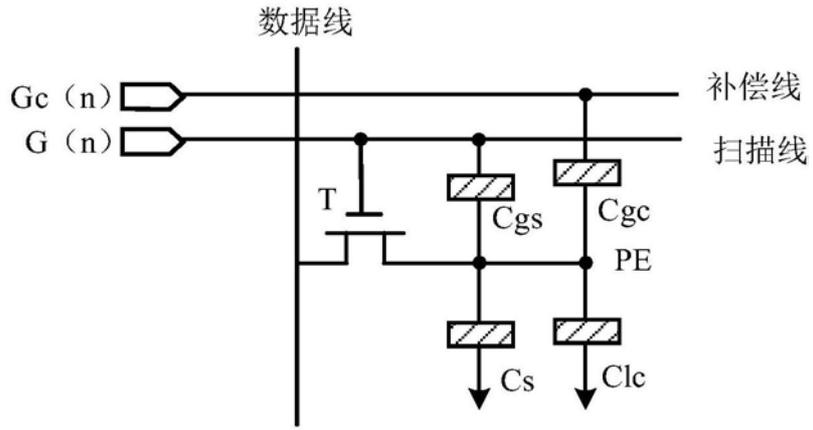


图5

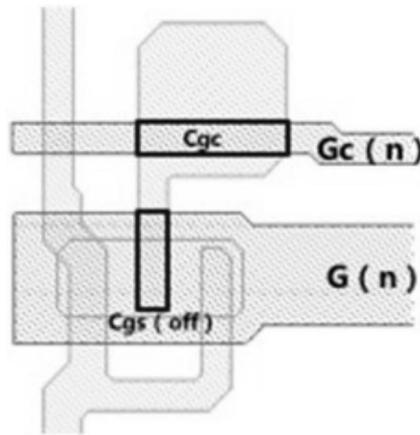


图6

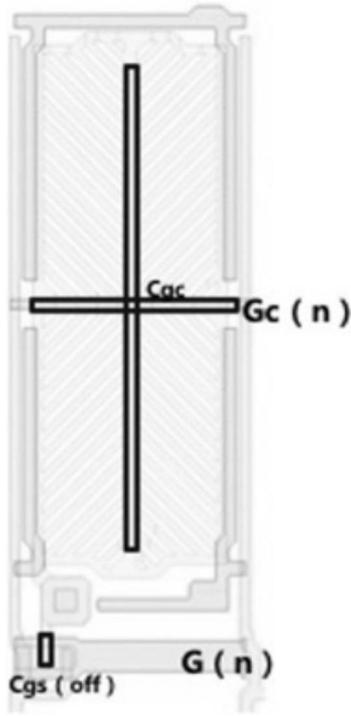


图7

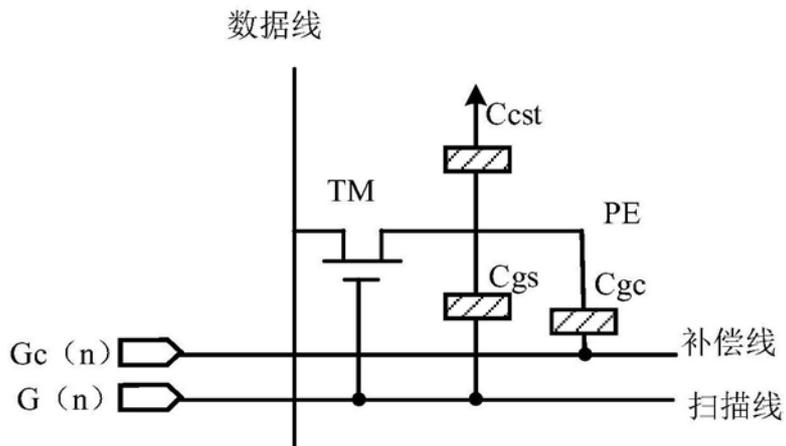


图8

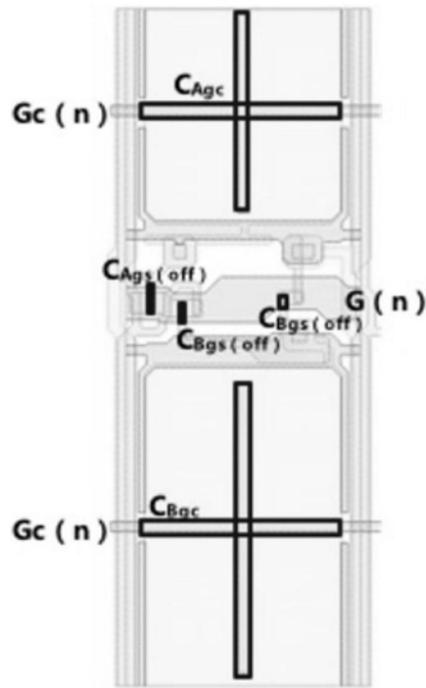


图9

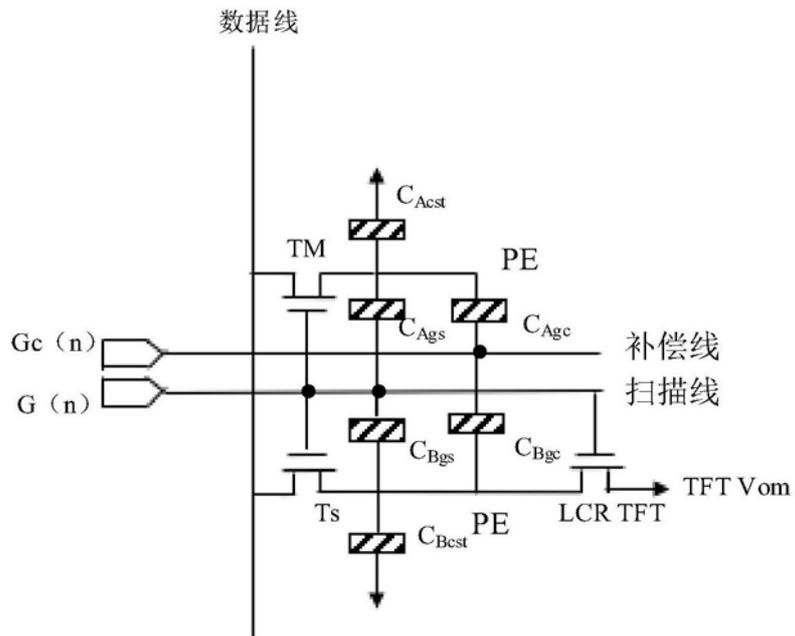


图10

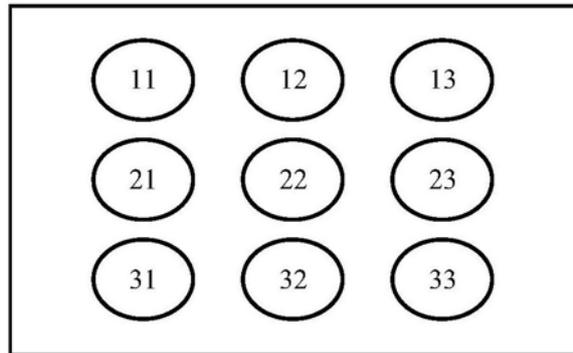


图11

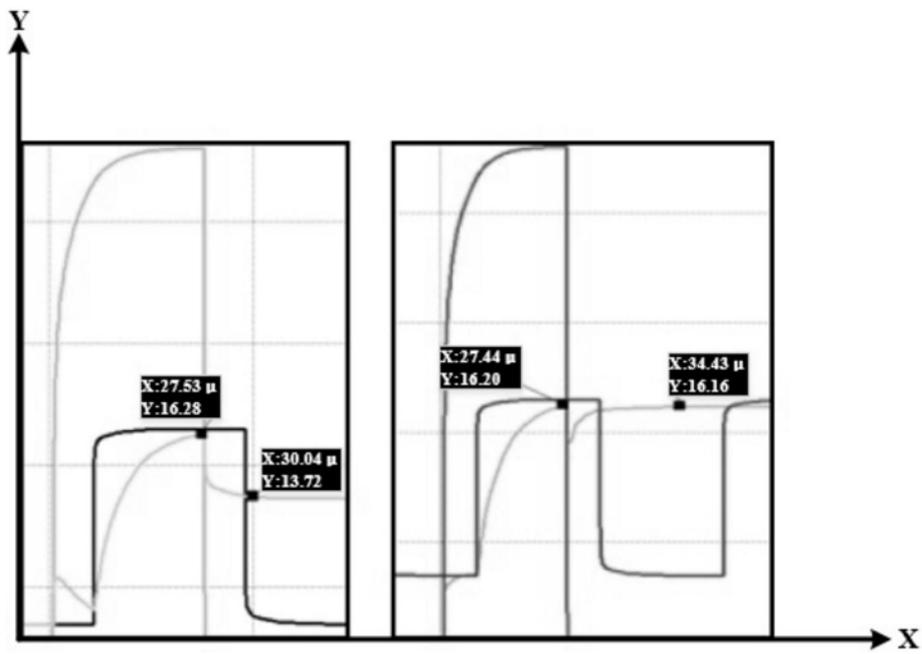


图12

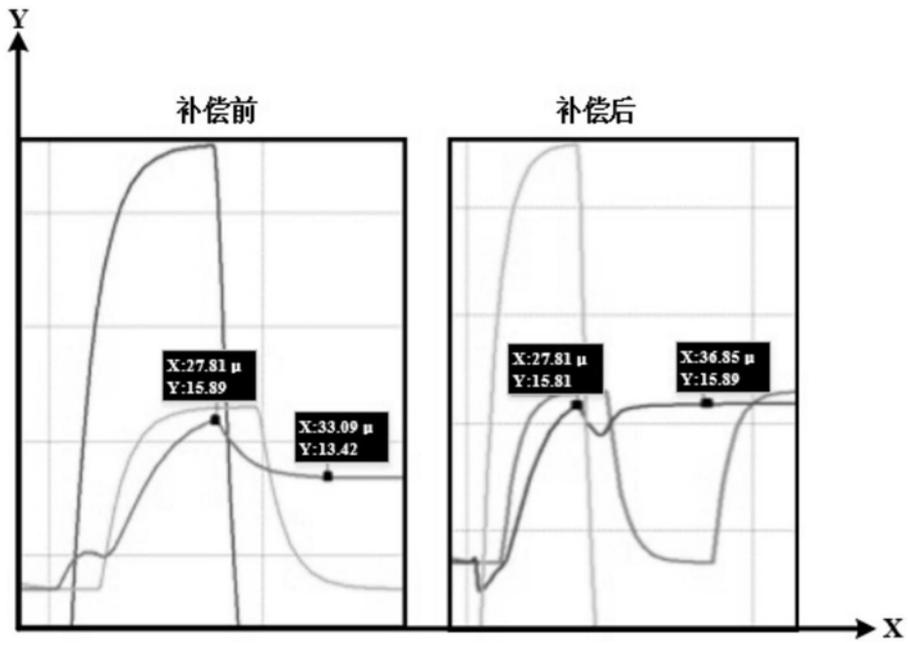


图13

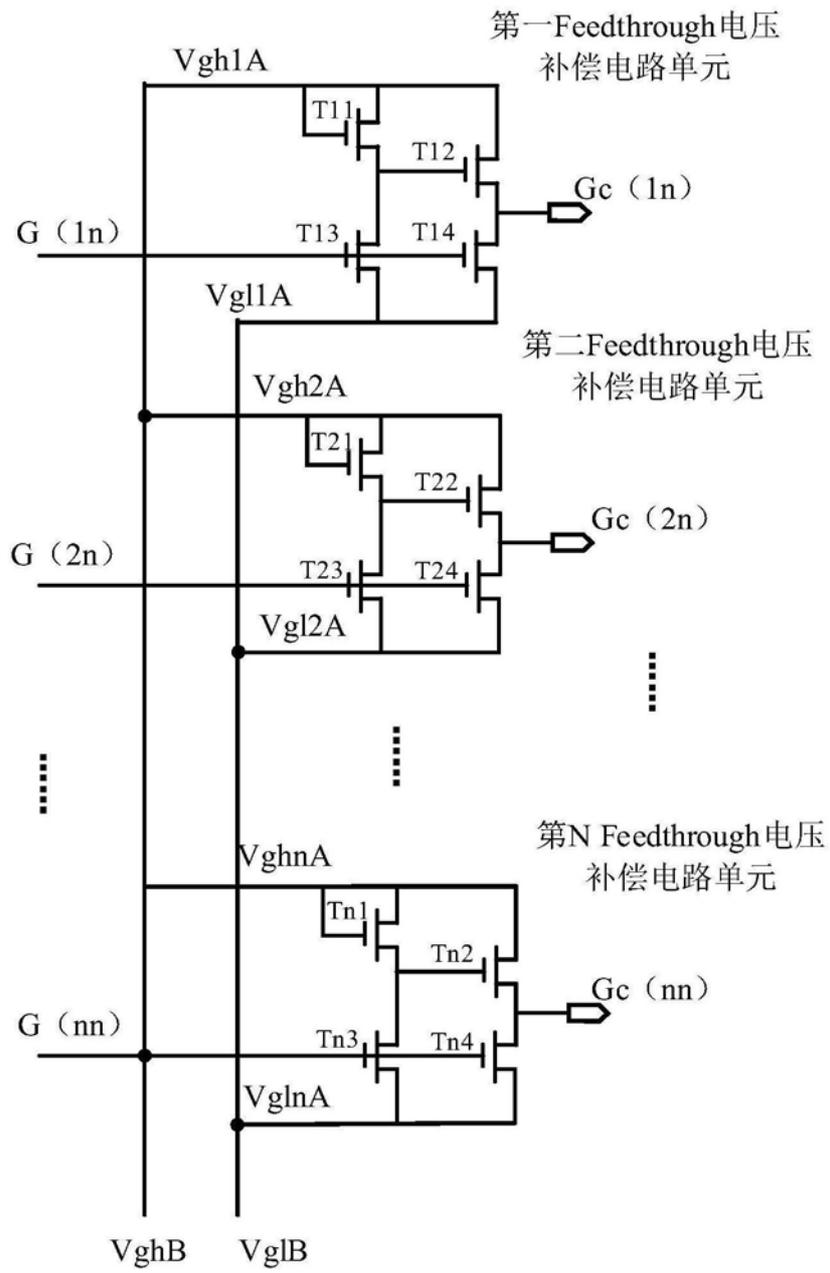


图14

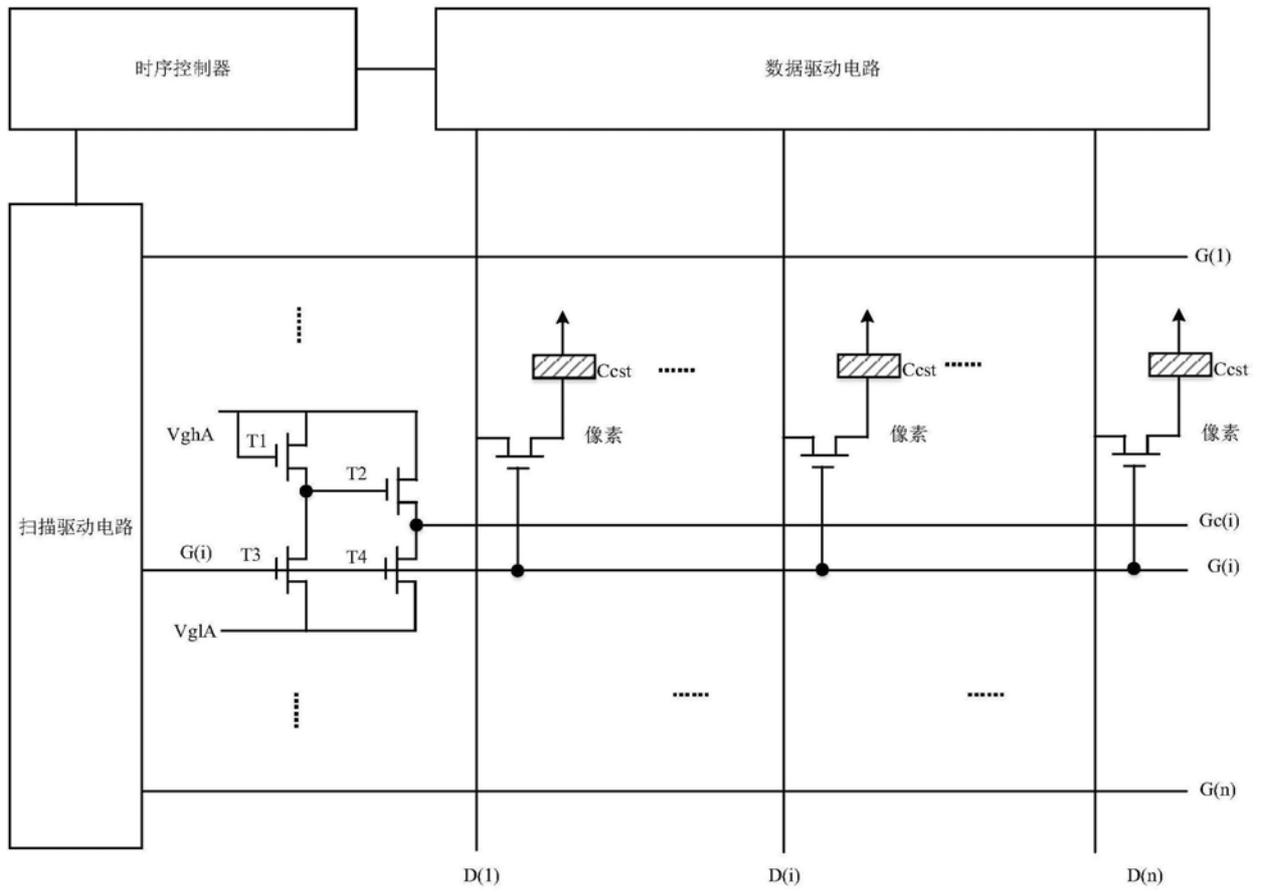


图15

专利名称(译)	一种馈通电压补偿电路单元、电路及液晶显示装置		
公开(公告)号	CN109949756A	公开(公告)日	2019-06-28
申请号	CN2017111384550.8	申请日	2017-12-20
[标]发明人	吴永良		
发明人	吴永良		
IPC分类号	G09G3/36		
代理人(译)	刘长春		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种馈通电压补偿电路单元、电路及液晶显示装置。该补偿电路单元包括：第一输入端VghA、第二输入端VglA、第三输入端G(n)、第一开关管T1、第二开关管T2、第三开关管T3、第四开关管T4以及输出端Gc(n)；其中，所述第一开关管T1和所述第三开关管T3依次串接于所述第一输入端VghA与所述第二输入端VglA之间；所述第二开关管T2和所述第四开关管T4依次串接于所述第一输入端VghA与所述第二输入端VglA之间；所述输出端Gc(n)电连接至所述第二开关管T2和所述第四开关管T4串接形成的节点处。本发明通过提供补偿电路单元减小Feedthrough电压对面板像素电压的影响，电路简单易于实现，降低设计成本，提高生产效率。

