



(12)发明专利申请

(10)申请公布号 CN 110232896 A

(43)申请公布日 2019. 09. 13

(21)申请号 201910423764.4

(22)申请日 2019.05.21

(71)申请人 武汉华星光电技术有限公司

地址 430079 湖北省武汉市东湖开发区高新大道666号生物城C5栋

(72)发明人 严雅静 邹恭华

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

G09G 3/36(2006.01)

权利要求书1页 说明书3页 附图3页

(54)发明名称

薄膜电晶体液晶显示器阵列基板结构

(57)摘要

一种薄膜电晶体液晶显示器阵列基板结构。所述薄膜电晶体液晶显示器阵列基板结构包括多个像素区块。所述各个像素区块与低运算补偿单元或高运算补偿单元连接,其中,各个像素区块通过所述低运算补偿单元或所述高运算补偿单元输出讯号。像素区块通过连接所述低运算补偿单元或所述高运算补偿单元,减少抵消电压对显示讯号的影响,弥补各个像素区块充电状态不一致的缺点,在空间上形成规律的补偿效果。

	列1	列2	列3		列N-1	列N
行1	+Vos1	-Vos21	+Vos31		+Vos(N-1)1	-VosN1
行2	+Vos2	-Vos22	+Vos32		+Vos(N-1)2	-VosN2
行3	+Vos3	-Vos23	+Vos33		+Vos(N-1)3	-VosN3
.....						
行N-1	+VosN-1	-Vos2N-1	+Vos3N-1		+Vos(N-1)N-1	-VosN N-1
行N	+VosN	-Vos2N	+Vos3N		+Vos(N-1)N	-VosN N

10

1. 一种薄膜电晶体液晶显示器阵列基板结构,其特征在于,包括:
多个像素区块,所述各个像素区块与低运算补偿单元或高运算补偿单元连接;
其中,各个像素区块通过所述低运算补偿单元或所述高运算补偿单元输出显示讯号。
2. 如权利要求1所述的薄膜电晶体液晶显示器阵列结构,其特征在于,连接所述低运算补偿单元的多个所述像素区块与连接所述高运算补偿单元的多个所述像素区块并列排列。
3. 如权利要求1所述的薄膜电晶体液晶显示器阵列结构,其特征在于,连接所述低运算补偿单元的多个所述像素区块与连接所述高运算补偿单元的多个所述像素区块并行排列。
4. 如权利要求1所述的薄膜电晶体液晶显示器阵列结构,其特征在于,连接所述低运算补偿单元的多个所述像素区块与连接所述高运算补偿单元的多个所述像素区块交错排列。
5. 如权利要求1所述的薄膜电晶体液晶显示器阵列结构,其特征在于,所述低运算补偿单元包括:
运算放大器,所述运算放大器包括第一输入端、第二输入端以及输出端,其中所述第一输入端接收输入电压讯号,所述第二输入端与所述输出端连接。
6. 如权利要求5所述的薄膜电晶体液晶显示器阵列结构,其特征在于,所述运算放大器由薄膜电晶体构成。
7. 如权利要求1所述的薄膜电晶体液晶显示器阵列结构,其特征在于,所述高运算补偿单元包括:
运算放大器,所述运算放大器包括第一输入端、第二输入端以及输出端,其中所述第二输入端接收输入电压讯号,所述第一输入端与所述输出端连接。
8. 如权利要求7所述的薄膜电晶体液晶显示器阵列结构,其特征在于,所述运算放大器由薄膜电晶体构成。

薄膜电晶体液晶显示器阵列基板结构

【技术领域】

[0001] 本揭示涉及显示技术领域,具体涉及薄膜电晶体液晶显示器阵列基板结构。

【背景技术】

[0002] 在液晶显示器中,每一个像素的都有一个薄膜电晶体,其栅极连接到水平扫描线,漏极连接到垂直数据线上。若在某条水平扫描线上施加一个正向电压,那么该扫描线上的薄膜电晶体开关打开,此时该扫描线上的像素电极与垂直方向的数据线连接,而将数据线上的数据信号输入到像素中,控制不同的液晶透光度以及显示效果。

[0003] 由于在闸极驱动电路基板 (Gate on Array, GOA) 电路的制程过程中,各个薄膜电晶体开关难免会存在一些差异,反映到运算放大器上时,会形成些微的抵消电压。导致扫描线上薄膜电晶体开关的打开程度不同,从而影响显示器的显示效果。

[0004] 故,有需要提供一种薄膜电晶体液晶显示器阵列基板结构,以解决现有技术存在的问题。

【发明内容】

[0005] 为解决上述问题,本揭示提出一种薄膜电晶体液晶显示器阵列基板结构,弥补各个像素区块充电状态不一致的缺点,在空间上形成规律的补偿效果。

[0006] 为达成上述目的,本揭示提供一种薄膜电晶体液晶显示器阵列基板结构。所述薄膜电晶体液晶显示器阵列基板结构包括多个像素区块,所述各个像素区块与低运算补偿单元或高运算补偿单元连接。其中,各个像素区块通过所述低运算补偿单元或所述高运算补偿单元输出显示讯号。

[0007] 于本揭示其中的一实施例中,连接所述低运算补偿单元的多个所述像素区块与连接所述高运算补偿单元的多个所述像素区块并列排列。

[0008] 于本揭示其中的一实施例中,连接所述低运算补偿单元的多个所述像素区块与连接所述高运算补偿单元的多个所述像素区块并行排列。

[0009] 于本揭示其中的一实施例中,连接所述低运算补偿单元的多个所述像素区块与连接所述高运算补偿单元的多个所述像素区块交错排列。

[0010] 于本揭示其中的一实施例中,所述低运算补偿单元包括运算放大器,所述运算放大器包括第一输入端、第二输入端以及输出端。其中所述第一输入端接收输入电压讯号,所述第二输入端与所述输出端连接。

[0011] 于本揭示其中的一实施例中,所述高运算补偿单元包括运算放大器,所述运算放大器包括第一输入端、第二输入端以及输出端。其中所述第二输入端接收输入电压讯号,所述第一输入端与所述输出端连接。

[0012] 于本揭示其中的一实施例中,所述运算放大器由薄膜电晶体构成。

[0013] 为使本揭示的上述内容能更明显易懂,下文特举优选实施例,并配合所附图式,作详细说明如下:

【附图说明】

[0014] 图1显示根据本揭示的一实施例的阵列基板结构示意图,该阵列基板具有连接低运算补偿单元的多个像素区块与连接高运算补偿单元的多个像素区块;

[0015] 图2显示根据本揭示的另一实施例的阵列基板结构示意图,该阵列基板具有连接低运算补偿单元的多个像素区块与连接高运算补偿单元的多个像素区块;

[0016] 图3显示根据本揭示的再一实施例的阵列基板结构示意图,该阵列基板具有连接低运算补偿单元的多个像素区块与连接高运算补偿单元的多个像素区块;

[0017] 图4显示根据本揭示的一实施例的低运算补偿单元的布局示意图;以及

[0018] 图5显示根据本揭示的一实施例的高运算补偿单元的布局示意图。

【具体实施方式】

[0019] 以下实施例的说明是参考附加的图示,用以例示本揭示可用以实施的特定实施例。本揭示所提到的方向用语,例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本揭示,而非用以限制本揭示。

[0020] 在图中,结构相似的单元是以相同标号表示。

[0021] 本揭示提供一种薄膜电晶体液晶显示器阵列基板结构。所述薄膜电晶体液晶显示器阵列基板结构包括多个像素区块,所述各个像素区块与低运算补偿单元或高运算补偿单元连接。其中,各个像素区块通过所述低运算补偿单元或所述高运算补偿单元输出显示讯号。换句话说,设置有低运算补偿电路的像素区块在低运算状态下运作,设置有高运算补偿电路的像素区块在高运算状态下运作。通过低运算补偿单元或所述高运算补偿单元将调整像素区块输出的讯号,在空间上形成规律的补偿效果。

[0022] 请参阅图1,其为本揭示的一实施例的阵列基板10结构示意图,该阵列基板10具有连接低运算补偿单元的多个像素区块与连接高运算补偿单元的多个像素区块。其中,列1、列2、列3、列N-1、列N分别代表像素区块的列数目。行1、行2、行3、行N-1、行N分别代表像素区块的行数目。在图1中,每一方格分别代表一个像素区块,+代表所述像素区块在高运算状态下运作,-代表所述像素区块在低运算状态下运作。举例而言,-Vos21代表第二列第一行的所述像素区块在低运算状态下运作,+Vos33代表第三列第三行的所述像素区块在高运算状态下运作。

[0023] 请进一步参照图1,于图1所揭示的实施例中,位於列1、列3、列N-1的各个像素区块均在高运算状态下运作;位於列2、列N的各个像素区块均在低运算状态下运作。换言之,位於列1、列3、列N-1的各个像素区块连接高运算补偿单元,位於列2、列N的各个像素区块连接低运算补偿单元。

[0024] 在图1所揭示的实施例中,连接所述低运算补偿单元的多个所述像素区块与连接所述高运算补偿单元的多个所述像素区块并列排列,在空间上形成规律的补偿效果。

[0025] 请参阅图2,其为本揭示的另一实施例的阵列基板20结构示意图,该阵列基板20具有连接低运算补偿单元的多个像素区块与连接高运算补偿单元的多个像素区块。其与图1的差异在于,在图2所揭示的实施例中,连接所述低运算补偿单元的多个所述像素区块与连接所述高运算补偿单元的多个所述像素区块并行排列,从而在空间上形成规律的补偿效

果。

[0026] 请参阅图3,其为本揭示的再一实施例的阵列基板30结构示意图,该阵列基板30具有连接低运算补偿单元的多个像素区块与连接高运算补偿单元的多个像素区块。其与图1的差异在于,在图3所揭示的实施例中,连接所述低运算补偿单元的多个所述像素区块与连接所述高运算补偿单元的多个所述像素区块交错排列,从而在空间上形成规律的补偿效果。

[0027] 请参阅图4,图4显示根据本揭示的一实施例的低运算补偿单元40的布局示意图。在图4所揭示的实施例中,低运算补偿单元40包括运算放大器OP,运算放大器OP包括第一输入端1、第二输入端2以及输出端0。其中第一输入端1接收输入电压讯号 V_{IN} ,第二输入端2与输出端0连接。其中,由于各个薄膜电晶体开关存在差异所形成的抵消电压 V_{OS} 在图中表示为连接于第一输入端1与输入电压讯号 V_{IN} 之间。

[0028] 进一步而言,低运算补偿单元40的输出电压 V_{OUT} 等效为 $V_{IN}-V_{OS}$ 。

[0029] 请参阅图5,图5显示根据本揭示的一实施例的高运算补偿单元50的布局示意图。在图5所揭示的实施例中,高运算补偿单元50包括运算放大器OP,运算放大器OP包括第一输入端1、第二输入端2以及输出端0。其中第二输入端2接收输入电压讯号 V_{IN} ,第一输入端1与输出端0连接。其中,由于各个薄膜电晶体开关存在差异所形成的抵消电压 V_{OS} 在图中表示为连接于第一输入端1与输出端0之间。

[0030] 进一步而言,高运算补偿单元50的输出电压 V_{OUT} 等效为 $V_{IN}+V_{OS}$ 。

[0031] 请一并参照图4及图5,通过低运算补偿单元40与所述高运算补偿单元50的设置,分别将调整原像素区块输出的讯号通过低运算补偿单元调整为 $V_{IN}-V_{OS}$;将调整原像素区块输出的讯号通过高运算补偿单元调整为 $V_{IN}+V_{OS}$ 。平衡因抵消电压 V_{OS} 所导致的各个像素区块充电状态不同,在空间上形成规律的补偿效果。

[0032] 于本揭示其中的一实施例中,所述运算放大器OP由薄膜电晶体构成。

[0033] 综上所述,由于本揭示提供的薄膜电晶体液晶显示器阵基板结构。所述薄膜电晶体液晶显示器阵列基板结构包括多个像素区块。所述各个像素区块与低运算补偿单元或高运算补偿单元连接,其中,各个像素区块通过所述低运算补偿单元或所述高运算补偿单元输出讯号。像素区块通过连接所述低运算补偿单元或所述高运算补偿单元,减少抵消电压对显示讯号的影响,弥补各个像素区块充电状态不一致的缺点,在空间上形成规律的补偿效果。

[0034] 以上仅是本揭示的优选实施方式,应当指出,对于本领域普通技术人员,在不脱离本揭示原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本揭示的保护范围。

	列 1	列2	列3		列 N-1	列N
行1	+V _{os1}	-V _{os21}	+V _{os31}		+V _{os(N-1)1}	-V _{osN1}
行2	+V _{os2}	-V _{os22}	+V _{os32}		+V _{os(N-1)2}	-V _{osN2}
行3	+V _{os3}	-V _{os23}	+V _{os33}		+V _{os(N-1)3}	-V _{osN3}
.....						
行N-1	+V _{osN-1}	-V _{os2N-1}	+V _{os3N-1}		+V _{os(N-1)N-1}	-V _{osN N-1}
行N	+V _{osN}	-V _{os2N}	+V _{os3N}		+V _{os(N-1)N}	-V _{osN N}

图 1

	列 1	列2	列3		列 N-1	列N
行1	+V _{os1}	+V _{os21}	+V _{os31}		+V _{os(N-1)1}	+V _{osN1}
行2	-V _{os2}	-V _{os22}	-V _{os32}		-V _{os(N-1)2}	-V _{osN2}
行3	+V _{os3}	+V _{os23}	+V _{os33}		+V _{os(N-1)3}	+V _{osN3}
.....						
行N-1	+V _{osN-1}	+V _{os2N-1}	+V _{os3N-1}		+V _{os(N-1)N-1}	+V _{osN N-1}
行N	-V _{osN}	-V _{os2N}	-V _{os3N}		-V _{os(N-1)N}	-V _{osN N}

图 2

	列1	列2	列3		列N-1	列N
行1	+Vos1	-Vos21	+Vos31		-Vos(N-1)1	+VosN1
行2	-Vos2	+Vos22	-Vos32		+Vos(N-1)2	-VosN2
行3	+Vos3	-Vos23	+Vos33		-Vos(N-1)3	+VosN3
.....						
行N-1	-VosN-1	+Vos2N-1	-Vos3N-1		+Vos(N-1)N-1	-VosN N-1
行N	+VosN	-Vos2N	+Vos3N		-Vos(N-1)N	+VosN N

图3

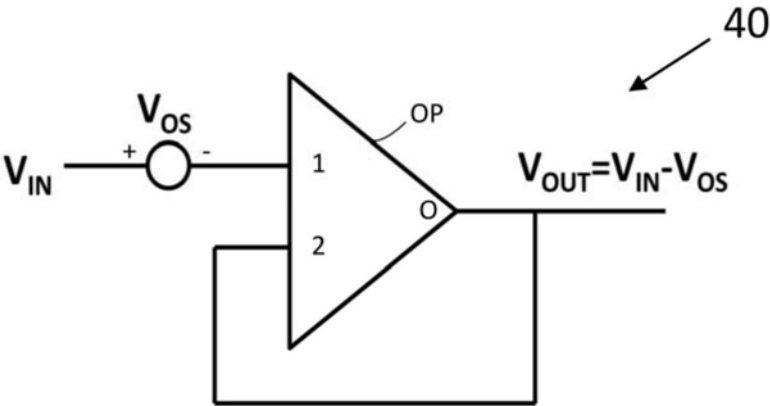


图4

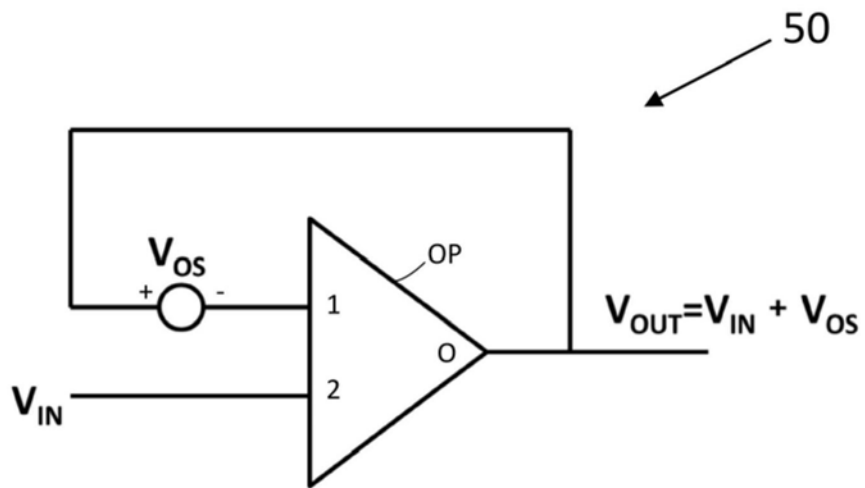


图5

专利名称(译)	薄膜电晶体液晶显示器阵列基板结构		
公开(公告)号	CN110232896A	公开(公告)日	2019-09-13
申请号	CN201910423764.4	申请日	2019-05-21
[标]申请(专利权)人(译)	武汉华星光电技术有限公司		
申请(专利权)人(译)	武汉华星光电技术有限公司		
当前申请(专利权)人(译)	武汉华星光电技术有限公司		
[标]发明人	严雅静 邹恭华		
发明人	严雅静 邹恭华		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G2300/0809 G09G2300/0833		
代理人(译)	黄威		
外部链接	Espacenet SIPO		

摘要(译)

一种薄膜电晶体液晶显示器阵列基板结构。所述薄膜电晶体液晶显示器阵列基板结构包括多个像素区块。所述各个像素区块与低运算补偿单元或高运算补偿单元连接，其中，各个像素区块通过所述低运算补偿单元或所述高运算补偿单元输出讯号。像素区块通过连接所述低运算补偿单元或所述高运算补偿单元，减少抵消电压对显示讯号的影响，弥补各个像素区块充电状态不一致的缺点，在空间上形成规律的补偿效果。

	列1	列2	列3		列N-1	列N
行1	+Vos1	-Vos21	+Vos31		+Vos(N-1)1	-VosN1
行2	+Vos2	-Vos22	+Vos32		+Vos(N-1)2	-VosN2
行3	+Vos3	-Vos23	+Vos33		+Vos(N-1)3	-VosN3
.....						
行N-1	+VosN-1	-Vos2N-1	+Vos3N-1		+Vos(N-1)N-1	-VosN N-1
行N	+VosN	-Vos2N	+Vos3N		+Vos(N-1)N	-VosN N

10