



(12)发明专利申请

(10)申请公布号 CN 109709733 A

(43)申请公布日 2019.05.03

(21)申请号 201910089178.0

(22)申请日 2019.01.30

(71)申请人 惠科股份有限公司

地址 518000 广东省深圳市宝安区石岩街
道水田村民营工业园惠科工业园厂房
1、2、3栋,九州阳光1号厂房5、7楼

(72)发明人 单剑锋

(74)专利代理机构 深圳市百瑞专利商标事务所
(普通合伙) 44240

代理人 邢涛

(51)Int.Cl.

G02F 1/1362(2006.01)

G02F 1/1343(2006.01)

H01L 27/32(2006.01)

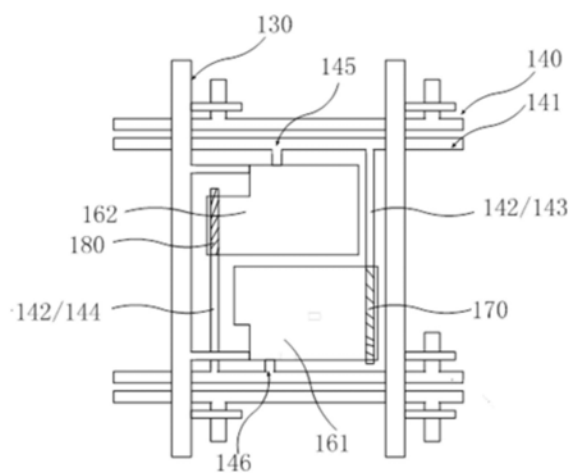
权利要求书2页 说明书7页 附图4页

(54)发明名称

一种显示面板、驱动方法和驱动模块

(57)摘要

本发明公开了一种显示面板、驱动方法和驱动模块,显示面板包括多条数据线、多条栅极线和多个像素,栅极线与数据线互相交错,每个像素由对应的栅极线和数据线进行驱动,每个像素包括对应的像素电极;其中,像素的像素电极与相邻的另一栅极线重叠,形成重叠区,当前栅极线对应的像素电极与相邻的另一栅极线重叠,形成重叠区,加大存储电容,减少甚至消除因寄生电容对液晶电容和存储电容的再分配作用而导致显示面板产生闪烁的问题。



1. 一种显示面板,其特征在于,包括:

多条数据线;

多条栅极线,所述栅极线和所述数据线互相交错;以及

多个像素,分别由对应的数据线和栅极线驱动,所述每个像素包括对应的像素电极;

其中,所述像素的像素电极与相邻的另一栅极线重叠,形成重叠区。

2. 如权利要求1所述的一种显示面板,其特征在于,所述栅极线包括相互导通的主栅极线和辅栅极线,所述主栅极线与所述数据线交叉设置,所述辅栅极线与所述数据线平行设置。

3. 如权利要求2所述的一种显示面板,其特征在于,同一栅极线连接相邻的两个像素为一像素组,所述像素组包括与不同的数据线连接的第一像素和第二像素;

其中,所述像素组的第一像素的像素电极与上一栅极线重叠,形成第一重叠区;所述像素组的第二像素的像素电极与下一栅极线重叠,形成第二重叠区。

4. 如权利要求2所述的一种显示面板,其特征在于,所述辅栅极线包括第一辅栅极线 and 第二辅栅极线,所述第一辅栅极线与上一栅极线对应的第二像素的像素电极形成第一重叠区,所述第二辅栅极线与所述下一栅极线对应的第一像素的像素电极形成第二重叠区。

5. 如权利要求2所述的一种显示面板,其特征在于,所述同一数据线连接相邻的两个像素为一个像素组,所述像素组包括与不同的栅极线连接的第一像素和第二像素;

其中,所述像素组的第一像素的像素电极与上一栅极线重叠,形成第一重叠区;所述像素组的第二像素的像素电极与下一栅极线重叠,形成第二重叠区。

6. 如权利要求5所述的一种显示面板,其特征在于,所述同一数据线连接相邻的两个像素为一个像素组,所述像素组包括与不同的栅极线连接的第一像素和第二像素;

所述第一像素连接的栅极线为第一栅极线,所述第一栅极线包括第一主栅极线和第一辅栅极线,所述第二像素连接的栅极线为第二栅极线,所述第二栅极线包括第二主栅极线和第二辅栅极线;

所述第一辅栅极线与所述第二主栅极线对应的第二像素的像素电极形成第一重叠区,所述第二辅栅极线与所述第一主栅极线对应的第一像素的像素电极形成第二重叠区。

7. 如权利要求2所述的一种显示面板,其特征在于,所述辅栅极线与当前主栅极线对应的第一像素的像素电极之间以及上一主栅极线对应的第二像素的像素电极之间都设有第一安全距离。

8. 如权利要求2所述的一种显示面板,其特征在于,所述辅栅极线与对应的数据线之间设有第二安全距离。

9. 一种驱动方法,应用于如权利要求1至8所述的显示面板,其特征在于,所述显示面板包括:

多条数据线;

多条栅极线,所述栅极线和所述数据线互相交错;以及

多个像素,分别由对应的数据线和栅极线驱动,所述每个像素包括对应的像素电极;

所述驱动方法包括输出栅极驱动信号给所述显示面板对应的栅极线的步骤;

其中,所述栅极驱动信号的一个信号周期包括维持时间、第一下拉时间、打开时间和第二下拉时间;所述第一下拉时间的时长和打开时间的时长以及第二下拉时间的时长都相

等;所述的栅极驱动信号在维持时间内为第一低电平;在打开时间为高电平;在第一下拉时间内和第二下拉时间内为第二低电平;所述第二低电平的电压值低于所述的第一低电平的电压值。

10.一种驱动模块,其特征在于,所述驱动模块驱动如权利要求1至8所述的显示面板,所述驱动模块包括:

栅极驱动模块,输出栅极驱动信号给所述显示面板对应的栅极线;

其中,所述栅极驱动信号的一个信号周期包括维持时间、第一下拉时间、打开时间和第二下拉时间;所述第一下拉时间的时长和打开时间的时长以及第二下拉时间的时长都相等;所述的栅极驱动信号在维持时间内为第一低电平;在打开时间为高电平;在第一下拉时间内和第二下拉时间内为第二低电平;所述第二低电平的电压值低于所述的第一低电平的电压值。

一种显示面板、驱动方法和驱动模块

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种显示面板、驱动方法和驱动模块。

背景技术

[0002] 随着科技的发展和进步,平板显示器由于具备机身薄、省电和辐射低等热点而成为显示器的主流产品,得到了广泛应用。平板显示器包括薄膜晶体管液晶显示器(Thin Film Transistor-Liquid Crystal Display,TFT-LCD)和有机发光二极管(Organic Light-Emitting Diode,OLED)显示器等。其中,薄膜晶体管液晶显示器通过控制液晶分子的旋转方向,以将背光模组的光线折射出来产生画面,具有机身薄、省电、无辐射等众多优点。而有机发光二极管显示器是利用有机电致发光二极管制成,具有自发光、响应时间短、清晰度与对比度高、可实现柔性显示与大面积全色显示等诸多优点。

[0003] 在一般液晶显示器的使用中,显示画面的清晰度以及稳定性是我们一直在解决的重要问题,画面常受到驱动电压的影响,导致产生一些闪烁的问题。

发明内容

[0004] 为实现上述目的,本发明提供了一种显示面板,包括:

[0005] 多条数据线;

[0006] 多条栅极线,所述栅极线和所述数据线互相交错;以及

[0007] 多个像素,分别由对应的数据线和栅极线驱动,所述每个像素包括对应的像素电极;

[0008] 其中,所述像素的像素电极与相邻的另一栅极线重叠,形成重叠区。

[0009] 可选的,所述栅极线包括相互导通的主栅极线和辅栅极线,所述主栅极线与所述数据线交叉设置,所述辅栅极线与所述数据线平行设置。

[0010] 可选的,同一栅极线连接相邻的两个像素为一像素组,所述像素组包括与不同的数据线连接的第一像素和第二像素;

[0011] 其中,所述像素组的第一像素的像素电极与上一栅极线重叠,形成第一重叠区;所述像素组的第二像素的像素电极与下一栅极线重叠,形成第二重叠区。

[0012] 可选的,所述辅栅极线包括第一辅栅极线和第二辅栅极线,所述第一辅栅极线与上一栅极线对应的第二像素的像素电极形成第一重叠区,所述第二辅栅极线与所述下一栅极线对应的第一像素的像素电极形成第二重叠区。

[0013] 可选的,所述同一数据线连接相邻的两个像素为一个像素组,所述像素组包括与不同的栅极线连接的第一像素和第二像素;

[0014] 其中,所述像素组的第一像素的像素电极与上一栅极线重叠,形成第一重叠区;所述像素组的第二像素的像素电极与下一栅极线重叠,形成第二重叠区。

[0015] 可选的,所述同一数据线连接相邻的两个像素为一个像素组,所述像素组包括与不同的栅极线连接的第一像素和第二像素;

[0016] 所述第一像素连接的栅极线为第一栅极线,所述第一栅极线包括第一主栅极线和第一辅栅极线,所述第二像素连接的栅极线为第二栅极线,所述第二栅极线包括第二主栅极线和第二辅栅极线;

[0017] 所述第一辅栅极线与所述第二主栅极线对应的第二像素的像素电极形成第一重叠区,所述第二辅栅极线与所述第一主栅极线对应的第一像素的像素电极形成第二重叠区。

[0018] 可选的,所述辅栅极线与当前主栅极线对应的第一像素的像素电极之间以及上一主栅极线对应的第二像素的像素电极之间都设有第一安全距离。

[0019] 可选的,所述辅栅极线与对应的数据线之间设有第二安全距离。

[0020] 本发明还公开了一种驱动方法,应用于如上任一所述的显示面板,所述显示面板包括:

[0021] 多条数据线;

[0022] 多条栅极线,所述栅极线和所述数据线互相交错;以及

[0023] 多个像素,分别由对应的数据线和栅极线驱动,所述每个像素包括对应的像素电极;

[0024] 所述驱动方法包括输出栅极驱动信号给所述显示面板对应的栅极线的步骤;

[0025] 其中,所述栅极驱动信号的一个信号周期包括维持时间、第一下拉时间、打开时间和第二下拉时间;所述第一下拉时间的时长和打开时间的时长以及第二下拉时间的时长都相等;所述的栅极驱动信号在维持时间内为第一低电平;在打开时间为高电平;在第一下拉时间内和第二下拉时间内为第二低电平;所述第二低电平的电压值低于所述的第一低电平的电压值。

[0026] 本发明还公开了一种驱动模块,所述驱动模块驱动如上任一所述的显示面板,所述驱动模块包括:

[0027] 栅极驱动模块,输出栅极驱动信号给所述显示面板对应的栅极线;

[0028] 其中,所述栅极驱动信号的一个信号周期包括维持时间、第一下拉时间、打开时间和第二下拉时间;所述第一下拉时间的时长和打开时间的时长以及第二下拉时间的时长都相等;所述的栅极驱动信号在维持时间内为第一低电平;在打开时间为高电平;在第一下拉时间内和第二下拉时间内为第二低电平;所述第二低电平的电压值低于所述的第一低电平的电压值。

[0029] 相对于当前栅极线对应的像素的像素电极与当前栅极线形成存储电容的方案来说,本申请多条数据线与多条栅极线互相交错形成多个像素,每个像素都包括一个像素电极,像素电极与栅极线容易形成寄生电容,为了避免寄生电容产生较大的影响,我们增大了像素电极与栅极线形成的存储电容,当前栅极线对应的像素电极与相邻的另一栅极线重叠,形成重叠区,加大存储电容,减少甚至消除因寄生电容对液晶电容和存储电容的再分配作用而导致显示面板产生闪烁的问题。

附图说明

[0030] 所包括的附图用来提供对本申请实施例的进一步的理解,其构成了说明书的一部分,用于例示本申请的实施方式,并与文字描述一起来阐释本申请的原理。显而易见地,下

面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。在附图中:

[0031] 图1是本发明的一实施例的一种像素结构的示意图;

[0032] 图2是本发明的一实施例的像素结构电路的示意图;

[0033] 图3是本发明的一实施例的像素结构的示意图;

[0034] 图4是本发明的另一实施例的一种像素结构的示意图;

[0035] 图5是本发明的另一实施例的像素结构的示意图;

[0036] 图6是本发明的另一实施例的驱动波形的示意图;

[0037] 图7是本发明的另一实施例的驱动模块的示意图;

[0038] 图8是本发明的另一实施例的显示装置的示意图。

[0039] 其中,100、显示装置;110、显示面板;120、驱动模块;121、栅极驱动模块;130、数据线;140、栅极线;141、主栅极线;142、辅栅极线;143、第二辅栅极线;144、第一辅栅极线;145、第二主栅极线;146、第一主栅极线;150、像素;160、像素组;161、第一像素;162、第二像素;170、第一重叠区;180、第二重叠区。

具体实施方式

[0040] 需要理解的是,这里所使用的术语、公开的具体结构和功能细节,仅仅是为了描述具体实施例,是代表性的,但是本申请可以通过许多替换形式来具体实现,不应被解释成仅受限于这里所阐述的实施例。

[0041] 在本申请的描述中,术语“第一”、“第二”仅用于描述目的,而不能理解为指示相对重要性,或者隐含指明所指示的技术特征的数量。由此,除非另有说明,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征;“多个”的含义是两个或两个以上。术语“包括”及其任何变形,意为不排除他的包含,可能存在或添加一个或更多其他特征、整数、步骤、操作、单元、组件和/或其组合。

[0042] 另外,“中心”、“横向”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系的术语,是基于附图所示的方位或相对位置关系描述的,仅是为了便于描述本申请的简化描述,而不是指示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本申请的限制。

[0043] 此外,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,或是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本申请中的具体含义。

[0044] 下面参考附图和可选的实施例对本发明作进一步说明。

[0045] 如图1至图5所示,本发明实施例公布了一种显示面板110,包括:多条数据线130、多条栅极线140和多个像素150,栅极线140和数据线130互相交错;每个像素150分别由对应的数据线130和栅极线140驱动,每个像素150包括对应的像素电极;

[0046] 其中,像素150的像素电极与相邻的另一栅极线140重叠,形成重叠区。

[0047] 如图1所示,当前栅极线140对应像素150,与当前栅极线140相邻的栅极线140称为另一栅极线140,像素150的像素电极与另一栅极线140重叠,形成重叠区。

[0048] 本方案中,多条数据线130与多条栅极线140互相交错形成多个像素150,每个像素150都包括一个像素电极,像素电极与栅极线140容易形成寄生电容,为了避免寄生电容产生较大的影响,我们增大了像素电极与栅极线140形成的存储电容,参考图2的电路所示当前栅极线140对应的像素电极与相邻的另一栅极线140重叠,形成重叠区,加大存储电容,减少甚至消除因寄生电容对液晶电容和存储电容的再分配作用而导致显示面板110产生闪烁的问题。

[0049] 本实施例可选的,栅极线140包括相互导通的主栅极线141和辅栅极线142,主栅极线141与数据线130交叉设置,辅栅极线142与数据线130平行设置。

[0050] 本方案中,栅极线140分为主栅极线141和辅栅极线142,主栅极线141与数据线130交错设置,增加的辅栅极线142与数据线130平行,且主栅极线141与辅栅极线142相互导通,可以减少数据线130对像素电极电压的影响,造成所谓的串扰从而影响画质,另外也可以减少主栅极线141与像素电极产生的寄生电容所带来的对显示面板110造成显示闪烁的影响。

[0051] 本实施例可选的,如图3所示,同一栅极线140连接相邻的两个像素150为一像素组160,像素组160包括与不同的数据线130连接的第一像素161和第二像素162;

[0052] 其中,像素组160的第一像素161的像素电极与上一栅极线140重叠,形成第一重叠区170;像素组160的第二像素162的像素电极与下一栅极线140重叠,形成第二重叠区180。

[0053] 本方案中,像素组160内的两个像素150分别对应不同的数据线130,能够更好保证每个像素150的数据驱动电压的大小,防止像素电极本身的负载导致数据电压的降低,另外像素组160内的不同像素150的像素电极分别与上一栅极线140和下一栅极线140重叠,形成两个不同的存储电容,加大存储电容,可以减少像素电极与栅极线140产生的寄生电容的影响,减少甚至消除寄生电容对液晶电容和存储电容的再分配作用而导致显示面板110产生闪烁的问题,还可以增加开口率,提高液晶分子的穿透率,实现大视角色偏。

[0054] 本实施例可选的,如图3所示,辅栅极线142包括第一辅栅极线144和第二辅栅极线143,第一辅栅极线144与上一栅极线140对应的第二像素162的像素电极形成第二重叠区180,第二辅栅极线143与下一栅极线140对应的第一像素161的像素电极形成第一重叠区170。

[0055] 本方案中,由主栅极线141延伸出来的辅栅极线142与像素组160形成重叠区,辅栅极线142可以具备屏蔽电场的效果,减少了电场形成于像素电极与数据线130之间。

[0056] 如图4所示,同一数据线130连接相邻的两个像素150为一个像素组160,像素组160包括与不同的栅极线140连接的第一像素161和第二像素162;

[0057] 其中,像素组160的第一像素161的像素电极与上一栅极线140重叠,形成第一重叠区170;像素组160的第二像素162的像素电极与下一栅极线140重叠,形成第二重叠区180。

[0058] 本方案中,同一数据线130连接相邻的两个像素150为一个像素组160,输入相同的数据电压进行驱动,相邻的两个像素150分别于不同的栅极线140连接,减少负载带来的影响。

[0059] 本实施例可选的,同一数据线130连接相邻的两个像素150为一个像素组160,像素组160包括与不同的栅极线140连接的第一像素161和第二像素162;

[0060] 如图4所示,第一像素161连接的栅极线140为第一栅极线,第一栅极线包括第一主栅极线146和第一辅栅极线144,第二像素162连接的栅极线140为第二栅极线,第二栅极线

包括第二主栅极线145和第二辅栅极线143;

[0061] 第一辅栅极线144与第二主栅极线145对应的第二像素162的像素电极形成第二重叠区180,第二辅栅极线143与第一主栅极线146对应的第一像素161的像素电极形成第一重叠区170。

[0062] 本方案中,设置基于相邻两个像素150连接同一数据线130,不同的栅极线140的架构下,设置辅栅极线142,削弱了数据线130与像素电极形成的寄生电容。

[0063] 在一实施例中,每个像素150包括一个像素电极,同一栅极线140连接相邻的两个像素150为一像素组160,像素组160包括与不同的数据线130连接的第一像素161和第二像素162;

[0064] 其中,像素组160的第一像素161的像素电极与上一栅极线140重叠,形成第一重叠区170;第一像素161的第一重叠区170与上一栅极线140重叠形成的存储电容为Cst1,第一像素161的像素电容为C1c1,第一像素161的像素电极与当前栅线形成的寄生电容为Cgs1;

[0065] 第一低电平和第三低电平的电压值为V' GL,高电平的电压值为VGH,第二低电平的电压值为VGL;

$$[0066] \quad Cst1 = (VGH - VGL) * Cgs1 / (VGL - V' GL)$$

[0067] 本方案中,参考附图4,可知

$$[0068] \quad At①, V_{pixel} = V_{data}$$

$$[0069] \quad At②, \Delta V_1 = \Delta V'_1 + \Delta V''_1$$

$$[0070] \quad \Delta V'_1 = (VGH - V' GL) * Cgs1 / (Cgs + Cst + C_{Ic})$$

$$[0071] \quad \Delta V''_1 = (V' GL - VGH) * Cst1 / (Cgs + Cst + C_{Ic})$$

$$[0072] \quad At③, \Delta V_2 = \Delta V'_2 + \Delta V''_2$$

$$[0073] \quad \Delta V'_2 = (V' GL - VGL) * Cgs1 / (Cgs + Cst + C_{Ic})$$

$$[0074] \quad \Delta V''_2 = (VGH - V' GL) * Cst1 / (Cgs + Cst + C_{Ic})$$

$$[0075] \quad At④, \Delta V_3 = (V' GL - VGL) * Cst1 / (Cgs + Cst + C_{Ic})$$

[0076] 为了减少kickback造成闪烁,设置 $\Delta V_1 + \Delta V_2 + \Delta V_3 = 0$, $Cst1 = (VGH - VGL) * Cgs1 / (VGL - V' GL)$,形成正确的回路,消除反向电压的影响,避免出现闪烁。

[0077] 在一实施例中,参考附图1所示,每个像素150包括一个像素电极,同一栅极线140连接相邻的两个像素150为一像素组160,像素组160包括与不同的数据线130连接的第一像素161和第二像素162;

[0078] 参考附图6所示,像素组160的第二像素162的像素电极与下一栅极线140重叠,形成第二重叠区180;

[0079] 第二像素162的第二重叠区180与下一栅极线140重叠形成的存储电容为Cst2,第一像素161的像素电容为C1c2,第二像素162的像素电极与当前栅线形成的寄生电容为Cgs2;

[0080] 第一低电平和第三低电平的电压值为V' GL,高电平的电压值为VGH,第二低电平的电压值为VGL;

$$[0081] \quad Cst2 = (VGH - VGL) * Cgs2 / (VGL - V' GL)$$

[0082] 本方案中,参考附图5所示,

$$[0083] \quad At①, V_{pixe} = V_{data}$$

[0084] At②, $\Delta V_1 = \Delta V'_1 + \Delta V''_1$

[0085] $\Delta V'_1 = (V_{GH} - V'_{GL}) * C_{gs2} / (C_{gs} + C_{st} + C_{ic})$

[0086] $\Delta V''_1 = (V'_{GL} - V_{GL}) * C_{st2} / (C_{gs} + C_{st} + C_{ic})$

[0087] At③, $\Delta V_2 = (V'_{GL} - V_{GL}) * C_{gs2} / (C_{gs} + C_{st} + C_{ic})$

[0088] 为了减少kickback造成闪烁,设置 $\Delta V_1 + \Delta V_2 = 0$, $C_{st2} = (V_{GH} - V_{GL}) * C_{gs1} / (V_{GL} - V'_{GL})$, 同样能形成正确的回路,消除反向电压的影响,避免出现闪烁。

[0089] 本实施例可选的,辅栅极线142与当前主栅极线141对应的第一像素161的像素电极之间以及上一主栅极线141对应的第二像素162的像素电极之间都设有第一安全距离。

[0090] 本方案中,设置的第一安全距离的预设阈值,此预设阈值由本领域人员通过实验或者相关数据得出,在预设阈值内,方案是可行的,超过本预设阈值,本方案将无法实施,像素电极与辅栅极线142之间会产生电场,如果距离太近,产生的电场会比较强,从而会影响数据电压信号的传输,造成电压不稳而影响画面的显示,设置安全距离防止电场影响。

[0091] 本实施例可选的,辅栅极线142与对应的数据线130之间设有第二安全距离。

[0092] 本方案中,辅栅极线142与数据线130平行设置,第二安全距离为一预设阈值,此预设阈值由本领域人员通过实验或者相关数据得出,在预设阈值内,方案是可行的,超过本预设阈值,本方案将无法实施,设置安全距离减少串扰现象,防止显示面板110的画质被影响,

[0093] 如图1和图6所示,作为本发明的另一实施例,公开了一种驱动方法,应用于上述的显示面板110,显示面板110包括:多条数据线130、多条栅极线140和多个像素,栅极线140和数据线130互相交错,每个像素150分别由对应的数据线130和栅极线140驱动,每个像素150包括对应的像素电极;

[0094] 驱动方法包括输出栅极驱动信号给显示面板110对应的栅极线的步骤;

[0095] 其中,栅极驱动信号的一个信号周期包括维持时间、第一下拉时间、打开时间和第二下拉时间;第一下拉时间的时长和打开时间的时长以及第二下拉时间的时长都相等;的栅极驱动信号在维持时间内为第一低电平;在打开时间为高电平;在第一下拉时间内和第二下拉时间内为第二低电平;第二低电平的电压值低于的第一低电平的电压值。

[0096] 本方案中,栅极线140跟像素电极存在寄生电容 C_{gs} ,当像素150充电后元件关闭时,栅极电压的变化透过寄生电容 C_{gs} 对于画素的液晶电容及储存电容电荷产生再分配作用,使得原像素150充电后的电压产生反向(kickback)的现象,为改善电压产生方向的现象,每个栅极驱动信号的一个周期包括四个时间段,分别是维持时间、第一下拉时间、打开时间和第二下拉时间,打开时间位于第一下拉时间和第二下拉时间之间,且三者的时长都相等,第一下拉时间对应的第二低电平的电压值和第二下拉时间对应的第三低电平的电压值相等且低于维持时间的第一低电平的电压值,能够形成正确的回路,消除原像素150充电后的电压产生反向(kickback)的现象,减少甚至消除液晶显示的闪烁问题。

[0097] 如图7所示,作为本发明的另一实施例,公开了一种驱动模块120,驱动模块120驱动如上任意的显示面板110,驱动模块120包括:

[0098] 栅极驱动模块121,输出栅极驱动信号给显示面板110对应的栅极线;

[0099] 其中,栅极驱动信号的一个信号周期包括维持时间、第一下拉时间、打开时间和第二下拉时间;第一下拉时间的时长和打开时间的时长以及第二下拉时间的时长都相等;的栅极驱动信号在维持时间内为第一低电平;在打开时间为高电平;在第一下拉时间内和第

二下拉时间内为第二低电平;第二低电平的电压值低于的第一低电平的电压值。

[0100] 本方案中,设置驱动模块120用于驱动本发明的显示面板110,驱动模块120中的栅极驱动模块121输出信号给显示面板110对应的栅极线,输出相应的信号开启对应的栅极线,栅极驱动信号周期分为四个时间段,分别是维持时间、第一下拉时间、打开时间和第二下拉时间,打开时间位于第一下拉时间和第二下拉时间之间,且三者的时长都相等,第一下拉时间对应的第二低电平的电压值和第二下拉时间对应的第三低电平的电压值相等且低于维持时间的第一低电平的电压值,形成正确的回路,解决反向电压带来的闪烁问题。

[0101] 如图8所示,作为本发明的另一实施例,公开了一种显示装置100,包括上述显示面板110及驱动模块120。

[0102] 需要说明的是,本方案中涉及到的各步骤的限定,在不影响具体方案实施的前提下,并不认定为对步骤先后顺序做出限定,写在前面的步骤可以是在先执行的,也可以是在后执行的,甚至也可以是同时执行的,只要能实施本方案,都应当视为属于本发明的保护范围。

[0103] 本发明的技术方案可以广泛用于各种显示面板,如TN型显示面板(全称为Twisted Nematic,即扭曲向列型面板)、IPS型显示面板(In-Plane Switching,平面转换)、VA型显示面板(Vertical Alignment,垂直配向技术)、MVA型显示面板(Multi-domain Vertical Alignment,多象限垂直配向技术),当然,也可以是其他类型的显示面板,如有机发光显示面板(organic light-emitting diode,简称OLED显示面板),均可适用上述方案。

[0104] 以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本发明的保护范围。

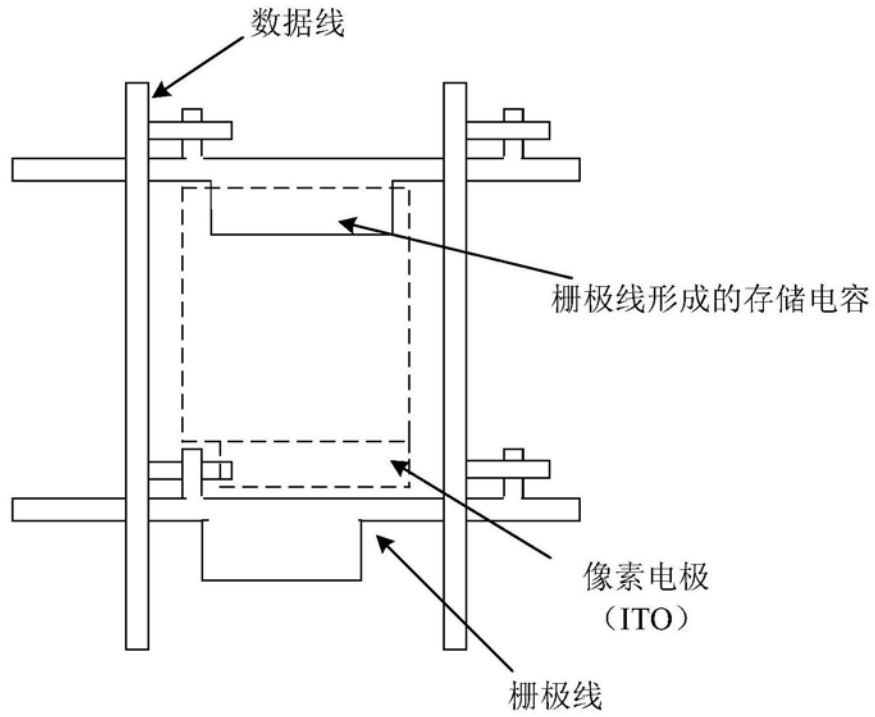


图1

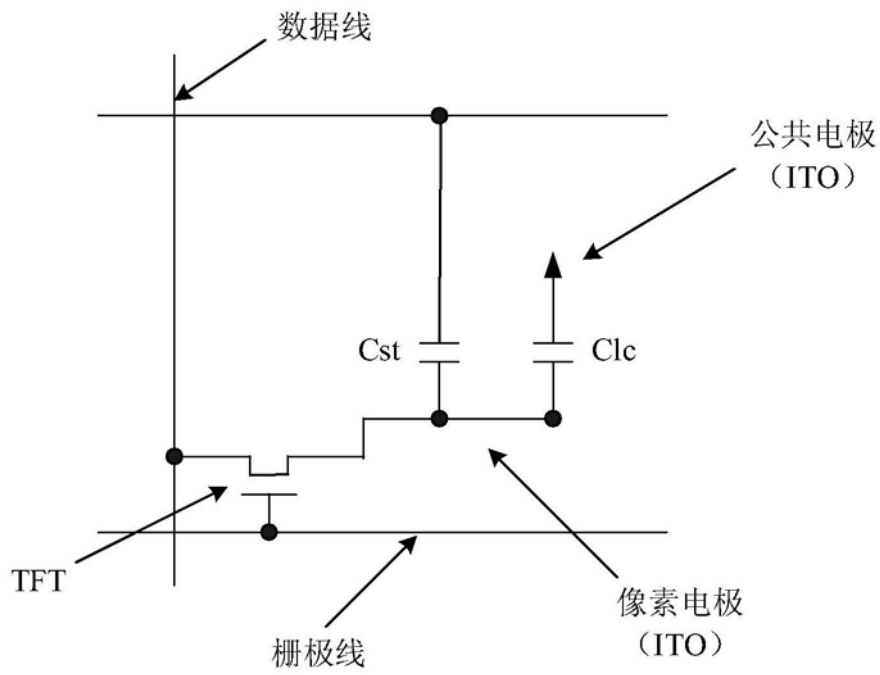


图2

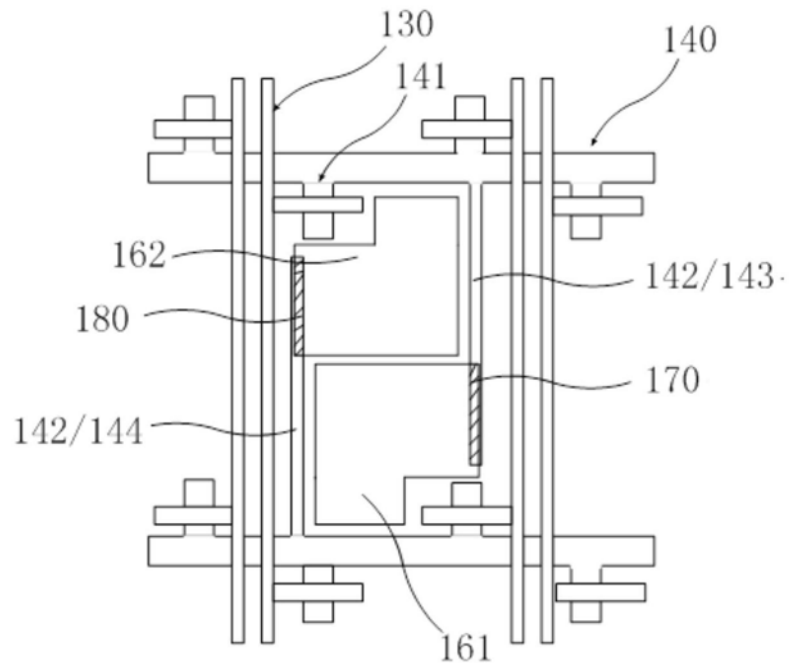


图3

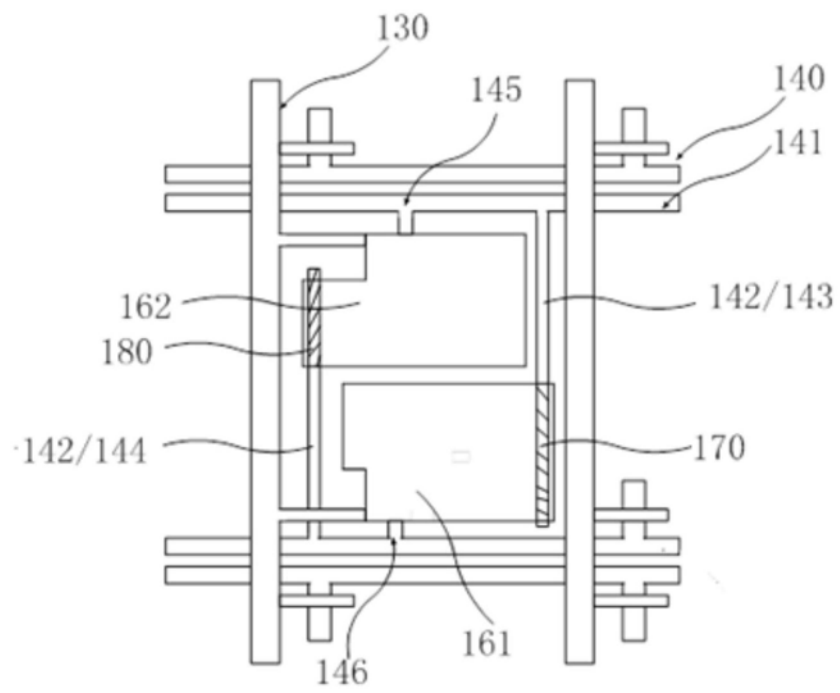


图4

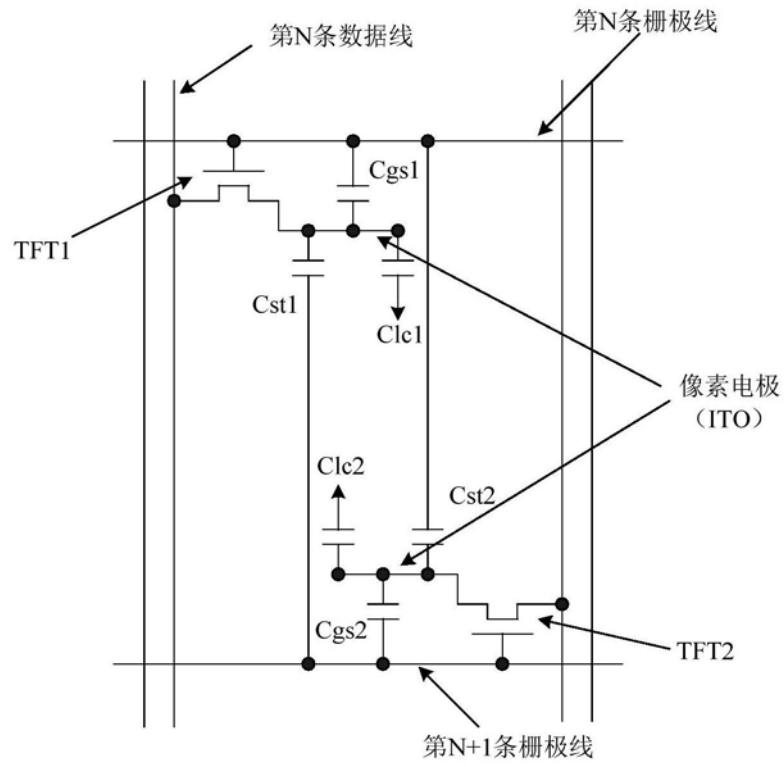


图5

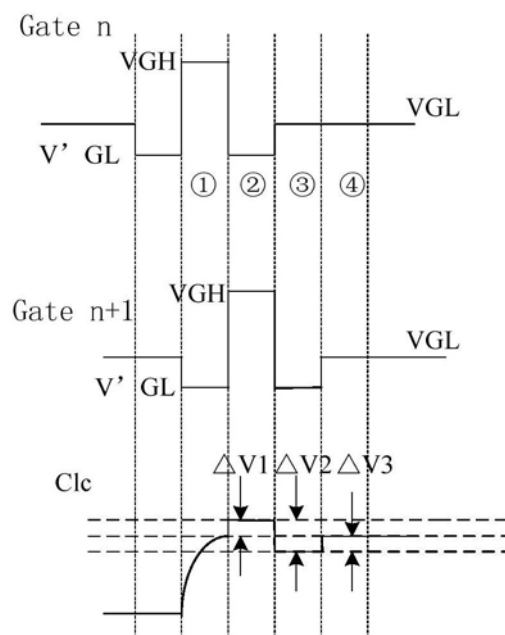


图6

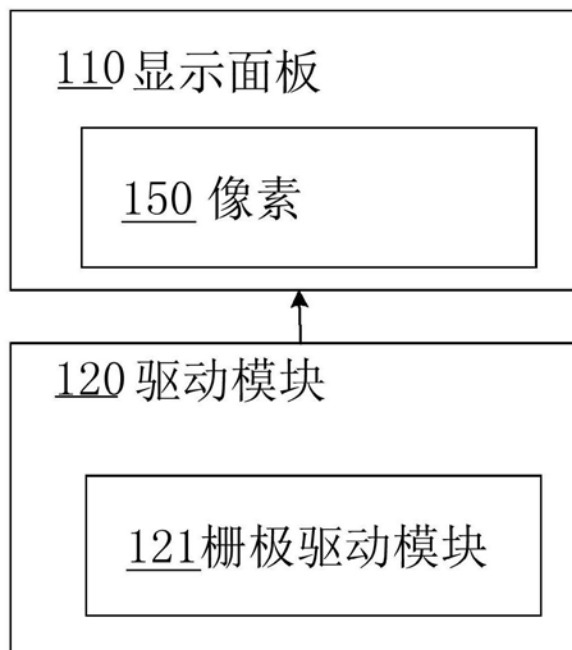


图7

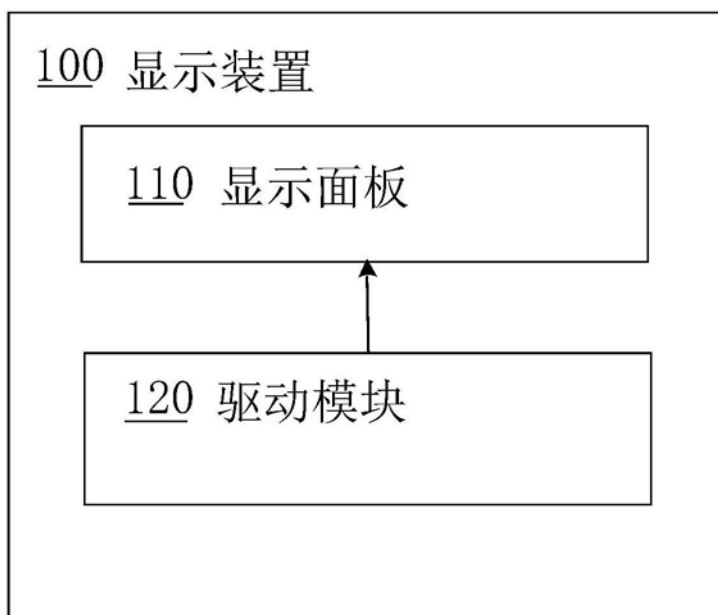


图8

专利名称(译)	一种显示面板、驱动方法和驱动模块		
公开(公告)号	CN109709733A	公开(公告)日	2019-05-03
申请号	CN201910089178.0	申请日	2019-01-30
[标]申请(专利权)人(译)	惠科股份有限公司		
申请(专利权)人(译)	惠科股份有限公司		
当前申请(专利权)人(译)	惠科股份有限公司		
[标]发明人	单剑锋		
发明人	单剑锋		
IPC分类号	G02F1/1362 G02F1/1343 H01L27/32		
代理人(译)	邢涛		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种显示面板、驱动方法和驱动模块，显示面板包括多条数据线、多条栅极线和多个像素，栅极线与数据线互相交错，每个像素由对应的栅极线和数据线进行驱动，每个像素包括对应的像素电极；其中，像素的像素电极与相邻的另一栅极线重叠，形成重叠区，当前栅极线对应的像素电极与相邻的另一栅极线重叠，形成重叠区，加大存储电容，减少甚至消除因寄生电容对液晶电容和存储电容的再分配作用而导致显示面板产生闪烁的问题。

