



(12) 发明专利

(10) 授权公告号 CN 103928007 B

(45) 授权公告日 2016. 01. 20

(21) 申请号 201410159672. 7

WO 2014169513 A1, 2014. 10. 23,

(22) 申请日 2014. 04. 21

CN 103226979 A, 2013. 07. 31,

(73) 专利权人 深圳市华星光电技术有限公司

审查员 刘锋

地址 518132 广东省深圳市光明新区塘明大道 9-2 号

(72) 发明人 戴超 肖军城

(74) 专利代理机构 深圳汇智容达专利商标事务所 (普通合伙) 44238

代理人 潘中毅 熊贤卿

(51) Int. Cl.

G09G 3/36(2006. 01)

(56) 对比文件

CN 104517575 A, 2015. 04. 15,

CN 103280196 A, 2013. 09. 04,

CN 104505036 A, 2015. 04. 08,

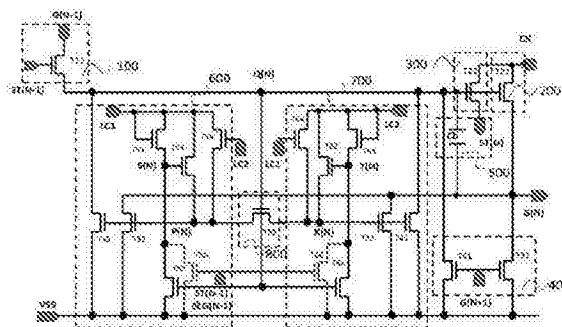
权利要求书4页 说明书9页 附图3页

(54) 发明名称

一种用于液晶显示的 GOA 电路及液晶显示装置

(57) 摘要

本发明实施例公开了一种用于液晶显示的 GOA 电路,包括级联的多个 GOA 单元,按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线充电,该第 N 级 GOA 单元包括上拉电路、下拉电路、第一下拉维持电路、第二下拉维持电路、桥接电路、上拉控制电路、下传电路及自举电容;其中在第一下拉维持电路中的第三 TFT 上并联有第七 TFT,在第二下拉维持电路中的第十 TFT 上并联有第十四 TFT,且第七 TFT 与第十四 TFT 的栅极相互连接,并均连接来自 N-1 级 GOA 单元的启始信号或第 N-1 级水平扫描线。本发明实施例还公开了一种液晶显示装置。实施本发明实施例,可以减少栅极信号输出的延迟。



1. 一种用于液晶显示的 GOA 电路,其特征在于,包括级联的多个 GOA 单元,按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线(G (N))充电,该第 N 级 GOA 单元包括上拉电路(200)、下拉电路(400)、第一下拉维持电路(600)、第二下拉维持电路(700)、桥接电路(800)、上拉控制电路(100)、下传电路(300)及自举电容(Cb);

所述上拉电路(200)、下拉电路(400)、第一下拉维持电路(600)、第二下拉维持电路(700)及自举电容(Cb)分别与栅极信号点(Q (N))和所述第 N 级水平扫描线(G (N))连接;

所述上拉控制电路(100)和下传电路(300)分别与所述栅极信号点(Q (N))连接;

所述桥接电路(800)连接所述第一下拉维持电路(600)和第二下拉维持电路(700);

所述第一下拉维持电路(600)包括:

第一 TFT (T32),其栅极连接第一电路点(P (N)),其漏极和源极分别连接第 N 级水平扫描线(G (N))和输入直流低电压(VSS);

第二 TFT (T42),其栅极连接第一电路点(P (N)),其漏极和源极分别连接栅极信号点(Q (N))和输入直流低电压(VSS);

第三 TFT (T52),其栅极连接栅极信号点(Q (N)),其漏极和源极分别连接源极信号点(S (N))和输入直流低电压(VSS);

第四 TFT (T51),其源极连接源极信号点(S (N)),其栅极和漏极均连接第一时钟信号(LC1);

第五 TFT (T53),其栅极连接源极信号点(S (N)),其漏极和源极分别连接第一时钟信号(LC1)和第一电路点(P (N));

第六 TFT (T54),其栅极连接第二时钟信号(LC2),其漏极和源极分别连接第一时钟信号(LC1)和第一电路点(P (N));

第七 TFT (T56),其栅极连接来自 N-1 级 GOA 单元的起始信号(ST (N-1))或第 N-1 级水平扫描线(G (N-1)),其漏极和源极分别连接源极信号点(S (N))和输入直流低电压(VSS);

所述第二下拉维持电路(700)包括:

第八 TFT (T33),其栅极连接第二电路点(K (N)),其漏极和源极分别连接第 N 级水平扫描线(G (N))和输入直流低电压(VSS);

第九 TFT (T43),其栅极连接第二电路点(K (N)),其漏极和源极分别连接栅极信号点(Q (N))和输入直流低电压(VSS);

第十 TFT (T62),其栅极连接栅极信号点(Q (N)),其漏极和源极分别连接漏极信号点(T (N))和输入直流低电压(VSS);

第十一 TFT (T61),其源极连接漏极信号点(T (N)),其栅极和漏极均连接第二时钟信号(LC2);

第十二 TFT (T63),其栅极连接漏极信号点(T (N)),其漏极和源极分别连接第二时钟信号(LC2)和第二电路点(K (N));

第十三 TFT (T64),其栅极连接第一时钟信号(LC1),其漏极和源极分别连接第二时钟信号(LC2)和第二电路点(K (N));

第十四 TFT (T66),其栅极连接第七 TFT (T56)的栅极,其漏极和源极分别连接漏极信号点(T (N))和输入直流低电压(VSS);

所述桥接电路(800)包括第十五 TFT (T55),其栅极连接栅极信号点(Q (N)),其漏极和

源极分别连接第一电路点(P (N))和第二电路点(K (N))；

工作时,所述第一时钟信号(LC1)和所述第二时钟信号(LC2)的频率低于所述第N级时钟信号(CK (N)),并且所述第一时钟信号(LC1)对所述第一电路点(P (N))的充电和所述第二时钟信号(LC2)对所述第二电路点(K (N))的充电交替进行。

2. 如权利要求1所述的用于液晶显示的GOA电路,其特征在于,所述上拉电路(200)包括:

第十七 TFT(T21),其栅极连接所述栅极信号点(Q (N)),其漏极和源极分别输入第N级时钟信号(CK (N))和连接所述第N级水平扫描线(G (N))。

3. 如权利要求2所述的用于液晶显示的GOA电路,其特征在于,所述下拉电路(400)包括:

第十八 TFT(T31),其栅极连接第N+1级水平扫描线(G (N+1)),其漏极和源极分别连接所述第N级水平扫描线(G (N))和输入所述直流低电压(VSS);

第十九 TFT(T41),其栅极连接第N+1级水平扫描线(G (N+1)),其漏极和源极分别连接所述栅极信号点(Q (N))和输入所述直流低电压(VSS)。

4. 如权利要求3所述的用于液晶显示的GOA电路,其特征在于,所述下传电路(300)包括:

第二十 TFT(T22),其栅极连接所述栅极信号点(Q (N)),其漏极和源极分别输入第N级时钟信号(CK (N))和输出第N级起始信号(ST (N))。

5. 如权利要求4所述的用于液晶显示的GOA电路,其特征在于,所述上拉控制电路(100)包括:

第二十一 TFT(T11),其栅极连接来自N-1级GOA单元的起始信号(ST (N-1)),其漏极和源极分别连接第N-1级水平扫描线(G (N-1))和栅极信号点(Q (N))。

6. 如权利要求1-5任一项所述的用于液晶显示的GOA电路,其特征在于,所述桥接电路(800)进一步包括第十六 TFT(T57),其栅极连接第七 TFT(T56)的栅极,其漏极和源极分别连接第一电路点(P (N))和第二电路点(K (N))。

7. 一种用于液晶显示的GOA电路,其特征在于,包括级联的多个GOA单元,按照第N级GOA单元控制对显示区域第N级水平扫描线(G (N))充电,该第N级GOA单元包括上拉电路(200)、下拉电路(400)、第一下拉维持电路(600)、第二下拉维持电路(700)、桥接电路(800)、上拉控制电路(100)、下传电路(300)及自举电容(Cb);

所述上拉电路(200)、下拉电路(400)、第一下拉维持电路(600)、第二下拉维持电路(700)及自举电容(Cb)分别与栅极信号点(Q (N))和所述第N级水平扫描线(G (N))连接;

所述上拉控制电路(100)和下传电路(300)分别与所述栅极信号点(Q (N))连接;

所述桥接电路(800)连接所述第一下拉维持电路(600)和第二下拉维持电路(700);

所述第一下拉维持电路(600)包括:

第一 TFT(T32),其栅极连接第一电路点(P (N)),其漏极和源极分别连接第N级水平扫描线(G (N))和输入直流低电压(VSS);

第二 TFT(T42),其栅极连接第一电路点(P (N)),其漏极和源极分别连接栅极信号点(Q (N))和输入直流低电压(VSS);

第三 TFT(T52),其栅极连接栅极信号点(Q (N)),其漏极和源极分别连接源极信号点

(S (N)) 和输入直流低电压(VSS)；

第四 TFT (T51), 其源极连接源极信号点(S (N)), 其栅极和漏极均连接第一时钟信号(LC1)；

第五 TFT (T53), 其栅极连接源极信号点(S (N)), 其漏极和源极分别连接第一时钟信号(LC1) 和第一电路点(P (N))；

第六 TFT (T54), 其栅极连接第二时钟信号(LC2), 其漏极和源极分别连接第一时钟信号(LC1) 和第一电路点(P (N))；

所述第二下拉维持电路(700) 包括：

第八 TFT (T33), 其栅极连接第二电路点(K (N)), 其漏极和源极分别连接第 N 级水平扫描线(G (N)) 和输入直流低电压(VSS)；

第九 TFT (T43), 其栅极连接第二电路点(K (N)), 其漏极和源极分别连接栅极信号点(Q (N)) 和输入直流低电压(VSS)；

第十 TFT (T62), 其栅极连接栅极信号点(Q (N)), 其漏极和源极分别连接漏极信号点(T (N)) 和输入直流低电压(VSS)；

第十一 TFT (T61), 其源极连接漏极信号点(T (N)), 其栅极和漏极均连接第二时钟信号(LC2)；

第十二 TFT (T63), 其栅极连接漏极信号点(T (N)), 其漏极和源极分别连接第二时钟信号(LC2) 和第二电路点(K (N))；

第十三 TFT (T64), 其栅极连接第一时钟信号(LC1), 其漏极和源极分别连接第二时钟信号(LC2) 和第二电路点(K (N))；

所述桥接电路(800) 包括：

第十五 TFT (T55), 其栅极连接栅极信号点(Q (N)), 其漏极和源极分别连接第一电路点(P (N)) 和第二电路点(K (N))；

第十六 TFT (T57), 其栅极连接来自 N-1 级 GOA 单元的起始信号 ST (N-1) 或第 N-1 级水平扫描线 G (N-1), 其漏极和源极分别连接第一电路点(P (N)) 和第二电路点(K (N))；

工作时, 所述第一时钟信号(LC1) 和所述第二时钟信号(LC2) 的频率低于所述第 N 级时钟信号(CK (N)), 并且所述第一时钟信号(LC1) 对所述第一电路点(P (N)) 的充电和所述第二时钟信号(LC2) 对所述第二电路点(K (N)) 的充电交替进行。

8. 如权利要求 7 所述的用于液晶显示的 GOA 电路, 其特征在于, 所述上拉电路(200) 包括：

第十七 TFT(T21), 其栅极连接所述栅极信号点(Q (N)), 其漏极和源极分别输入第 N 级时钟信号(CK (N)) 和连接所述第 N 级水平扫描线(G (N))。

9. 如权利要求 8 所述的用于液晶显示的 GOA 电路, 其特征在于, 所述下拉电路(400) 包括：

第十八 TFT (T31), 其栅极连接第 N+1 级水平扫描线(G (N+1)), 其漏极和源极分别连接所述第 N 级水平扫描线(G (N)) 和输入所述直流低电压(VSS)；

第十九 TFT (T41), 其栅极连接第 N+1 级水平扫描线(G (N+1)), 其漏极和源极分别连接所述栅极信号点(Q (N)) 和输入所述直流低电压(VSS)。

10. 如权利要求 9 所述的用于液晶显示的 GOA 电路, 其特征在于, 所述下传电路(300)

包括：

第二十 TFT (T22), 其栅极连接所述栅极信号点(Q (N)), 其漏极和源极分别输入第 N 级时钟信号(CK (N)) 和输出第 N 级启始信号(ST (N))。

11. 如权利要求 10 所述的用于液晶显示的 GOA 电路, 其特征在于, 所述上拉控制电路(100) 包括：

第二十一 TFT (T11), 其栅极连接来自 N-1 级 GOA 单元的启始信号(ST (N-1)), 其漏极和源极分别连接第 N-1 级水平扫描线(G (N-1)) 和栅极信号点(Q (N))。

12. 一种液晶显示装置, 其特征在于, 包括如权利要求 1 至 11 任一项所述的用于液晶显示的 GOA 电路。

一种用于液晶显示的 GOA 电路及液晶显示装置

技术领域

[0001] 本发明涉及液晶显示技术领域,特别是涉及一种用于液晶显示的 GOA (Gate Driver on Array,阵列基板行扫描驱动) 电路及液晶显示装置。

背景技术

[0002] 在主动式液晶显示器中,每个像素具有一个薄膜晶体管(TFT),其栅极(Gate)连接至水平扫描线,漏极(Drain)连接至垂直方向的数据线,源极(Source)则连接至像素电极。在水平扫描线上施加足够的电压,会使得该条线上的所有 TFT 打开,此时该水平扫描线会与垂直方向的数据线连接,从而将数据线上的显示信号电压写入像素,控制不同液晶的透光度进而达到控制色彩的效果。

[0003] 目前主动式液晶显示面板水平扫描线的驱动主要由面板外接的 IC 来完成,外接的 IC 可以控制各级水平扫描线的逐级充电和放电。

[0004] 而阵列基板行扫描驱动(GOA)技术,可以运用液晶显示面板的原有制程将水平扫描线的驱动电路制作在显示区周围的基板上,使之能替代外接 IC 来完成水平扫描线的驱动。GOA 技术能减少外接 IC 的绑定(bonding)工序,有机会提升产能并降低产品成本,而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

[0005] 现有的 GOA 电路通常包括级联的多个 GOA 单元,每一级 GOA 单元对应驱动一级水平扫描线。GOA 单元主要包括有上拉电路(Pull-up part)、上拉控制电路(Pull-up control part),下传电路(Transfer Part)、下拉电路(Key Pull-down Part)和下拉维持电路(Pull-down Holding Part),以及负责电位抬升的自举(Boost)电容。其中,上拉电路主要负责将时钟信号(Clock)输出为栅极(Gate)信号;上拉控制电路负责控制上拉电路的打开时间,一般连接前面级 GOA 单元传递过来的下传信号或者 Gate 信号;下拉电路负责在第一时间将 Gate 信号拉低为低电位,即关闭 Gate 信号;下拉维持电路则负责将 Gate 输出信号和上拉电路的 Gate 信号(通常称为 Q 点)维持(Holding)在关闭状态(即负电位),通常有两个下拉维持模块交替作用;自举电容(C boost)则负责 Q 点的二次抬升,这样有利于上拉电路的 G(N)输出。

[0006] 如图 1 所示,示出了现有的一种 GOA 电路的示意图;在图 1 中,该 GOA 单元包括:上拉控制电路 100、上拉电路 200、下传电路 300、下拉电路 400、自举电容 500、第一下拉维持电路 600、第二下拉维持电路以及桥接电路 800,其中第一下拉维持电路 600、第二下拉维持电路以及构成三段式电阻分压设计。

[0007] 其中,桥接电路 800 主要通过薄膜晶体管 T55 来负责调节两端 P(N)和 K(N)的电位,该 T55 栅极连接接 Q(N),漏极和源极分别接 P(N)和 K(N),在作用期间 T55 的栅极打开使得 P(N)和 K(N)的电位相近处于关闭状态,且由于低频信号 LC1 和 LC2 的低电位小于 VSS,这样可以调节作用期间 P(N)和 K(N)的电位小于 VSS,从而保证下拉 G(N)点的薄膜晶体管 T32、T33 和下拉 Q 点的 T42、T43 的 $V_{gs} < 0$,能够更好的防止作用期间的 G(N)点和 Q 点漏电;

[0008] 第一下拉维持电路 600 和第二下拉维持电路 700 采用的是对称式设计, 主要实现以下功能: 其一是: 当作用期间第一下拉维持电路 600 (或第二下拉维持电路 700) 处于大电阻的关闭状态, 则此时第二下拉维持电路 700 (或第一下拉维持电路 600) 就处于小电阻的打开状态, 而桥接电路 800 处于小电阻的打开状态, 故使得 P (N) 和 K (N) 处于低电位状态, 以确保 Q (N) 点抬升和栅极 G (N) 输出; 其二是: 在非作用期间, 第一下拉维持电路 600 和第二下拉维持电路 700 均处于小电阻的打开状态, 而桥接电路 800 处于大电阻的关闭状态, 这样可以实现 P (N) 和 K (N) 的高低电位和交替作用;

[0009] 而 T54 的栅极连接 LC2, 其漏极连接 LC1, 其源极连接 P (N); T64 的栅极连接 LC1, 其漏极连接 LC2, 其源极连接 L (N); 这两颗 TFT 称之为平衡 TFT (Balance TFT), 主要实现调节电阻分压作用和信号切换时的迅速放电作用; 而 T52 的栅极连接 Q (N), 其漏极连接 S (N), 其源极连接 VSS; 而 T62 的栅极连接 Q (N), 其漏极连接 T (N), 其源极连接 VSS, 这两颗 TFT 的主要实现保证在作用期间拉低 S (N) 和 T (N) 的作用。

[0010] 通过采用采用第一下拉维持电路 600、第二下拉维持电路以及桥接电路 800 的三段式分压原理的 GOA 单元, 可以增加下拉维持电路的高温稳定性和长时间操作的可靠性, 而且充分利用了低频信号的作用实现了 P (N) 和 K (N) 的切换以及使得作用期间 P (N) 和 K (N) 拉到更低的电位确保作用最大限度的降低 Q (N) 点和 G (N) 的漏电, 同时, 在非作用期间 P (N) 和 K (N) 其中一个处于低电位时基本接近 LC 的低电位, 由于 LC 的低电位小于 VSS, 那么 T32/T42 或者 T33/T43 能够有一半的时间处于负压恢复状态, 通过调节低频信号的低电位可以控制负压的电位, 这样可以有效降低下拉维持电路的失效风险。

[0011] 图 2 是图 1 中的 GOA 电路在实际操作时关键节点的波形示意图; 从中可以看出, 在 Q (N) 点的电位会分为两个阶段, 第一阶段 ($t_1 \sim t_2$) 的电位为 QV1, 第二阶段 ($t_2 \sim t_3$) 的电位为 QV2; 而 G (N) 会在 Q (N) 的第二阶段输出; 而 P (N) 和 K (N) 主要是通过 T52、T62、T55 这三颗 TFT 来受到 Q (N) 点控制, 当 Q (N) 处于低电位时, P (N) 和 K (N) 则处于高电位, 相反当 Q (N) 处于高电位时, P (N) 和 K (N) 则处于低电位, 那么从图中就可以看出, 由于 Q (N) 第一阶段的电位 QV1 一般较低, 那么 P (N) 和 K (N) 的第一阶段的电位也较高, 即 $PV1 > PV2$, 这样的话 T43、T42、T33、T32 就关闭的不好, 也就是说 Q (N) 和 G (N) 存在着较高的漏电, 这样也会把 Q (N) 第一阶段的电位 QV1 拉低, Q (N) 第二阶段的电位 QV2 也会随之变低, 那么下拉维持电路就存在着较高的失效风险, 且 G (N) 输出就会产生严重的延迟 (Delay) 现象。

[0012] 同样的道理, 由于 S (N) 和 T (N) 点也是受到 Q (N) 控制的, 那么其也会存在着和 P (N) 和 K (N) 同样的问题。那么为了弥补 Q (N) 第一阶段的电位不足, 同样需要在设计上将 T52、T62、T55 这三颗 TFT 设计得尺寸比较大, 这样带来的问题就是由于 Q (N) 在非作用期间波纹电流 (Ripple) 比较高, 那么 S (N) 和 T (N)、P (N) 和 K (N) 在非作用期间的高电位波动就比较大。

发明内容

[0013] 本发明所要解决的技术问题在于, 提供一种用于液晶显示的 GOA 电路及液晶显示装置, 可以及减少栅极信号输出的延迟。

[0014] 为解决上述技术问题, 本发明的实施例的一方面提供了一种用于液晶显示的 GOA

电路,其中,包括级联的多个 GOA 单元,按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线充电,该第 N 级 GOA 单元包括上拉电路、下拉电路、第一下拉维持电路、第二下拉维持电路、桥接电路、上拉控制电路、下传电路及自举电容;

[0015] 上拉电路、下拉电路、第一下拉维持电路、第二下拉维持电路及自举电容分别与栅极信号点和第 N 级水平扫描线连接;

[0016] 上拉控制电路和下传电路分别与栅极信号点连接;

[0017] 桥接电路连接第一下拉维持电路和第二下拉维持电路;

[0018] 第一下拉维持电路包括:

[0019] 第一 TFT,其栅极连接第一电路点,其漏极和源极分别连接第 N 级水平扫描线和输入直流低电压;

[0020] 第二 TFT,其栅极连接第一电路点,其漏极和源极分别连接栅极信号点和输入直流低电压;

[0021] 第三 TFT,其栅极连接栅极信号点,其漏极和源极分别连接源极信号点和输入直流低电压;

[0022] 第四 TFT,其源极连接源极信号点,其栅极和漏极均连接第一时钟信号;

[0023] 第五 TFT,其栅极连接源极信号点,其漏极和源极分别连接第一时钟信号和第一电路点;

[0024] 第六 TFT,其栅极连接第二时钟信号,其漏极和源极分别连接第一时钟信号和第一电路点;

[0025] 第七 TFT,其栅极连接来自 N-1 级 GOA 单元的起始信号或第 N-1 级水平扫描线,其漏极和源极分别连接源极信号点和输入直流低电压;

[0026] 第二下拉维持电路包括:

[0027] 第八 TFT,其栅极连接第二电路点,其漏极和源极分别连接第 N 级水平扫描线和输入直流低电压;

[0028] 第九 TFT,其栅极连接第二电路点,其漏极和源极分别连接栅极信号点和输入直流低电压;

[0029] 第十 TFT,其栅极连接栅极信号点,其漏极和源极分别连接漏极信号点和输入直流低电压;

[0030] 第十一 TFT,其源极连接漏极信号点,其栅极和漏极均连接第二时钟信号;

[0031] 第十二 TFT,其栅极连接漏极信号点,其漏极和源极分别连接第二时钟信号和第二电路点;

[0032] 第十三 TFT,其栅极连接第一时钟信号,其漏极和源极分别连接第二时钟信号和第二电路点;

[0033] 第十四 TFT,其栅极连接第七 TFT 的栅极,其漏极和源极分别连接漏极信号点和输入直流低电压;

[0034] 桥接电路包括第十五 TFT,其栅极连接栅极信号点,其漏极和源极分别连接第一电路点和第二电路点;

[0035] 工作时,第一时钟信号和第二时钟信号的频率低于第 N 级时钟信号,并且第一时钟信号对第一电路点的充电和第二时钟信号对第二电路点的充电交替进行。

- [0036] 其中,上拉电路包括:
- [0037] 第十七 TFT,其栅极连接栅极信号点,其漏极和源极分别输入第 N 级时钟信号和连接第 N 级水平扫描线。
- [0038] 其中,下拉电路包括:
- [0039] 第十八 TFT,其栅极连接第 N+1 级水平扫描线,其漏极和源极分别连接第 N 级水平扫描线和输入直流低电压;
- [0040] 第十九 TFT,其栅极连接第 N+1 级水平扫描线,其漏极和源极分别连接栅极信号点和输入直流低电压。
- [0041] 其中,下传电路包括:
- [0042] 第二十 TFT,其栅极连接栅极信号点,其漏极和源极分别输入第 N 级时钟信号和输出第 N 级起始信号。
- [0043] 其中,上拉控制电路包括:
- [0044] 第二十一 TFT,其栅极连接来自 N-1 级 GOA 单元的起始信号,其漏极和源极分别连接第 N-1 级水平扫描线和栅极信号点。
- [0045] 其中,桥接电路进一步包括第十六 TFT,其栅极连接第七 TFT 的栅极,其漏极和源极分别连接第一电路点和第二电路点。
- [0046] 相应地,本发明实施例还提供一种用于液晶显示的 GOA 电路,其中,包括级联的多个 GOA 单元,按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线充电,该第 N 级 GOA 单元包括上拉电路、下拉电路、第一下拉维持电路、第二下拉维持电路、桥接电路、上拉控制电路、下传电路及自举电容 C_b ;
- [0047] 上拉电路、下拉电路、第一下拉维持电路、第二下拉维持电路及自举电容分别与栅极信号点和第 N 级水平扫描线连接;
- [0048] 上拉控制电路和下传电路分别与栅极信号点连接;
- [0049] 桥接电路连接第一下拉维持电路和第二下拉维持电路;
- [0050] 第一下拉维持电路包括:
- [0051] 第一 TFT,其栅极连接第一电路点,其漏极和源极分别连接第 N 级水平扫描线和输入直流低电压;
- [0052] 第二 TFT,其栅极连接第一电路点,其漏极和源极分别连接栅极信号点和输入直流低电压;
- [0053] 第三 TFT,其栅极连接栅极信号点,其漏极和源极分别连接源极信号点和输入直流低电压;
- [0054] 第四 TFT,其源极连接源极信号点,其栅极和漏极均连接第一时钟信号;
- [0055] 第五 TFT,其栅极连接源极信号点,其漏极和源极分别连接第一时钟信号和第一电路点;
- [0056] 第六 TFT,其栅极连接第二时钟信号,其漏极和源极分别连接第一时钟信号和第一电路点;
- [0057] 第二下拉维持电路包括:
- [0058] 第八 TFT,其栅极连接第二电路点,其漏极和源极分别连接第 N 级水平扫描线和输入直流低电压;

[0059] 第九 TFT,其栅极连接第二电路点,其漏极和源极分别连接栅极信号点和输入直流低电压;

[0060] 第十 TFT,其栅极连接栅极信号点,其漏极和源极分别连接漏极信号点和输入直流低电压;

[0061] 第十一 TFT,其源极连接漏极信号点,其栅极和漏极均连接第二时钟信号;

[0062] 第十二 TFT,其栅极连接漏极信号点,其漏极和源极分别连接第二时钟信号和第二电路点;

[0063] 第十三 TFT,其栅极连接第一时钟信号,其漏极和源极分别连接第二时钟信号和第二电路点;

[0064] 桥接电路包括:

[0065] 第十五 TFT,其栅极连接栅极信号点,其漏极和源极分别连接第一电路点和第二电路点;

[0066] 第十六 TFT,其栅极连接来自 N-1 级 GOA 单元的起始信号或第 N-1 级水平扫描线,其漏极和源极分别连接第一电路点和第二电路点;

[0067] 工作时,第一时钟信号和第二时钟信号的频率低于第 N 级时钟信号,并且第一时钟信号对第一电路点的充电和第二时钟信号对第二电路点的充电交替进行。

[0068] 其中,上拉电路包括:

[0069] 第十七 TFT,其栅极连接栅极信号点,其漏极和源极分别输入第 N 级时钟信号和连接第 N 级水平扫描线。

[0070] 其中,下拉电路包括:

[0071] 第十八 TFT,其栅极连接第 N+1 级水平扫描线,其漏极和源极分别连接第 N 级水平扫描线和输入直流低电压;

[0072] 第十九 TFT,其栅极连接第 N+1 级水平扫描线,其漏极和源极分别连接栅极信号点和输入直流低电压。

[0073] 其中,下传电路包括:

[0074] 第二十 TFT,其栅极连接栅极信号点,其漏极和源极分别输入第 N 级时钟信号和输出第 N 级起始信号。

[0075] 其中,上拉控制电路包括:

[0076] 第二十一 TFT,其栅极连接来自 N-1 级 GOA 单元的起始信号,其漏极和源极分别连接第 N-1 级水平扫描线和栅极信号点。

[0077] 相应地,本发明实施例的再一方面还提供一种液晶显示装置,其包括前述的用于液晶显示的 GOA 电路。

[0078] 实施本发明的实施例,具有如下的有益效果:

[0079] 首先,在下拉维持电路中,在负责下拉源极信号点和漏极信号点的第三 TFT 和第十 TFT 上分别并联第七 TFT 和第十四 TFT,且第七 TFT 和第十四 TFT 的栅极连接来自 N-1 级 GOA 单元的起始信号或第 N-1 级水平扫描线,这样可以弥补点第一阶段电位较低导致、点下拉电位较高的问题,而且也会修正第一电路点、第二电路点的下拉电位;

[0080] 另外,在负责第一电路点和第二电路点的桥接电路中所包含的第十五 TFT 上并联有第十六 TFT,同时第十六 TFT 的栅极连接来自 N-1 级 GOA 单元的起始信号或第 N-1 级水平

扫描线,这样能够有效地弥补点第一阶段电位过低带来的问题。从而可以减小所控制的第三 TFT、第十 TFT 和第十五 TFT 的尺寸,并且由于 ST (N-1)和 G (N-1)信号在非作用期间的波纹电流(Ripple)要小于 Q (N),从而解决源极信号点 / 漏极信号点和第一电路点 / 第二电路点的波动性问题。

附图说明

[0081] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它的附图。

[0082] 图 1 是现有的一种 GOA 电路的示意图 ;

[0083] 图 2 是图 1 中的 GOA 电路在实际操作时关键节点的波形示意图 ;

[0084] 图 3 是本发明提供的用于液晶显示的 GOA 电路的第一实施例的电路示意图 ;

[0085] 图 4 是本发明提供的用于液晶显示的 GOA 电路的第二实施例的电路示意图 ;

[0086] 图 5 是本发明提供的用于液晶显示的 GOA 电路的第三实施例的电路示意图 ;

[0087] 图 6 是图 5 中的 GOA 电路在实际操作时关键节点的波形示意图。

具体实施方式

[0088] 下面参考附图对本发明的优选实施例进行描述。

[0089] 如图 3 所示,是本发明提供的用于液晶显示的 GOA 电路的第一实施例的电路示意图。在该实施例中,该 GOA 电路包括级联的多个 GOA 单元,按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线 G (N)充电,该第 N 级 GOA 单元包括上拉电路 200、下拉电路 400、第一下拉维持电路 600、第二下拉维持电路 700、桥接电路 800、上拉控制电路 100、下传电路 300 及自举电容 Cb ;其中,上拉电路 200、下拉电路 400、第一下拉维持电路 600、第二下拉维持电路 700 及自举电容 Cb 分别与栅极信号点 Q (N)和第 N 级水平扫描线 G (N)连接 ;上拉控制电路 100 和下传电路 300 分别与栅极信号点 Q (N)连接 ;桥接电路 800 连接第一下拉维持电路 600 和第二下拉维持电路 700 ;

[0090] 其中,第一下拉维持电路 600 包括 :

[0091] 第一 TFT,即 T32,其栅极连接第一电路点 P (N),其漏极和源极分别连接第 N 级水平扫描线 G (N)和输入直流低电压 VSS ;

[0092] 第二 TFT,即 T42,其栅极连接第一电路点 P (N),其漏极和源极分别连接栅极信号点 Q (N)和输入直流低电压 VSS ;

[0093] 第三 TFT,即 T52,其栅极连接栅极信号点 Q (N),其漏极和源极分别连接源极信号点 S (N)和输入直流低电压 VSS ;

[0094] 第四 TFT,即 T51,其源极连接源极信号点 S (N),其栅极和漏极均连接第一时钟信号 LC1 ;

[0095] 第五 TFT,即 T53,其栅极连接源极信号点 S (N),其漏极和源极分别连接第一时钟信号 LC1 和第一电路点 P (N) ;

[0096] 第六 TFT,即 T54)其栅极连接第二时钟信号 LC2,其漏极和源极分别连接第一时钟

信号 LC1 和第一电路点 P (N)；

[0097] 第七 TFT, 即 T56, 其栅极连接来自 N-1 级 GOA 单元的启始信号 ST (N-1) 或第 N-1 级水平扫描线 G (N-1), 其漏极和源极分别连接源极信号点 S (N) 和输入直流低电压 VSS；

[0098] 第二下拉维持电路 700 包括：

[0099] 第八 TFT, 即 T33, 其栅极连接第二电路点 K (N), 其漏极和源极分别连接第 N 级水平扫描线 G (N) 和输入直流低电压 VSS；

[0100] 第九 TFT, 即 T43, 其栅极连接第二电路点 K (N), 其漏极和源极分别连接栅极信号点 Q (N) 和输入直流低电压 VSS；

[0101] 第十 TFT, 即 T62, 其栅极连接栅极信号点 Q (N), 其漏极和源极分别连接漏极信号点 T (N) 和输入直流低电压 VSS；

[0102] 第十一 TFT, 即 T61, 其源极连接漏极信号点 T (N), 其栅极和漏极均连接第二时钟信号 LC2；

[0103] 第十二 TFT, 即 T63, 其栅极连接漏极信号点 T (N), 其漏极和源极分别连接第二时钟信号, 即 LC2) 和第二电路点 K (N)；

[0104] 第十三 TFT, 即 T64, 其栅极连接第一时钟信号 LC1, 其漏极和源极分别连接第二时钟信号 LC2 和第二电路点 K (N)；

[0105] 第十四 TFT, 即 T66, 其栅极连接第七 TFT (T56) 的栅极, 其漏极和源极分别连接漏极信号点 T (N) 和输入直流低电压 VSS；

[0106] 桥接电路 800 包括第十五 TFT, 即 T55, 其栅极连接栅极信号点 Q (N), 其漏极和源极分别连接第一电路点 P (N) 和第二电路点 K (N)；

[0107] 工作时, 第一时钟信号 LC1 和第二时钟信号 LC2 的频率低于第 N 级时钟信号 CK (N), 并且第一时钟信号 LC1 对第一电路点 P (N) 的充电和第二时钟信号 LC2 对第二电路点 K (N) 的充电交替进行。

[0108] 具体地, 上拉电路 200 包括：

[0109] 第十七 TFT, 即 T21, 其栅极连接栅极信号点 Q (N), 其漏极和源极分别输入第 N 级时钟信号 CK (N) 和连接第 N 级水平扫描线 G (N)。

[0110] 下拉电路 400 包括：

[0111] 第十八 TFT, 即 T31, 其栅极连接第 N+1 级水平扫描线 G (N+1), 其漏极和源极分别连接第 N 级水平扫描线 G (N) 和输入直流低电压 VSS；

[0112] 第十九 TFT, 即 T41, 其栅极连接第 N+1 级水平扫描线 G (N+1), 其漏极和源极分别连接栅极信号点 Q (N) 和输入直流低电压 VSS。

[0113] 下传电路 300 包括：

[0114] 第二十 TFT, 即 T22, 其栅极连接栅极信号点 Q (N), 其漏极和源极分别输入第 N 级时钟信号 CK (N) 和输出第 N 级启始信号 ST (N)。

[0115] 上拉控制电路 100 包括：

[0116] 第二十一 TFT, 即 T11, 其栅极连接来自 N-1 级 GOA 单元的启始信号 ST(N-1), 其漏极和源极分别连接第 N-1 级水平扫描线 G (N-1) 和栅极信号点 Q (N)。

[0117] 在本实施例中, 采用 T56 与 T52 并联, 采用 T66 与 T62 并联, 且 T66 的栅极与 T56 的栅极相连, 并连接来自 N-1 级 GOA 单元的启始信号 ST (N-1) 或者第 N-1 级水平扫描线 G

(N-1) 信号; 这样可以利用 ST (N-1) 或 G (N-1) 的信号来弥补 G (N) 在第一阶段电位不足带来的问题, 并且从设计上来说也可以减小 T52 和 T62 的尺寸。

[0118] 如图 4 所示, 是本发明提供的用于液晶显示的 GOA 电路的第二实施例的电路示意图。在该实施例中, 该 GOA 电路包括级联的多个 GOA 单元, 其中, 该第 N 级 GOA 单元与图 3 中示出的 GOA 单元的区别在于, 在本实施例中, 没有第七 TFT T56 以及第十四 TFT T66, 而是在桥接电路 800 进一步包括:

[0119] 第十六 TFT, 即 T57, 其栅极连接来自 N-1 级 GOA 单元的启始信号 ST(N-1) 或第 N-1 级水平扫描线 G (N-1), 其漏极和源极分别连接第一电路点 P (N) 和第二电路点 K (N)。

[0120] 在本发明实施例中, 采用 T57 与 T55 并联, 且 T57 的栅极连接来自 N-1 级 GOA 单元的启始信号 ST (N-1) 或者第 N-1 级水平扫描线 G (N-1) 信号, 这样可以利用 ST (N-1) 或 G (N-1) 的信号来弥补 G (N) 的第一阶段电位不足带来的问题, 而且从设计上来说也可以减小 T55 的尺寸。并且由于 ST (N-1) 和 G (N-1) 信号在非作用期间的波纹电流(Ripple) 要小于 Q (N), 通过减小 T55 的尺寸也可以降低 P (N) 和 K (N) 在非作用期间电位的波动。

[0121] 如图 5 所示, 是本发明提供的用于液晶显示的 GOA 电路的第三实施例的电路示意图。在该实施例中, 该 GOA 电路包括级联的多个 GOA 单元, 其中, 该第 N 级 GOA 单元与图 3 中示出的 GOA 单元的区别在于, 在本实施例中, 在图 3 示出的 GOA 单元的基础上, 进一步在桥接电路 800 包括:

[0122] 第十六 TFT, 即 T57, 其栅极连接来自 N-1 级 GOA 单元的启始信号 ST(N-1) 或第 N-1 级水平扫描线 G (N-1), 其漏极和源极分别连接第一电路点 P (N) 和第二电路点 K (N)。

[0123] 在该实施例中, 通过增加 T56、T66 以及 T57, 且三者的栅极相互连接, 并均连接来自 N-1 级 GOA 单元的启始信号 ST (N-1) 或者第 N-1 级水平扫描线 G (N-1) 信号。这样可以使 S (N) 和 T (N)/P (N) 和 K (N) 四点是相互联动的, 可以确保电路的稳定性。同样, 在本发明的该实施例中, 可以利用 ST (N-1) 和 G (N-1) 的信号来弥补 G (N) 的第一阶段电位不足带来的问题, 而且从设计上来说也可以减小 T55 的尺寸。并且由于 ST (N-1) 和 G (N-1) 信号在非作用期间的波纹电流(Ripple) 要小于 Q (N), 通过减小 T55 的尺寸也可以降低 P (N) 和 K (N) 在非作用期间电位的波动。

[0124] 图 6 是图 5 中的 GOA 电路在实际操作时关键节点的波形示意图。其中由于利用了 ST (N-1) 或 G (N-1) 信号辅助对 Q (N) 的下拉进行控制, 可以确保 P (N) 和 K (N) 的第一阶段能够从 PV1 拉低到 PV2 (如虚线所示), 同样 S (N) 和 T (N) 的信号也是一样, 这样可以使 Q (N) 得到一定的提升, 且使其输出波形的延迟(Delay) 减小(如虚线所示); 并且也会减小 G (N) 输出波形的延迟(Delay) 减小(如虚线所示)。

[0125] 相应地, 本发明实施例还提供了一种液晶显示装置, 其包括前述图 3 至图 6 示出的用于液晶显示的 GOA 电路。

[0126] 实施本发明的实施例, 具有如下的有益效果:

[0127] 首先, 在下拉维持电路中, 在负责下拉源极信号点 S (N) 和漏极信号点 T (N) 的第三 TFT (即 T52) 和第十 TFT (即 T62) 上分别并联第七 TFT (即 T56) 和第十四 TFT (T66), 且第七 TFT 和第十四 TFT (的栅极连接 ST (N-1) 或者 G (N-1), 这样可以弥补 Q (N) 点第一阶段电位较低导致 S (N)、T (N) 点下拉电位较高的问题, 而且也会修正第一电路点 P (N)、第二电路点 K (N) 的下拉电位;

[0128] 另外,在负责第一电路点 P (N)和第二电路点 K (N)的桥接电路中所包含的第十五 TFT (即 T55)之外并联第十六 TFT (即 T57),同时第十六 TFT 的栅极连接 ST (N-1) 或者 G (N-1),这样能够有效地弥补 Q (N) 点第一阶段电位过低带来的问题。从而可以减小 Q (N) 所控制的第三 TFT (即 T52)、第十 TFT (即 T62)和第十五 TFT (即 T55)的尺寸,并且由于 ST (N-1) 和 G (N-1) 信号在非作用期间的波纹电流(Ripple)要小于 Q (N),从而解决源极信号点 S (N) / 漏极信号点 T (N) 和第一电路点 P (N) / 第二电路点 K (N) 的波动性问题。

[0129] 以上所揭露的仅为本发明较佳实施例而已,当然不能以此来限定本发明之权利范围,因此等同变化,仍属本发明所涵盖的范围。

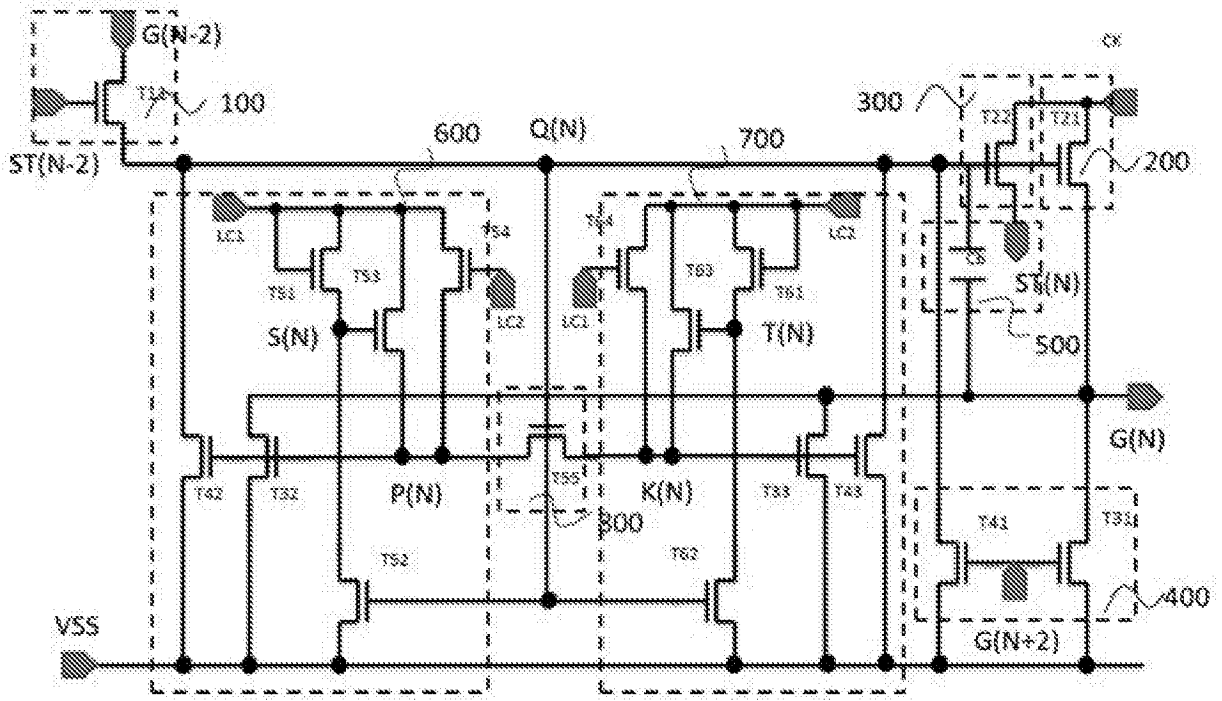


图 1

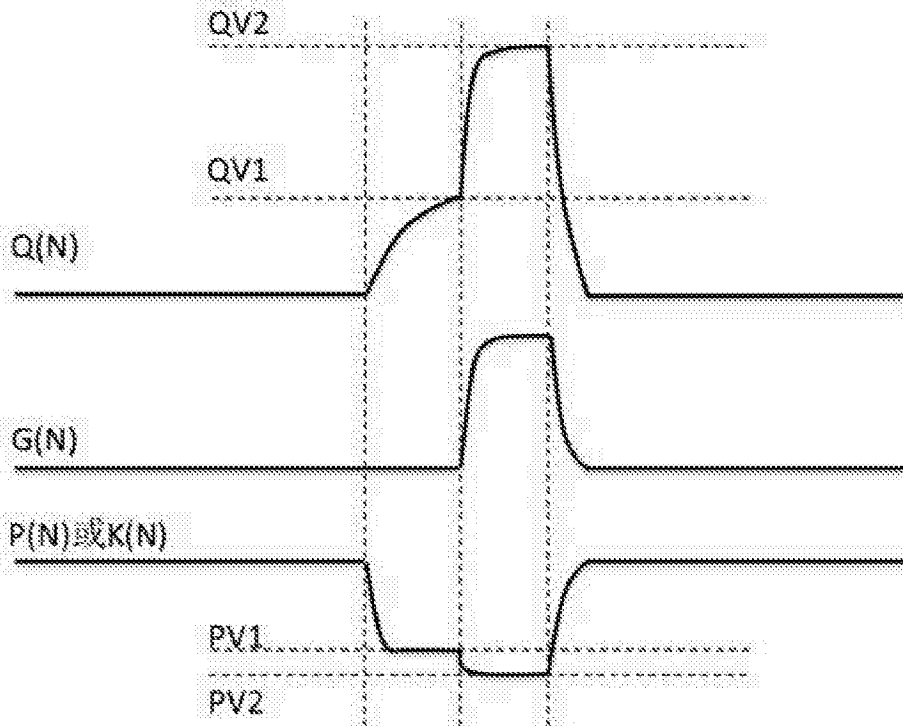


图 2

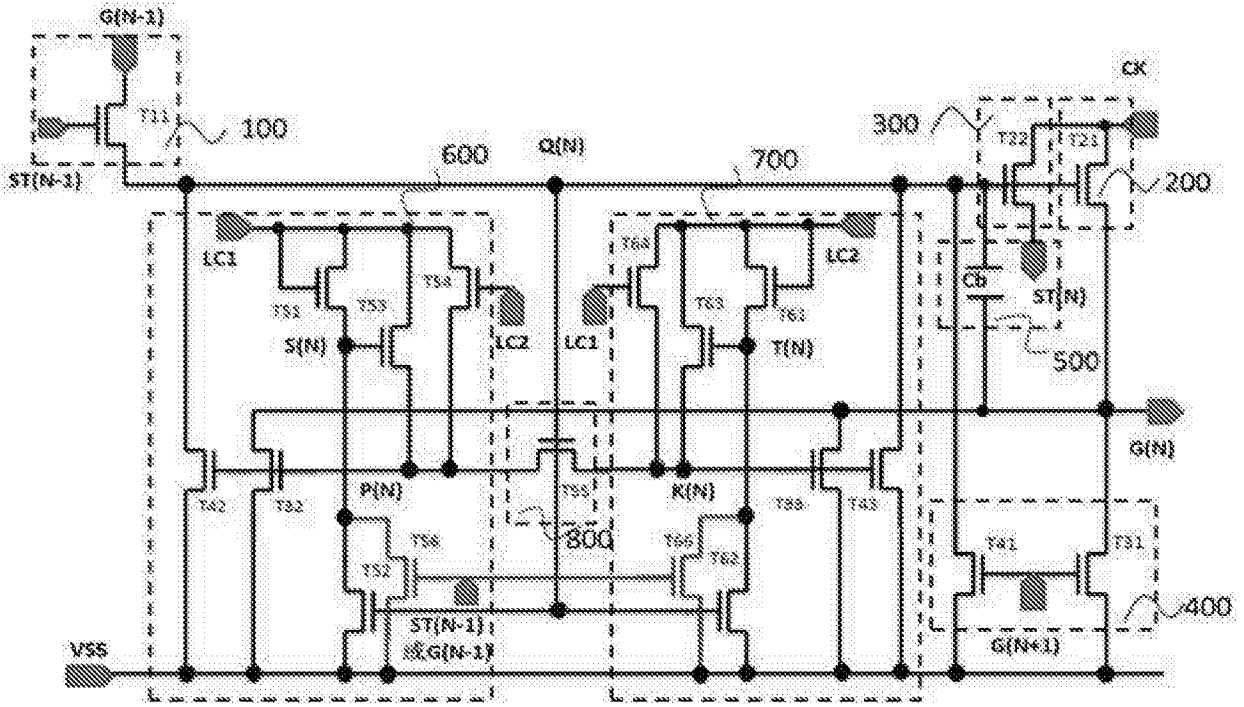


图 3

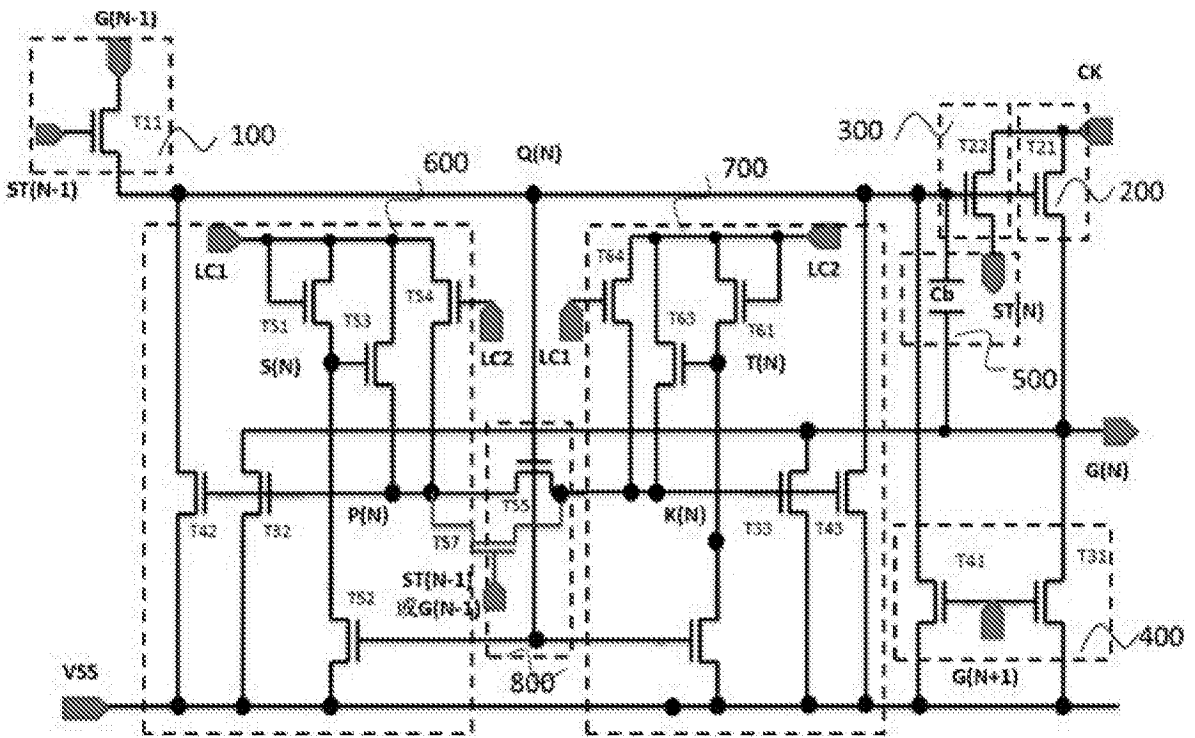


图 4

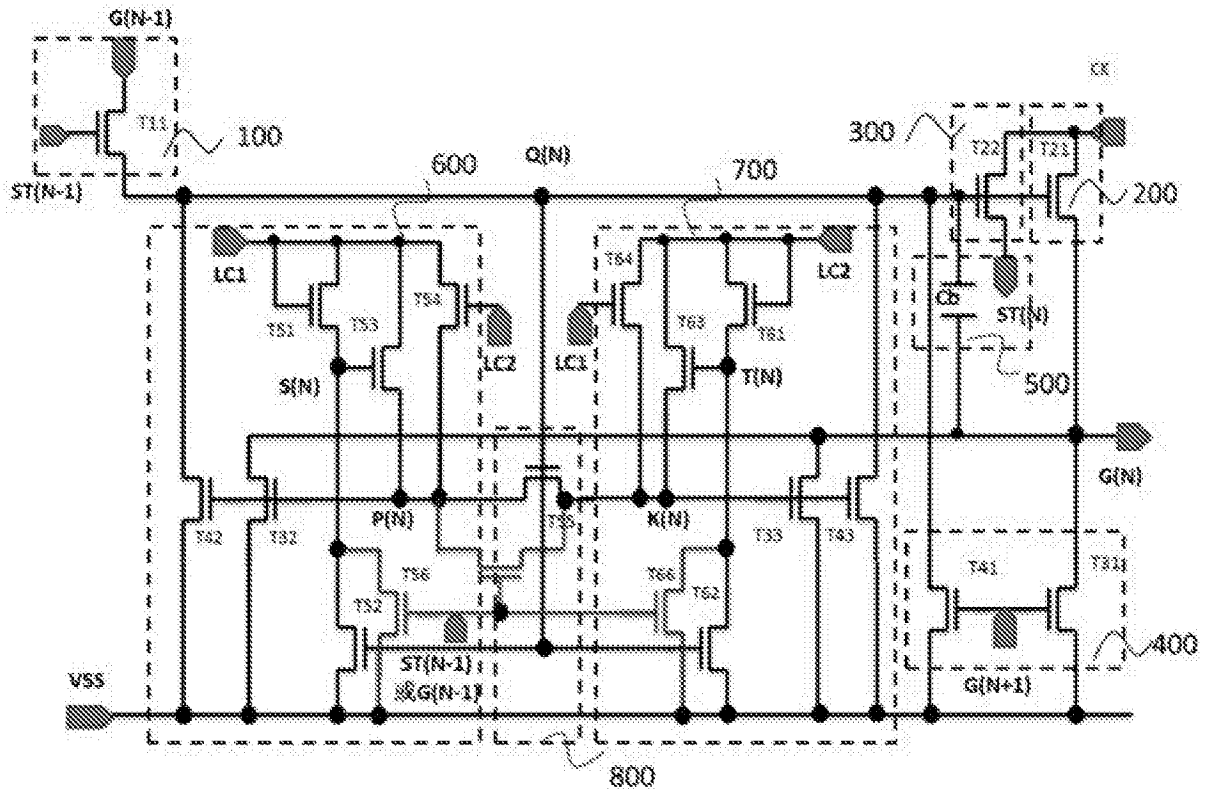


图 5

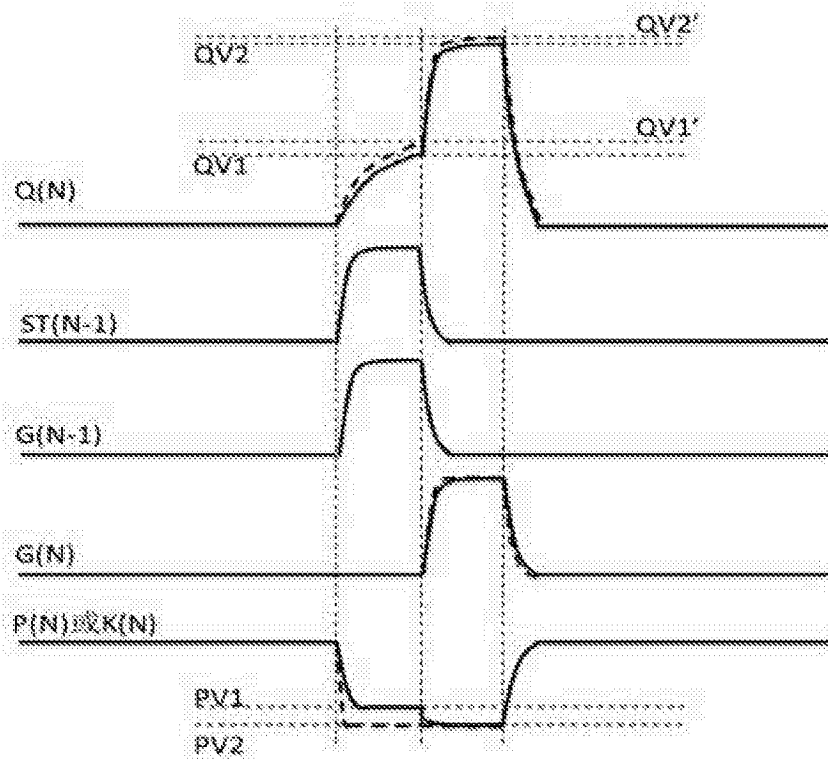


图 6

专利名称(译)	一种用于液晶显示的GOA电路及液晶显示装置		
公开(公告)号	CN103928007B	公开(公告)日	2016-01-20
申请号	CN201410159672.7	申请日	2014-04-21
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	戴超 肖军城		
发明人	戴超 肖军城		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G3/3674 G09G2300/0809 G09G2310/0251 G09G2310/0267 G09G2310/0286 G09G2310/06 G09G2310/08 G09G2320/0204 G09G2320/0223 G11C19/184 G11C19/28 H01L27/124		
审查员(译)	刘锋		
其他公开文献	CN103928007A		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例公开了一种用于液晶显示的GOA电路，包括级联的多个GOA单元，按照第N级GOA单元控制对显示区域第N级水平扫描线充电，该第N级GOA单元包括上拉电路、下拉电路、第一下拉维持电路、第二下拉维持电路、桥接电路、上拉控制电路、下传电路及自举电容；其中在第一下拉维持电路中的第三TFT上并联有第七TFT，在第二下拉维持电路中的第十TFT上并联有第十四TFT，且第七TFT与第十四TFT的栅极相互连接，并均连接来自N-1级GOA单元的起始信号或第N-1级水平扫描线。本发明实施例还公开了一种液晶显示装置。实施本发明实施例，可以减少栅极信号输出的延迟。

