



(12)发明专利申请

(10)申请公布号 CN 111240114 A

(43)申请公布日 2020.06.05

(21)申请号 202010179842.3

(22)申请日 2020.03.16

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 奚苏萍

(74)专利代理机构 深圳紫藤知识产权代理有限公司 44570

代理人 唐秀萍

(51)Int.Cl.

G02F 1/1362(2006.01)

G02F 1/1345(2006.01)

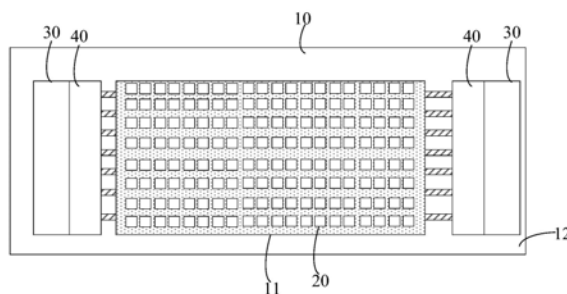
权利要求书1页 说明书4页 附图3页

(54)发明名称

阵列基板及液晶显示面板

(57)摘要

本申请提供一种阵列基板及液晶显示面板。其中,该阵列基板包括:基板,其具有显示区域以及非显示区域;多个GOA驱动单元,其设置于所述非显示区域;多个时钟信号线结构,其设置于所述非显示区域,每一所述时钟信号线结构包括一用于接入外部时钟信号的输入主干走线、多条设置为不同预设阻抗的支路走线以及用于将时钟信号输出给对应的GOA驱动单元的输出主干走线,通过选择性地将该多条支路走线中的一条或多条来将所述输入主干走线以及所述输出主干走线接通,从而调整对应时钟信号的电流值。本申请可以使得该时钟信号线结的电阻为根据需求的设置值,便于降低时钟信号的电流值,可以节约成本。



1. 一种阵列基板,其特征在于,包括:
基板,其具有显示区域以及非显示区域;
多个GOA驱动单元,其设置于所述非显示区域;
多个时钟信号线结构,其设置于所述非显示区域,每一所述时钟信号线结构包括一用于接入外部时钟信号的输入主干走线、多条设置为不同预设阻抗的支路走线以及用于将时钟信号输出给对应的GOA驱动单元的输出主干走线,通过选择性地将该多条支路走线中的一条或多条来将所述输入主干走线以及所述输出主干走线接通,从而调整对应时钟信号的电流值。
2. 根据权利要求1所述的阵列基板,其特征在于,所述多条支路走线为ITO走线。
3. 根据权利要求1或2所述的阵列基板,其特征在于,所述多条支路走线的宽度相同且长度依次减小。
4. 根据权利要求1或2所述的阵列基板,其特征在于,所述多条支路走线的长度相同且宽度依次减小。
5. 根据权利要求1或2所述的阵列基板,其特征在于,所述多条支路走线的长度以及宽度均不相同。
6. 根据权利要求1所述的阵列基板,其特征在于,所述基板上依次设置有第一金属层、第一绝缘层以及第二金属层;
所述第一金属层上形成有所述输入主干走线、多条支路连接走线以及输出主干走线,所述第二金属层上形成有第一连接金属块;
所述第一金属层通过开设于所述第一绝缘层上的多个第一过孔与所述第一连接金属块电连接,所述第一连接金属块与所述多条支路连接走线中的一条连接,所述多条支路连接走线与所述多条支路走线一一对应地连接。
7. 根据权利要求6所述的阵列基板,其特征在于,所述第二金属层上还设置有第二绝缘层,所述第二绝缘层上设置有第三金属层;
所述第三金属层形成所述多条支路走线,每一所述支路走线的一端分别与所述输出主干走线电连接,每一所述支路走线的另一端通过设置于所述第二绝缘层上的多个第二过孔与对应所述支路连接走线电连接。
8. 根据权利要求6所述的阵列基板,其特征在于,所述第二金属层上形成有镭射区,用于在所述镭射区进行镭射操作以使得所述第一连接金属块与所需要的支路连接走线电连接。
9. 根据权利要求6所述的阵列基板,其特征在于,所述第二金属层上还形成有第二连接金属块,所述多条支路走线分别通过开设于所述第二绝缘层上的第三过孔与所述第二连接金属块电连接,所述第二连接金属块通过开设于所述第一绝缘层上的第四过孔与所述输出主干走线电连接。
10. 一种液晶显示面板,其特征在于,包括权利要求1-9任一项所述的阵列基板。

阵列基板及液晶显示面板

技术领域

[0001] 本申请涉及显示技术领域,具体涉及一种阵列基板及液晶显示面板。

背景技术

[0002] Gate Driver On Array,简称GOA,也就是利用现有薄膜晶体管液晶显示器中的Array制程将Gate行扫描驱动信号电路制作在阵列基板上,实现对Gate逐行扫描的驱动方式。

[0003] 对于GOA产品,通常为双驱产品,即左边GOA和右边GOA同时驱动显示面板。随着面板尺寸越来越大,分辨率越来越高,面板显示规格越来越高,芯片电压的需求越来越大,会造成GOA中的讯号出现大电流,长时间大电流,会造成面板发热,影响薄膜晶体管的特性,为改善这一现象,通常的做法是在X-board或C-board处每个讯号(CK or STV or LC)上串联电阻,从而有效降低讯号的大电流,但是不同的讯号线挂的电阻会增加EE的成本。

发明内容

[0004] 本申请实施例的目的在于提供一种阵列基板及液晶显示面板,具有有效降低时钟信号的电流以及节约成本的有益效果。

[0005] 第一方面,本申请实施例提供了一种阵列基板,包括:

[0006] 基板,其具有显示区域以及非显示区域;

[0007] 多个GOA驱动单元,其设置于所述非显示区域;

[0008] 多个时钟信号线结构,其设置于所述非显示区域,每一所述时钟信号线结构包括一用于接入外部时钟信号的输入主干走线、多条设置为不同预设阻抗的支路走线以及用于将时钟信号输出给对应的GOA驱动单元的输出主干走线,通过选择性地将该多条支路走线中的一条或多条来将所述输入主干走线以及所述输出主干走线接通,从而调整对应时钟信号的电流值。

[0009] 本申请实施例通过选择性地将该多条支路走线中的一条或多条来将所述输入主干走线以及所述输出主干走线接通,从而调整对应时钟信号的电流值;从而使得该时钟信号线结的电阻为根据需求的设置值,便于降低时钟信号的电流值,可以节约成本。

[0010] 在本申请所述的阵列基板中,所述多条支路走线为ITO走线。

[0011] 在本申请所述的阵列基板中,所述多条支路走线的宽度相同且长度依次减小。

[0012] 在本申请所述的阵列基板中,所述多条支路走线的长度相同且宽度依次减小。

[0013] 在本申请所述的阵列基板中,所述多条支路走线的长度以及宽度均不相同。

[0014] 在本申请所述的阵列基板中,所述基板上依次设置有第一金属层、第一绝缘层以及第二金属层;

[0015] 所述第一金属层上形成有所述输入主干走线、多条支路连接走线以及输出主干走线,所述第二金属层上形成有第一连接金属块;

[0016] 所述第一金属层通过开设于所述第一绝缘层上的多个第一过孔与所述第一连接

金属块电连接,所述第一连接金属块与所述多条支路连接走线中的一条连接,所述多条支路连接走线与所述多条支路走线一一对应地连接。

[0017] 在本申请所述的阵列基板中,所述第二金属层上还设置有第二绝缘层,所述第二绝缘层上设置有第三金属层;

[0018] 所述第三金属层形成所述多条支路走线,每一所述支路走线的一端分别与所述输出主干走线电连接,每一所述支路走线的另一端通过设置于所述第二绝缘层上的多个第二过孔与对应所述支路连接走线电连接。

[0019] 在本申请所述的阵列基板中,所述第二金属层上形成有镭射区,用于在所述镭射区进行镭射操作以使得所述第一连接金属块与所需要的支路连接走线电连接。

[0020] 在本申请所述的阵列基板中,所述第二金属层上还形成有第二连接金属块,所述多条支路走线分别通过开设于所述第二绝缘层上的第三过孔与所述第二连接金属块电连接,所述第二连接金属块通过开设于所述第一绝缘层上的第四过孔与所述输出主干走线电连接。

[0021] 第二方面,本申请提供了一种液晶显示面板,包括上述任一项所述的阵列基板。

[0022] 由上可知,本申请实施例通过设置个时钟信号线结构,其设置于所述非显示区域,每一所述时钟信号线结构包括一用于接入外部时钟信号的输入主干走线、多条设置为不同预设阻抗的支路走线以及用于将时钟信号输出给对应的GOA驱动单元的输输出主干走线,通过选择性地将该多条支路走线中的一条或多条来将所述输入主干走线以及所述输出主干走线接通,从而调整对应时钟信号的电流值;从而使得该时钟信号线结的电阻为根据需求的设置值,便于降低时钟信号的电流值,可以节约成本。

附图说明

[0023] 为了更清楚地说明本申请实施例的技术方案,下面将对本申请实施例中所需要使用的附图作简单地介绍,应当理解,以下附图仅示出了本申请的某些实施例,因此不应被看作是对范围的限定,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他相关的附图。

[0024] 图1为本申请实施例提供的阵列基板的结构示意图;

[0025] 图2为本申请实施例提供的阵列基板的一种局部结构示意图;

[0026] 图3为本申请实施例提供的阵列基板的另一种局部结构示意图;以及

[0027] 图4为本申请实施例提供的阵列基板的剖视结构示意图。

具体实施方式

[0028] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述。

[0029] 在本申请的描述中,需要说明的是,术语“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,或者是该申请产品使用时惯常摆放的方位或位置关系,仅是为了便于描述本申请和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本申请的限制。此外,术语“第一”、“第二”等仅用于区分描述,而不能理解为指示或暗示相对重要性。

[0030] 还需要说明的是,除非另有明确的规定和限定,术语“设置”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以具体情况理解上述术语在本申请中的具体含义。

[0031] 以下各实施例的说明是参考附加的图式,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。在图中,结构相似的单元是以相同标号表示。

[0032] 请参照图1,图2,图3,图1是本申请实施例中的一种阵列基板的结构示意图。图2为本申请实施例提供的阵列基板的一种局部结构示意图。图3为本申请实施例提供的阵列基板的另一种局部结构示意图。结合图1、图2、图3所示,阵列基板包括基板10、多个GOA驱动单元40、多个时钟信号线结构30。

[0033] 其中,该基板10为玻璃基板。该基板10具有显示区域11以及非显示区域12;显示区域11设置有多个呈阵列分布的像素单元20,该GOA驱动单元40设置于非显示区域12并分别用于驱动该多个像素单元20。多个时钟信号线结构30设置于所述非显示区域12,每一所述时钟信号线结构30包括一用于接入外部时钟信号的输入主干走线31、多条设置为不同预设阻抗的支路走线71以及用于将时钟信号输出给对应的GOA驱动单元40的输出主干走线34,通过选择性地将该多条支路走线71中的一条或多条来将所述输入主干走线31以及所述输出主干走线34接通,从而调整对应时钟信号的电流值。

[0034] 本申请实施例通过选择性地将该多条支路走线中的一条或多条来将所述输入主干走线以及所述输出主干走线接通,从而调整对应时钟信号的电流值;从而使得该时钟信号线结的电阻为根据需求的设置值,便于降低时钟信号的电流值,可以节约成本。

[0035] 在一些实施例中,具体地,该基板10上设置有第一金属层300、第一绝缘层50、第二金属层80、第二绝缘层60以及第三金属层70。该第一金属层300设置于该基板10上,该第一绝缘层50设置于该第一金属层300上。该第二绝缘层60设置于该第二金属层上。该第三金属层70设置于该第二绝缘层上。

[0036] 其中,该第三金属层70为ITO金属层。该第三金属层70形成有该多条支路走线71。多条支路走线71对应为ITO走线。

[0037] 其中,该第一金属层300上形成有所述输入主干走线31、多条支路连接走线311以及输出主干走线32,所述第二金属层80上形成有第一连接金属块81;所述第一金属层300通过开设于所述第一绝缘层50上的多个第一过孔101与所述第一连接金属块81电连接。具体地,第一连接金属块81通过第一过孔101与所述多条支路连接走线311中的一条连接,多条支路连接走线311与所述多条支路走线71一一对应地连接。

[0038] 该第一绝缘层50以及该第二绝缘层60均为氮化硅或者二氧化硅层。

[0039] 在一些实施例中,该每一所述支路走线71的一端分别与所述输出主干走线31电连接,每一所述支路走线71的另一端通过设置于所述第二绝缘层60上的多个第二过孔102与对应所述支路连接走线电连接。

[0040] 可选地,在一些实施例中,多条支路走线71的宽度相同且长度依次减小,从而使得该多条支路走线71的电阻依次减小。

[0041] 可选地,在一些实施例中,多条支路走线71的长度相同且宽度依次减小,从而使得该多个支路走线71的电阻依次增大。

[0042] 可选地,在一些实施例中,多条支路走线71的长度以及宽度均不相同,通过宽度和长度综合配置,使得该多条支路走线71的电阻依次减小或者依次增大。

[0043] 具体地,该支路走线71的条数为8条,电阻依次为100欧姆、200欧姆、300欧姆、400欧姆、500欧姆、600欧姆、700欧姆以及800欧姆。

[0044] 请参照图4,其中,在该第二金属层80上形成有镭射区,用于在所述镭射区进行镭射操作以使得所述第一连接金属块81与所需要的支路连接走线311电连接。例如,其中,在默认状态下,该100欧姆的支路连接走线通过镭雕连接结构201与第一连接金属块81连接。当需要调整时,将该镭雕连接结构201断开,将该支路连接走线311中的对应一条与该第一连接金属块81通过镭雕结构202连接。

[0045] 在一些实施例中,该第二金属层80上还形成有第二连接金属块82,所述多条支路走线311分别通过开设于所述第二绝缘层60上的第三过孔103与所述第二连接金属块82电连接,所述第二连接金属块82通过开设于所述第一绝缘层50上的第四过孔104与所述输出主干走线34电连接。

[0046] 本申请实施例还提供了一种液晶显示面板,该液晶显示面板包括上述任意实施例中的阵列基板。

[0047] 由上可知,本申请实施例通过设置个时钟信号线结构,其设置于所述非显示区域,每一所述时钟信号线结构包括一用于接入外部时钟信号的输入主干走线、多条设置为不同预设阻抗的支路走线以及用于将时钟信号输出给对应的GOA驱动单元的输输出主干走线,通过选择性地将该多条支路走线中的一条或多条来将所述输入主干走线以及所述输出主干走线接通,从而调整对应时钟信号的电流值;从而使得该时钟信号线结的电阻为根据需求的设置值,便于降低时钟信号的电流值,可以节约成本。

[0048] 以上所述仅为本申请的实施例而已,并不用于限制本申请的保护范围,对于本领域的技术人员来说,本申请可以有各种更改和变化。凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

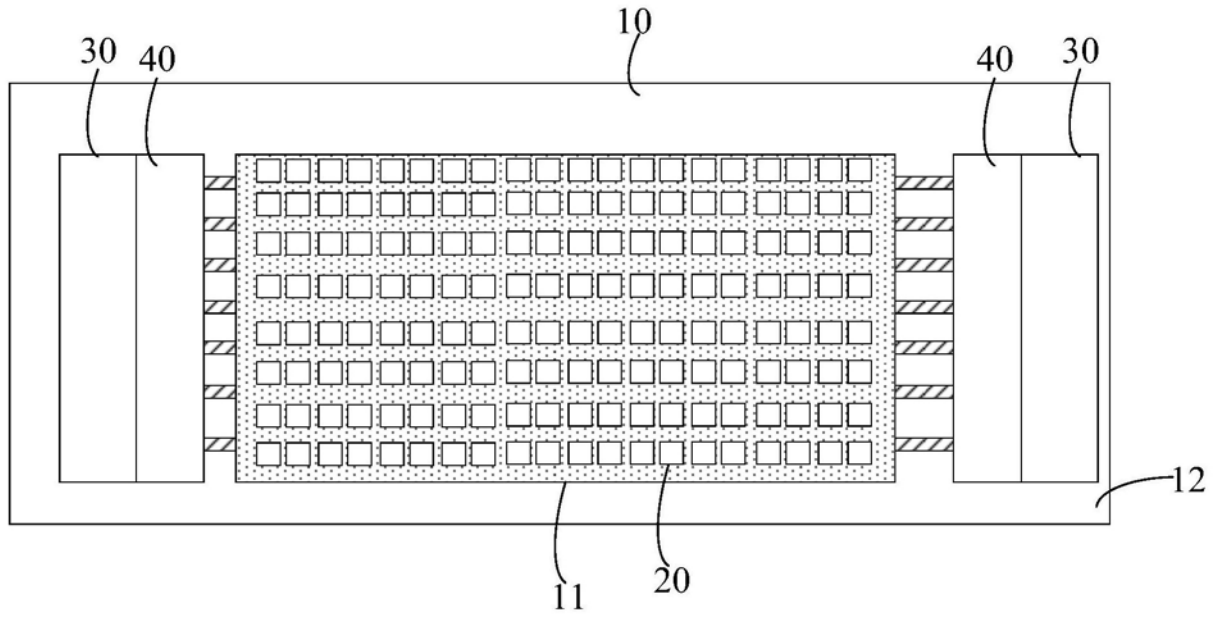


图1

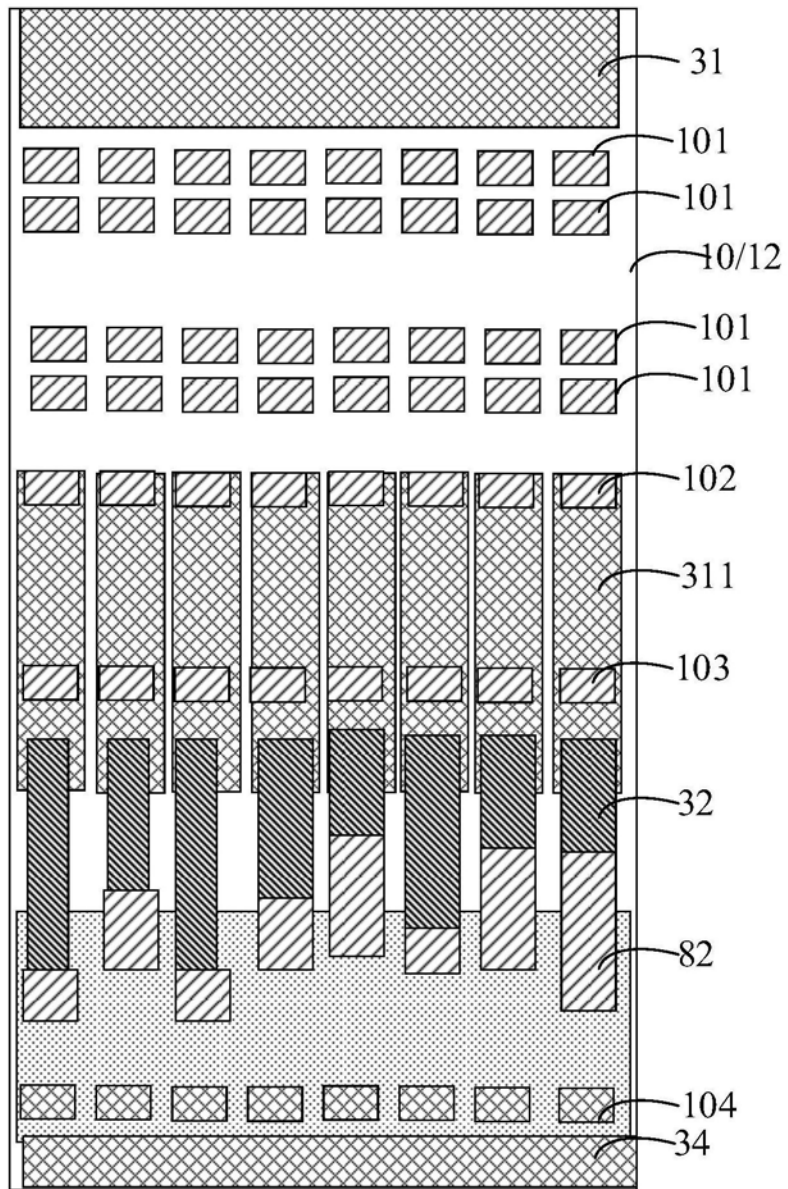


图2

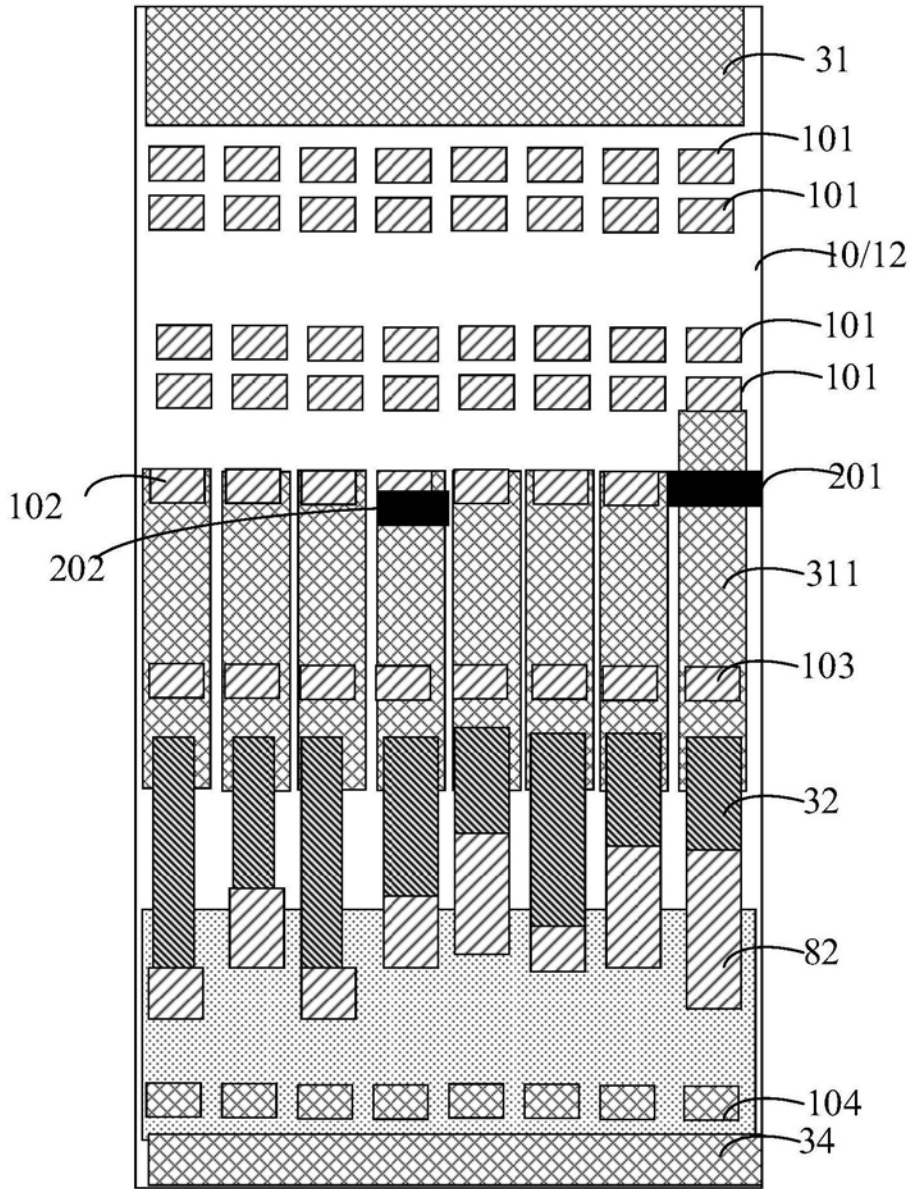


图3

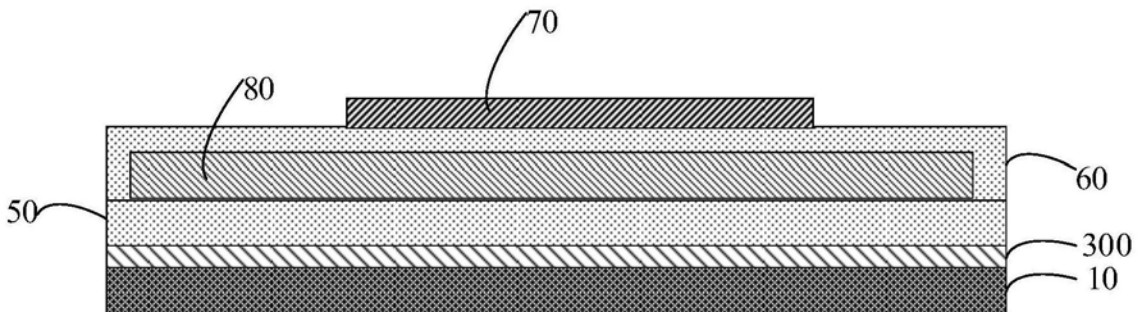


图4

专利名称(译)	阵列基板及液晶显示面板		
公开(公告)号	CN111240114A	公开(公告)日	2020-06-05
申请号	CN202010179842.3	申请日	2020-03-16
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	奚苏萍		
发明人	奚苏萍		
IPC分类号	G02F1/1362 G02F1/1345		
代理人(译)	唐秀萍		
外部链接	Espacenet SIPO		

摘要(译)

本申请提供一种阵列基板及液晶显示面板。其中，该阵列基板包括：基板，其具有显示区域以及非显示区域；多个GOA驱动单元，其设置于所述非显示区域；多个时钟信号线结构，其设置于所述非显示区域，每一所述时钟信号线结构包括一用于接入外部时钟信号的输入主干走线、多条设置为不同预设阻抗的支路走线以及用于将时钟信号输出给对应的GOA驱动单元的输出主干走线，通过选择性地将该多条支路走线中的一条或多条来将所述输入主干走线以及所述输出主干走线接通，从而调整对应时钟信号的电流值。本申请可以使得该时钟信号线结构的电阻为根据需求的设置值，便于降低时钟信号的电流值，可以节约成本。

