



(12)发明专利申请

(10)申请公布号 CN 111258132 A

(43)申请公布日 2020.06.09

(21)申请号 202010242474.2

(22)申请日 2020.03.31

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 奚苏萍

(74)专利代理机构 深圳紫藤知识产权代理有限公司 44570

代理人 徐世俊

(51)Int.Cl.

G02F 1/1345(2006.01)

G02F 1/1362(2006.01)

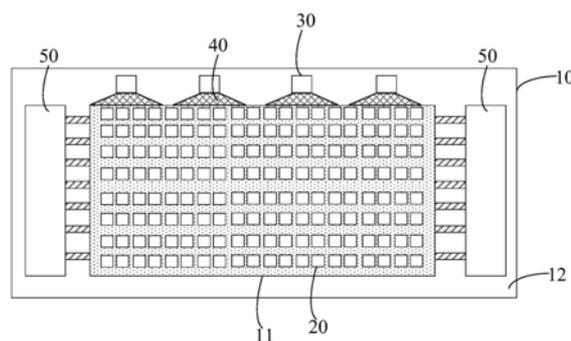
权利要求书1页 说明书4页 附图2页

(54)发明名称

阵列基板及液晶显示面板

(57)摘要

本申请实施例提供一种阵列基板及液晶显示面板。该阵列基板包括：基板，其具有显示区域以及非显示区域；多个像素单元；多个覆晶薄膜芯片，每一覆晶薄膜芯片通过多条扇出线与多个像素单元连接，多条扇出线的长度不相同；多条连接辅助线，其设置于非显示区域，每一连接辅助线设置为第一预设长度，多条连接辅助线中的每一连接辅助线分别与多条扇出线中的一条并联，从而调节每一扇出线的等效电阻，使得多条扇出线对多个像素单元的充电时间均衡。本申请通过多条连接辅助线中的每一连接辅助线分别与多条扇出线中的一条并联，从而调节每一所述扇出线的等效电阻，使得多条扇出线对多个像素单元的充电时间均衡，可以提高显示均衡性，提高显示质量。



1. 一种阵列基板,其特征在于,包括:

基板,其具有显示区域以及非显示区域;

多个像素单元,所述多个像素单元设置于所述显示区域;

多个覆晶薄膜芯片,所述多个覆晶薄膜芯片设置于所述非显示区域,每一所述覆晶薄膜芯片通过多条扇出线与多个所述像素单元连接,所述多条扇出线的长度不相同;

多条连接辅助线,其设置于所述非显示区域,每一所述连接辅助线设置为不同的第一预设长度,所述多条连接辅助线中的每一连接辅助线分别与所述多条扇出线中的一条并联,从而调节每一所述扇出线的等效电阻,使得所述多条扇出线对多个所述像素单元的充电时间均衡。

2. 根据权利要求1所述的阵列基板,其特征在于,所述基板上设置有第一金属层、第二金属层以及位于第一金属层和第二金属层之间的第一绝缘层;所述第一金属层形成多条扇出线,所述第二金属层形成多条连接辅助线。

3. 根据权利要求2所述的阵列基板,其特征在于,所述多条辅助连接线与所述多条扇出线中的部分扇出线相对应;

所述第一绝缘层开设有多个金属化孔,每一所述辅助连接线通过多个金属化孔与对应扇出线并联。

4. 根据权利要求3所述的阵列基板,其特征在于,所述多条扇出线包括至少一条第一长度的第一扇出线以及多条第二扇出线,所述多条第二扇出线的长度不均,所述多条第二扇出线的长度均大于所述第一扇出线;

所述多条连接辅助线与所述多条第二扇出线一一对应地并联,使得每一所述第二扇出线与对应连接辅助线的并联等效电阻等于所述第一扇出线的等效电阻。

5. 根据权利要求2所述的阵列基板,其特征在于,所述多条辅助连接线与所述多条扇出线中的一一对应;

所述第一绝缘层开设有多个金属化孔,每一所述辅助连接线通过多个金属化孔与对应扇出线并联。

6. 根据权利要求5所述的阵列基板,其特征在于,所述多条扇出线的长度不均;

所述多条扇出线与所述多条连接辅助线一一对应地并联形成多组并联线,所述多组并联线具的等效电阻相同。

7. 根据权利要求1-6任一项所述的阵列基板,其特征在于,每一所述连接辅助线的长度与对应的扇出线的长度相同;所述多个扇出线的厚度相同且宽度不同;所述多条扇出线中长度越长的扇出线所对应的连接辅助线的宽度越大。

8. 根据权利要求1-6任一项所述的阵列基板,其特征在于,每一所述连接辅助线的宽度与对应的扇出线的宽度相同;所述多个扇出线的厚度相同且长度不同;所述多条扇出线中长度越长的扇出线所对应的连接辅助线的长度越长。

9. 根据权利要求1-6任一项所述的阵列基板,其特征在于,每一所述连接辅助线的长度与对应的扇出线的长度相同;所述多个扇出线的宽度相同且厚度不同;所述多条扇出线中长度越长的扇出线所对应的连接辅助线的厚度越大。

10. 一种液晶显示面板,其特征在于,包括权利要求1-9任一项所述的阵列基板。

阵列基板及液晶显示面板

技术领域

[0001] 本申请涉及显示技术领域,具体涉及一种阵列基板及液晶显示面板。

背景技术

[0002] Gate Driver On Array,简称GOA,也就是利用现有薄膜晶体管液晶显示器中的Array制程将Gate行扫描驱动信号电路制作在阵列基板上,实现对Gate逐行扫描的驱动方式。

[0003] 对于GOA产品,通常为双驱产品,即左边GOA和右边GOA同时驱动显示面板,这就造成同样的gate走线,中间区域的gate波形会与边缘gate波形不一致,这就意味着在覆晶薄膜芯片处设定好时序信号以及数据电压信号的时间后,由于GOA驱动设定的原因,会造成面板内不同区域的充电时间不一致,即中间充电时间短,边缘充电时间长。由于充电时间的不同会造成面内不同区域充电率的不同,即会造成画面显示不均。

发明内容

[0004] 本申请实施例的目的在于提供一种阵列基板及液晶显示面板,具有提高各个像素单元充电均匀性的有益效果。

[0005] 第一方面,本申请实施例提供了一种阵列基板,包括:

[0006] 基板,其具有显示区域以及非显示区域;

[0007] 多个像素单元,所述多个像素单元设置于所述显示区域;

[0008] 多个覆晶薄膜芯片,所述多个覆晶薄膜芯片设置于所述非显示区域,每一所述覆晶薄膜芯片通过多条扇出线与多个所述像素单元连接,所述多条扇出线的长度不相同;

[0009] 多条连接辅助线,其设置于所述非显示区域,每一所述连接辅助线设置为不同的第一预设长度,所述多条连接辅助线中的每一连接辅助线分别与所述多条扇出线中的一条并联,从而调节每一所述扇出线的等效电阻,使得所述多条扇出线对多个所述像素单元的充电时间均衡。

[0010] 本申请实施例通过设置多条连接辅助线,所述多条连接辅助线中的每一连接辅助线分别与所述多条扇出线中的一条并联,从而调节每一所述扇出线的等效电阻,使得所述多条扇出线对多个所述像素单元的充电时间均衡,可以提高显示均衡性,提高显示质量

[0011] 可选地,在本申请所述的阵列基板中,所述基板上设置有第一金属层、第二金属层以及位于第一金属层和第二金属层之间的第一绝缘层;所述第一金属层形成多条扇出线,所述第二金属层形成多条连接辅助线。

[0012] 可选地,在本申请所述的阵列基板中,所述多条辅助连接线与所述多条扇出线中的部分扇出线相对应;

[0013] 所述第一绝缘层开设有多个金属化孔,每一所述辅助连接线通过多个金属化孔与对应扇出线并联。

[0014] 可选地,在本申请所述的阵列基板中,所述多条扇出线包括至少一条第一长度的

第一扇出线以及多条第二扇出线,所述多条第二扇出线的长度不均,所述多条第二扇出线的长度均大于所述第一扇出线;

[0015] 所述多条连接辅助线与所述多条第二扇出线一一对应地并联,使得每一所述第二扇出线与对应连接辅助线的并联等效电阻等于所述第一扇出线的等效电阻。

[0016] 可选地,在本申请所述的阵列基板中,所述多条辅助连接线与所述多条扇出线中的一一对应;

[0017] 所述第一绝缘层开设有多个金属化孔,每一所述辅助连接线通过多个金属化孔与对应扇出线并联。

[0018] 可选地,在本申请所述的阵列基板中,所述多条扇出线的长度不均;

[0019] 所述多条扇出线与所述多条连接辅助线一一对应地并联形成多组并联线,所述多组并联线具的等效电阻相同。

[0020] 可选地,在本申请所述的阵列基板中,每一所述连接辅助线的长度与对应的扇出线的长度相同;所述多个扇出线的厚度相同且宽度不同;所述多条扇出线中长度越长的扇出线所对应的连接辅助线的宽度越大。

[0021] 本申请实施例通过不同宽度的连接辅助线来与不同长度的扇出线并联,从而调整该扇出线的均衡性,以保证各个像素单元的充电的时间均衡,可以提高显示的均匀性。

[0022] 可选地,在本申请所述的阵列基板中,每一所述连接辅助线的宽度与对应的扇出线的宽度相同;所述多个扇出线的厚度相同且长度不同;所述多条扇出线中长度越长的扇出线所对应的连接辅助线的长度越长。

[0023] 可选地,在本申请所述的阵列基板中,每一所述连接辅助线的长度与对应的扇出线的长度相同;所述多个扇出线的宽度相同且厚度不同;所述多条扇出线中长度越长的扇出线所对应的连接辅助线的厚度越大。

[0024] 本申请实施例通过不同厚的连接辅助线来与不同长度的扇出线并联,从而调整该扇出线的均衡性,以保证各个像素单元的充电的时间均衡,可以提高显示的均匀性。

[0025] 第二方面,本申请实施例提供了一种液晶显示面板,包括上述任一项所述的阵列基板。

[0026] 由上可知,本申请实施例通过设置多条连接辅助线,其设置于所述非显示区域,每一所述连接辅助线设置为第一预设长度,所述多条连接辅助线中的每一连接辅助线分别与所述多条扇出线中的一条并联,从而调节每一所述扇出线的等效电阻,使得所述多条扇出线对多个所述像素单元的充电时间均衡,可以提高显示均衡性,提高显示质量。

附图说明

[0027] 为了更清楚地说明本申请实施例的技术方案,下面将对本申请实施例中所需要使用的附图作简单地介绍,应当理解,以下附图仅示出了本申请的某些实施例,因此不应被看作是对范围的限定,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他相关的附图。

[0028] 图1为本申请实施例提供的阵列基板的结构示意图;

[0029] 图2为本申请实施例提供的阵列基板的局部结构示意图;

[0030] 图3为本申请实施例提供的阵列基板的局部剖视结构示意图;以及

[0031] 图4为本申请实施例提供的阵列基板的另一局部结构示意图。

具体实施方式

[0032] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述。显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0033] 在本申请的描述中,需要理解的是,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本申请的描述中,“多条”的含义是两条或两条以上,除非另有明确具体的限定。

[0034] 请参照图1以及图2,该图1为本申请实施例提供的一种阵列基板的结构示意图,图2为该阵列基板的局部结构示意图。该阵列基板包括:基板10、多个像素单元20、多个覆晶薄膜芯片30、多条扇出线40a、多条连接辅助线40b、GOA驱动电路60、多条扫描线70以及多条数据线80。

[0035] 其中,该基板10具有显示区域11以及非显示区域12;该多个像素单元20呈均匀阵列设置于显示区域11;该GOA驱动电路60以及多个覆晶薄膜芯片30设置于该非显示区域12。该多条数据线80以及多条扫描线70纵横交错,界定出多个像素区域,该多个像素单元20分别设置于该多个像素区域。GOA驱动电路60与多条扫描线70连接,该多个覆晶薄膜芯片30通过该多条扇出线40a与该多条数据线80一一对应地连接,从而给对应的像素单元20充电。

[0036] 其中,该多条扇出线40a的长度不相同;每一连接辅助线40b设置为第一预设长度,多条连接辅助线40b中的每一连接辅助线40b分别与所述多条扇出线40a中的一条并联,从而调节每一所述扇出线40a的等效电阻,使得所述多条扇出线40a对多个所述像素单元20的充电时间均衡。

[0037] 请同时参照图3,该基板10上设置有第一金属层401a、第二金属层401b以及位于第一金属层401a和第二金属层401b之间的第一绝缘层402;所述第一金属层401a形成多条扇出线40a,所述第二金属层401b形成多条连接辅助线40b。

[0038] 在一些实施例中,该多条辅助连接线40b与多条扇出线40a中的部分扇出线40a相对应;也即是辅助连接线40b的数量少于该扇出线40a的数量。其中,该第一绝缘层402开设有多个金属化孔4021,每一所述辅助连接线40b通过多个金属化孔4021与对应扇出线40a并联。

[0039] 具体地,该多条扇出线40a包括至少一条第一长度的第一扇出线以及多条第二扇出线,多条第二扇出线的长度不均,多条第二扇出线的长度均大于所述第一扇出线。多条连接辅助线40b与所述多条第二扇出线一一对应地并联,使得每一所述第二扇出线与对应连接辅助线的并联等效电阻等于所述第一扇出线的等效电阻。通过不同长度的连接辅助线来与不同长度的扇出线并联,从而调整该扇出线的均衡性,以保证各个像素单元的充电的时间均衡,可以提高显示的均匀性。

[0040] 在一些实施例中,该多条辅助连接线40b与所述多条扇出线40a中的一一对应,也即是二者数量相同。并且,每一条辅助连接线40b与对应的扇出线40a的局部或整体正对。该

第一绝缘层402开设有多个金属化孔4021,每一所述辅助连接线通过多个金属化孔4021与对应扇出线40a并联。多条扇出线40a的长度不均;多条扇出线40a与所述多条连接辅助线40b一一对应地并联形成多组并联线,所述多组并联线具的等效电阻相同。通过不同长度的连接辅助线来与不同长度的扇出线并联,从而调整该扇出线的均衡性,以保证各个像素单元的充电的时间均衡,可以提高显示的均匀性。

[0041] 在一些实施例中,每一所述连接辅助线40b的长度与对应的扇出线40a的长度相同;所述多个扇出线40a的厚度相同且宽度不同;所述多条扇出线40a中长度越长的扇出线40a所对应的连接辅助线的宽度越大。通过设置不同的宽度,从而使得连接辅助线40b的等效电阻各不相同,通过不同宽度的连接辅助线来与不同长度的扇出线并联,从而调整该扇出线的均衡性,以保证各个像素单元的充电的时间均衡,可以提高显示的均匀性。

[0042] 在一些实施例中,每一所述连接辅助线40b的长度与对应的扇出线40a的长度相同;所述多个扇出线40a的宽度相同且厚度不同,从而使得其等效电阻不同;所述多条扇出线40a中长度越长的扇出线40a所对应的连接辅助线40b的厚度越大。通过不同厚的连接辅助线40b来与不同长度的扇出线40a并联,从而调整该扇出线的均衡性,以保证各个像素单元的充电的时间均衡,可以提高显示的均匀性。

[0043] 可以理解地,在一些实施例中,每一连接辅助线40b的长度、宽度以及厚度均各不相同或者部分不相同,从而达到更好的设置每一连接辅助线的电阻的目的,进而实现对每一扇出线的等效电阻的精确控制,实现对于各个像素单元的充电时间的均衡调整,可以提高显示质量。

[0044] 另外,请参阅图4,图4为本申请实施例提供的阵列基板的另一局部结构示意图。图4所示的阵列基板与图2所示的阵列基板的区别在于,在图4所示的阵列基板中,所述多条扇出线40a中长度越长的扇出线40a所对应的连接辅助线40b的长度越长。

[0045] 具体的,每一所述连接辅助线40b的宽度与对应的扇出线40a的宽度相同;所述多个扇出线40a的厚度相同且长度不同;所述多条扇出线40a中长度越长的扇出线40a所对应的连接辅助线40b的长度越长。通过不同长度的连接辅助线40b来与不同长度的扇出线40a并联,从而调整该扇出线的均衡性,以保证各个像素单元的充电的时间均衡,可以提高显示的均匀性。

[0046] 由上可知,本申请实施例通过设置多条连接辅助线,其设置于所述非显示区域,每一所述连接辅助线设置为第一预设长度,所述多条连接辅助线中的每一连接辅助线分别与所述多条扇出线中的一条并联,从而调节每一所述扇出线的等效电阻,使得所述多条扇出线对多个所述像素单元的充电时间均衡,可以提高显示均衡性,提高显示质量。

[0047] 本申请还提供了一种液晶显示面板,该液晶显示面板包括上述任意实施例中的阵列基板,当然该液晶显示面板还包括彩膜基板以及液晶分子层。该阵列基板与该彩膜基板正对且间隔设置,该液晶分子层夹设在该阵列基板与彩膜基板之间。

[0048] 以上仅为本申请的实施例,并非因此限制本申请的专利范围,凡是利用本申请说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本申请的专利保护范围内。

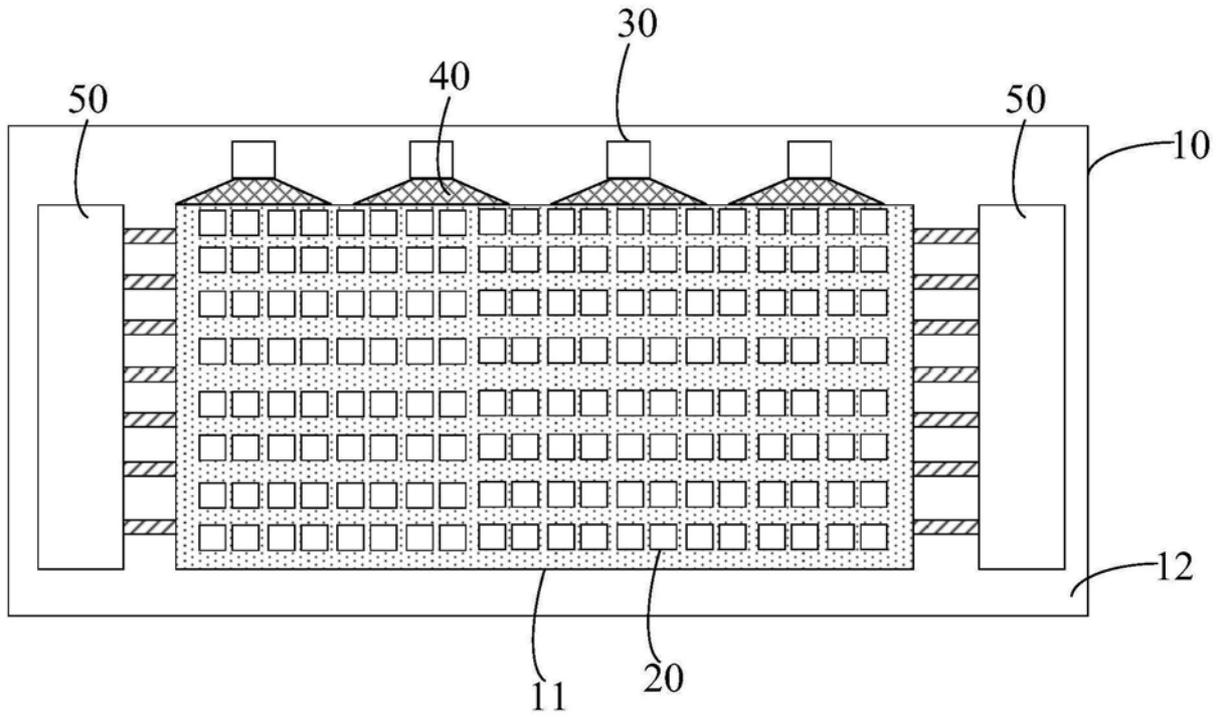


图1

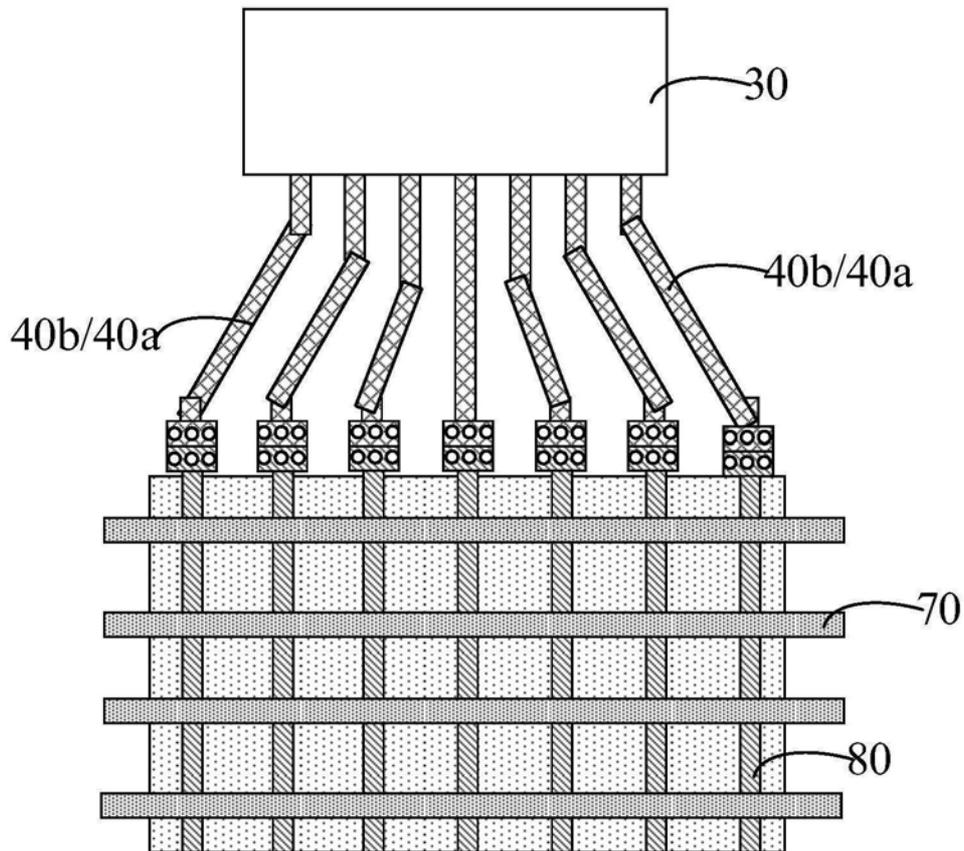


图2

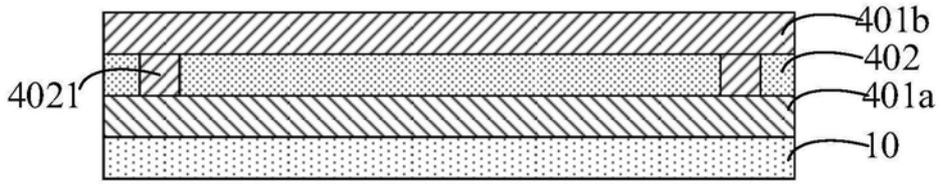


图3

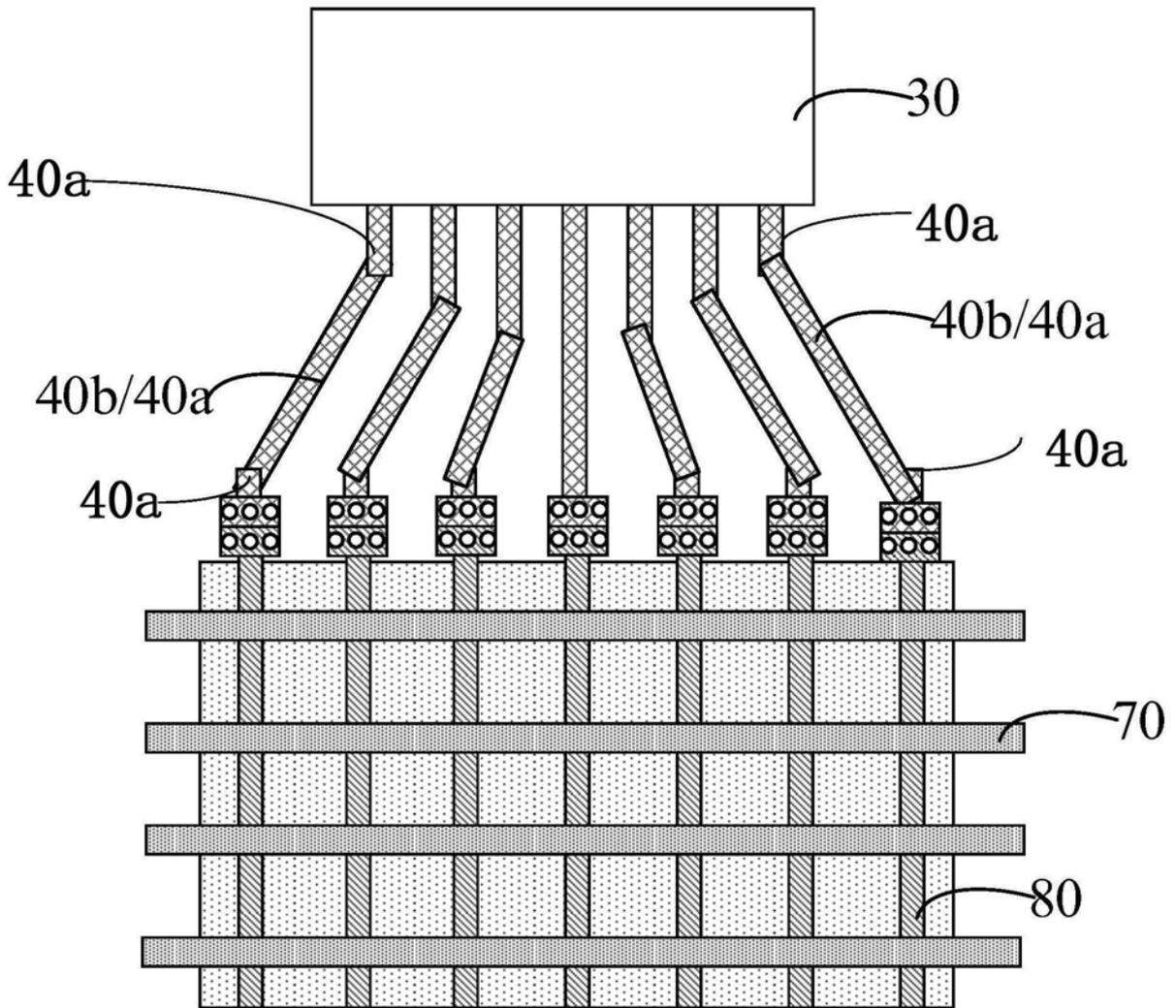


图4

专利名称(译)	阵列基板及液晶显示面板		
公开(公告)号	CN111258132A	公开(公告)日	2020-06-09
申请号	CN202010242474.2	申请日	2020-03-31
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	奚苏萍		
发明人	奚苏萍		
IPC分类号	G02F1/1345 G02F1/1362		
代理人(译)	徐世俊		
外部链接	Espacenet SIPO		

摘要(译)

本申请实施例提供一种阵列基板及液晶显示面板。该阵列基板包括：基板，其具有显示区域以及非显示区域；多个像素单元；多个覆晶薄膜芯片，每一覆晶薄膜芯片通过多条扇出线与多个像素单元连接，多条扇出线的长度不相同；多条连接辅助线，其设置于非显示区域，每一连接辅助线设置为第一预设长度，多条连接辅助线中的每一连接辅助线分别与多条扇出线中的一条并联，从而调节每一扇出线的等效电阻，使得多条扇出线对多个像素单元的充电时间均衡。本申请通过多条连接辅助线中的每一连接辅助线分别与多条扇出线中的一条并联，从而调节每一所述扇出线的等效电阻，使得多条扇出线对多个像素单元的充电时间均衡，可以提高显示均衡性，提高显示质量。

