



(12)发明专利申请

(10)申请公布号 CN 107340656 A

(43)申请公布日 2017. 11. 10

(21)申请号 201710803287.5

(22)申请日 2017.09.08

(71)申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道9-2号

(72)发明人 陈兴武 李泳锐

(74)专利代理机构 深圳市铭粤知识产权代理有限公司 44304

代理人 孙伟峰 顾楠楠

(51) Int. Cl.

G02F 1/1343(2006.01)

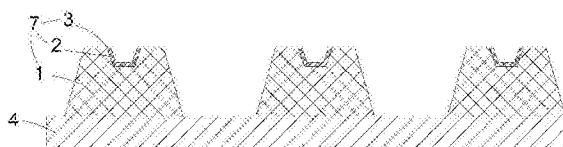
权利要求书1页 说明书4页 附图2页

(54)发明名称

像素电极及制作方法、显示面板

(57)摘要

本发明提供了一种像素电极,形成于阵列基板上,包括透明的凸起结构、形成于凸起结构表面上的凹槽、覆盖于凹槽表面上的电极,所述凹槽设置于凸起结构的顶部上。本发明还提供了一种像素电极的制作方法,包括如下步骤:在阵列基板的表面上制作一透明的膜层,对膜层进行曝光显影形成凸起结构以及在凸起结构的顶部形成凹槽;在凸起结构上制作导电膜层,并对导电膜层进行图案化形成电极,电极覆盖在凹槽的表面上。本发明还提供了一种显示面板,包括所述的像素电极。与现有技术相比,提高显示面板内部电场渗透率,有效提高液晶效率以及提高液晶穿透率。



1. 一种像素电极,形成于阵列基板上,其特征在于:包括透明的凸起结构(1)、形成于凸起结构(1)表面上的凹槽(2)、覆盖于凹槽(2)表面上的电极(3),所述凹槽(2)设置于凸起结构(1)的顶部上。

2. 根据权利要求1所述的像素电极,其特征在于:相邻两个凸起结构(1)之间的间距为0.1-20 μm 。

3. 根据权利要求1所述的像素电极,其特征在于:所述凸起结构(1)的宽度为0.1-20 μm ,高度为0.1-10 μm 。

4. 根据权利要求1所述的像素电极,其特征在于:所述凹槽(2)的宽度为0.05-10 μm ,深度为0.1-10 μm 。

5. 一种像素电极的制作方法,包括形成于阵列基板上的像素电极,其特征在于:所述像素电极采用以下制作方法得到,该制作方法包括如下步骤:

在阵列基板的表面上制作一透明的膜层,对膜层进行曝光显影形成凸起结构(1)以及在凸起结构(1)的顶部形成凹槽(2);

在凸起结构1上制作导电膜层,并对导电膜层进行图案化形成电极3,所述电极(3)覆盖在凹槽(2)的表面上。

6. 根据权利要求1所述的像素电极的制作方法,其特征在于:相邻两个凸起结构(1)之间的间距为0.1-20 μm 。

7. 根据权利要求1所述的像素电极的制作方法,其特征在于:所述凸起结构(1)的宽度为0.1-20 μm ,高度为0.1-10 μm 。

8. 根据权利要求1所述的像素电极的制作方法,其特征在于:所述凹槽(2)的宽度为0.05-10 μm ,深度为0.1-10 μm 。

9. 一种显示面板,其特征在于:包括如权利要求1-4任一项所述的像素电极。

像素电极及制作方法、显示面板

技术领域

[0001] 本发明涉及一种液晶面板技术,特别是一种像素电极及制作方法、显示面板。

背景技术

[0002] 液晶显示器的应用普及以来,其显示品质逐年提高,高色域,高穿透率和高分辨率产品正在给人们带来越来越丰富的视觉享受。液晶面板由红绿蓝三颜色的像素组合实现彩色显示,为防止外界光对液晶面板显示性能影响和像素间混色,每个像素间都会有黑色矩阵进行遮挡。

[0003] 然而,随着液晶显示器分辨率的提高,液晶面板内部像素数量大幅增加,黑色矩阵占据区域也随之增加,导致液晶显示器的开口率会降低,从而导致穿透率大大降低。如何解决高分辨率所带来的穿透率损失,成为了液晶显示器发展的研究重点。

发明内容

[0004] 为克服现有技术的不足,本发明提供一种像素电极及制作方法、显示面板,提高显示面板内部电场渗透率,从而有效提高液晶效率以及提高液晶穿透率。

[0005] 本发明提供了一种像素电极,形成于阵列基板上,包括透明的凸起结构、形成于凸起结构表面上的凹槽、覆盖于凹槽表面上的电极,所述凹槽设置于凸起结构的顶部上。

[0006] 进一步地,相邻两个凸起结构之间的间距为0.1-20um。

[0007] 进一步地,所述凸起结构的宽度为0.1-20um,高度为0.1-10um。

[0008] 进一步地,所述凹槽的宽度为0.05-10um,深度为0.1-10um。

[0009] 本发明还提供了一种像素电极的制作方法,包括形成于阵列基板上的像素电极,所述像素电极采用以下制作方法得到,该制作方法包括如下步骤:

[0010] 在阵列基板的表面上制作一透明的膜层,对膜层进行曝光显影形成凸起结构以及在凸起结构的顶部形成凹槽;

[0011] 在凸起结构上制作导电膜层,并对导电膜层进行图案化形成电极,所述电极覆盖在凹槽的表面上。

[0012] 进一步地,相邻两个凸起结构之间的间距为0.1-20um。

[0013] 进一步地,所述凸起结构的宽度为0.1-20um,高度为0.1-10um。

[0014] 进一步地,所述凹槽的宽度为0.05-10um,深度为0.1-10um。

[0015] 本发明还提供了一种显示面板,包括所述的像素电极。

[0016] 本发明与现有技术相比,通过将像素电极设置为具有凸起结构,在凸起结构上设置凹槽以及在凹槽的表面覆盖电极,从而使像素电极形成立体电极,这样能够提高显示面板内部电场渗透率,有效提高液晶效率以及提高液晶穿透率。

附图说明

[0017] 图1是本发明在阵列基板上制作透明的膜层的示意图;

- [0018] 图2是本发明对透明的膜层进行曝光、显影后形成凸起结构以及凹槽的示意图；
- [0019] 图3是本发明在凸起结构、凹槽以及阵列基板上制作导电层的示意图；
- [0020] 图4是本发明对导电层进行图案化后形成电极的示意图；
- [0021] 图5是本发明穿透率的示意图；
- [0022] 图6是阵列基板的结构示意图。

具体实施方式

[0023] 下面结合附图和实施例对本发明作进一步详细说明。

[0024] 如图4所示,本发明公开了一种像素电极,其形成于阵列基板4的钝化层上,像素电极7包括透明的凸起结构1、形成于凸起结构1表面上的凹槽2、覆盖于凹槽2表面上的电极3,所述凹槽2设置于凸起结构1的顶部上;

[0025] 上述的阵列基板为薄膜晶体管阵列基板(TFT基板),其结构采用现有技术中的TFT阵列基板,如图6所示,至少包括基板400、依次设置于基板上的缓冲层401、有源层402、栅极绝缘层403、栅极404、层间绝缘层405、经层间绝缘层405的过孔以及栅极绝缘层403的过孔与有源层接触的源极406和漏极407、平坦层408、公共电极409、钝化层410;本发明的像素电极7通过电极3经钝化层410过孔以及平坦层408过孔与漏极407接触,具体的接触方式可根据需要进行设置,例如在电极3位于漏极上方的位置处设置一延伸部经钝化层过孔以及平坦层过孔与漏极接触,在此不做具体限定;本发明中薄膜晶体管阵列基板为现有技术,在此不做详细赘述。

[0026] 本发明中凸起结构1的整体形状可根据像素电极的图案进行相应的改变,像素电极的图案由多跟凸起结构1组合形成。

[0027] 如图4所示,凸起结构1的截面形状为梯形、弧形、矩形等,当然,本发明不限于此,还可以为多边形,如五边形等;凸起结构1为透明材料,例如光阻材料、PFA材料(可溶性聚四氟乙烯)、 SiN_x 、 SiO_x 等;凸起结构1的宽度为0.1-20 μm ,高度为0.1-10 μm ,相邻两个凸起结构1之间的间距为0.1-20 μm ;这里需要注意的是,当凸起结构1为梯形、弧形等异形形状时,宽度为0.1-20 μm 表示的为最大宽度,高度为0.1-10 μm 表示的是最大高度。

[0028] 如图4所示,凹槽2的截面形状可以为梯形、弧形、矩形等,当凹槽为梯形时,凹槽的底部宽度小于开口的宽度,形成倒立的梯形;凹槽2的宽度为0.05-10 μm ,深度为0.1-10 μm ;这里值得注意的是,当凹槽2的为梯形或弧形时,前述的宽度为0.05-10 μm 表示的是最大的宽度,深度为0.1-10 μm 表示的是最大的深度。

[0029] 如图4所示,覆盖于凹槽2表面上的电极3具体为,电极3覆盖凹槽2的两侧槽壁以及凹槽底部;电极3为导电材料,例如ITO透明导电膜、石墨烯导电材料等。

[0030] 本发明还公开了一种像素电极的制作方法,包括形成于阵列基板4的钝化层上的像素电极7,所述像素电极采用以下制作方法得到,该制作方法包括如下步骤:

[0031] 如图1所示,在阵列基板4的钝化层的表面上制作一透明的膜层5,具体地,膜层5为透明材料,例如光阻材料、PFA材料(可溶性聚四氟乙烯)、 SiN_x 、 SiO_x 等;可采用化学气相沉积或涂布的方式制作,在此不作具体限定;

[0032] 如图2所示,对膜层5进行曝光显影形成凸起结构1以及在凸起结构1的顶部形成凹槽2;具体地,曝光可分两次进行,第一次曝光为制作凸起结构,第二次曝光为制作凹槽2;当

然本发明不限于此,还可采用多灰阶光罩进行一次曝光制得凸起结构1以及凹槽2,多灰阶光罩包括Half tone Mask(半色调掩膜)或Gray-tone Mask(灰阶掩膜)两种光罩方式,在此不做具体限定;

[0033] 凸起结构1的截面形状为梯形、弧形、矩形等,当然,本发明不限于此,还可以为多边形,如五边形等;凸起结构1的宽度为0.1-20um,高度为0.1-10um,相邻两个凸起结构1之间的间距为0.1-20um;这里需要注意的是,当凸起结构1为梯形、弧形等异形形状时,宽度为0.1-20um表示的为最大宽度,高度为0.1-10um表示的是最大高度;

[0034] 凹槽2的截面形状可以为梯形、弧形、矩形等,当凹槽为梯形时,凹槽的底部宽度小于开口的宽度,形成倒立的梯形;凹槽2的宽度为0.05-10um,深度为0.1-10um;这里值得注意的是,当凹槽2的为梯形或弧形时,前述的宽度为0.05-10um表示的是最大的宽度,深度为0.1-10um表示的是最大的深度;

[0035] 如图3所示,在凸起结构1上制作导电膜层6,具体地,导电膜层6覆盖在裸露的阵列4的表面、凸起结构1以及凹槽2中;导电膜层6的制作可采用真空蒸镀或溅射镀膜的方式进行,在此不作具体限定;

[0036] 如图4所示,对导电膜层6进行图案化形成电极3,所述电极3覆盖在凹槽2的表面上,这里值得注意的是,电极3经钝化层过孔以及平坦层过孔与漏极接触;

[0037] 覆盖于凹槽2表面上的电极3具体为,电极3覆盖凹槽2的两侧槽壁以及凹槽底部;电极3为导电材料,例如ITO透明导电膜、石墨烯导电材料等。

[0038] 在上述的凸起结构1中,其整体形状可根据像素电极的图案进行相应的改变,像素电极的图案由多跟凸起结构1组合形成。

[0039] 本发明还公开了一种显示面板,包括彩色滤光片基板(CF基板)以及阵列基板,还包括形成于阵列基板4的钝化层上的像素电极7,像素电极7包括透明的凸起结构1、形成于凸起结构1表面上的凹槽2、覆盖于凹槽2表面上的电极3,所述凹槽2设置于凸起结构1的顶部上;

[0040] 上述的阵列基板为薄膜晶体管阵列基板(TFT基板),其结构采用现有技术中的TFT阵列基板,至少包括基板、依次设置于基板上的缓冲层、有源层、栅极绝缘层、栅极、层间绝缘层、经层间绝缘层的过孔以及栅极绝缘层的过孔与有源层接触的源极和漏极、平坦层、公共电极、钝化层;本发明的像素电极通过电极3经钝化层过孔以及平坦层过孔与漏极接触(图中未示出),薄膜晶体管阵列基板为现有技术,在此不做详细赘述。

[0041] 本发明中凸起结构1的整体形状可根据像素电极的图案进行相应的改变,像素电极的图案由多跟凸起结构1组合形成。

[0042] 如图4所示,凸起结构1的截面形状为梯形、弧形、矩形等,当然,本发明不限于此,还可以为多边形,如五边形等;凸起结构1为透明材料,例如光阻材料、PFA材料(可溶性聚四氟乙烯)、SiNx、SiOx等;凸起结构1的宽度为0.1-20um,高度为0.1-10um,相邻两个凸起结构1之间的间距为0.1-20um;这里需要注意的是,当凸起结构1为梯形、弧形等异形形状时,宽度为0.1-20um表示的为最大宽度,高度为0.1-10um表示的是最大高度。

[0043] 如图4所示,凹槽2的截面形状可以为梯形、弧形、矩形等,当凹槽为梯形时,凹槽的底部宽度小于开口的宽度,形成倒立的梯形;凹槽2的宽度为0.05-10um,深度为0.1-10um;这里值得注意的是,当凹槽2的为梯形或弧形时,前述的宽度为0.05-10um表示的是最大的

宽度,深度为0.1-10um表示的是最大的深度。

[0044] 如图4所示,覆盖于凹槽2表面上的电极3具体为,电极3覆盖凹槽2的两侧槽壁以及凹槽底部;电极3为导电材料,例如ITO透明导电膜、石墨烯导电材料等。

[0045] 如图5所示,将本发明与现有技术中的常规具有凸起结构的像素电极进行穿透率测试可知,本发明的像素电极在两个电极线之间位置穿透率要明显高于现有技术。

[0046] 本发明通过凸起结构把电极设计到液晶(ceII)中间,提高水平电场,同时采用凹槽设计,维持电极表面积的同时减少了电极上方垂直电场区域宽度,增大电极直接距离(提高开口率)。

[0047] 虽然已经参照特定实施例示出并描述了本发明,但是本领域的技术人员将理解:在不脱离由权利要求及其等同物限定的本发明的精神和范围的情况下,可在此进行形式和细节上的各种变化。

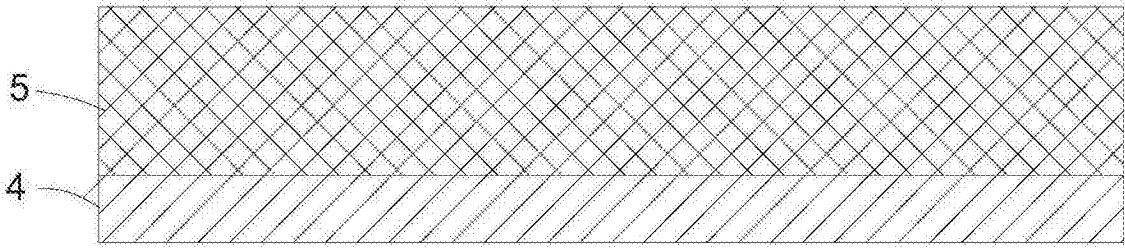


图1

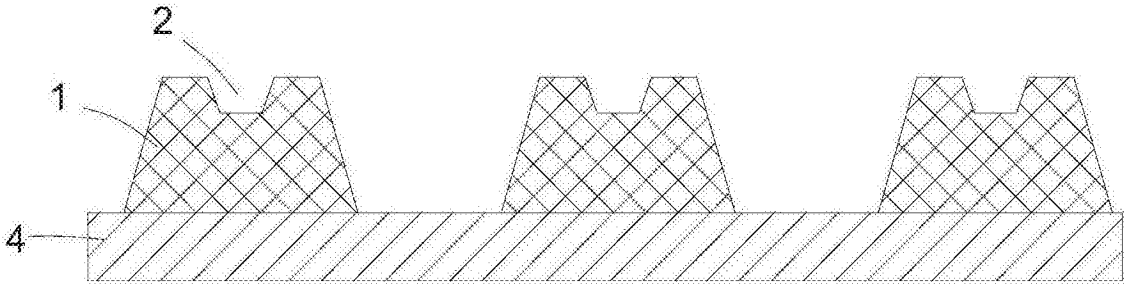


图2

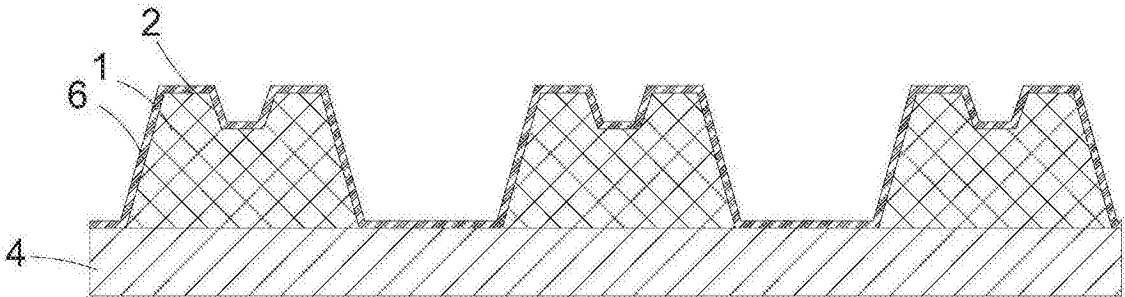


图3

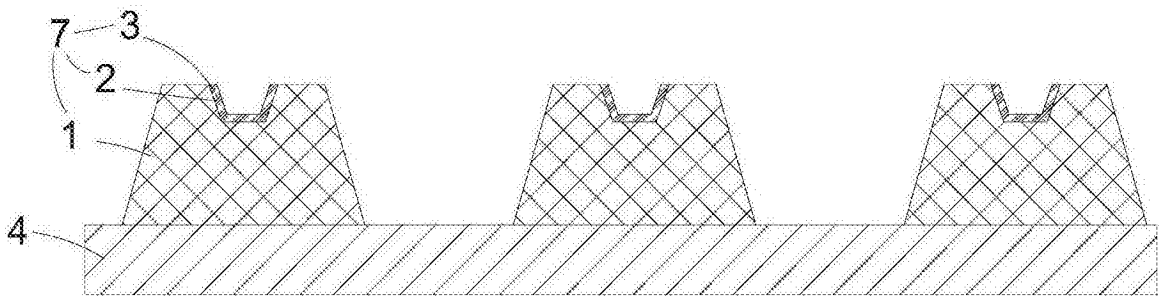


图4

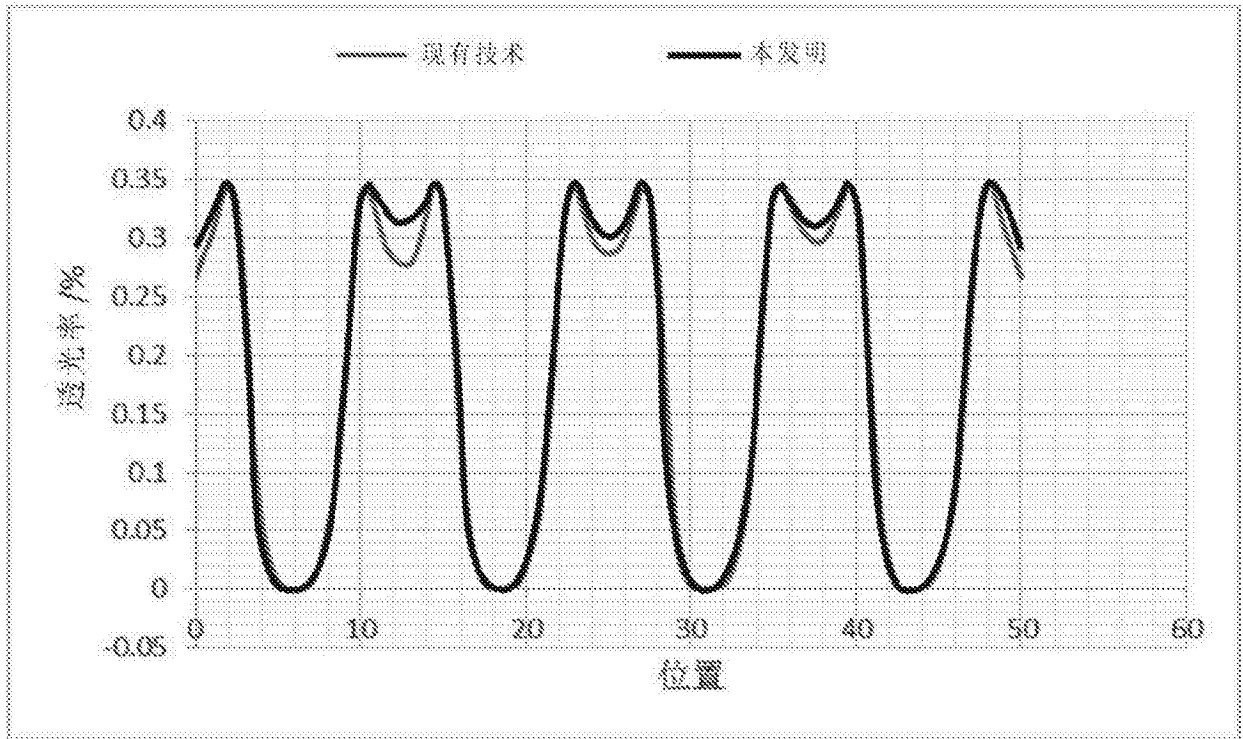


图5

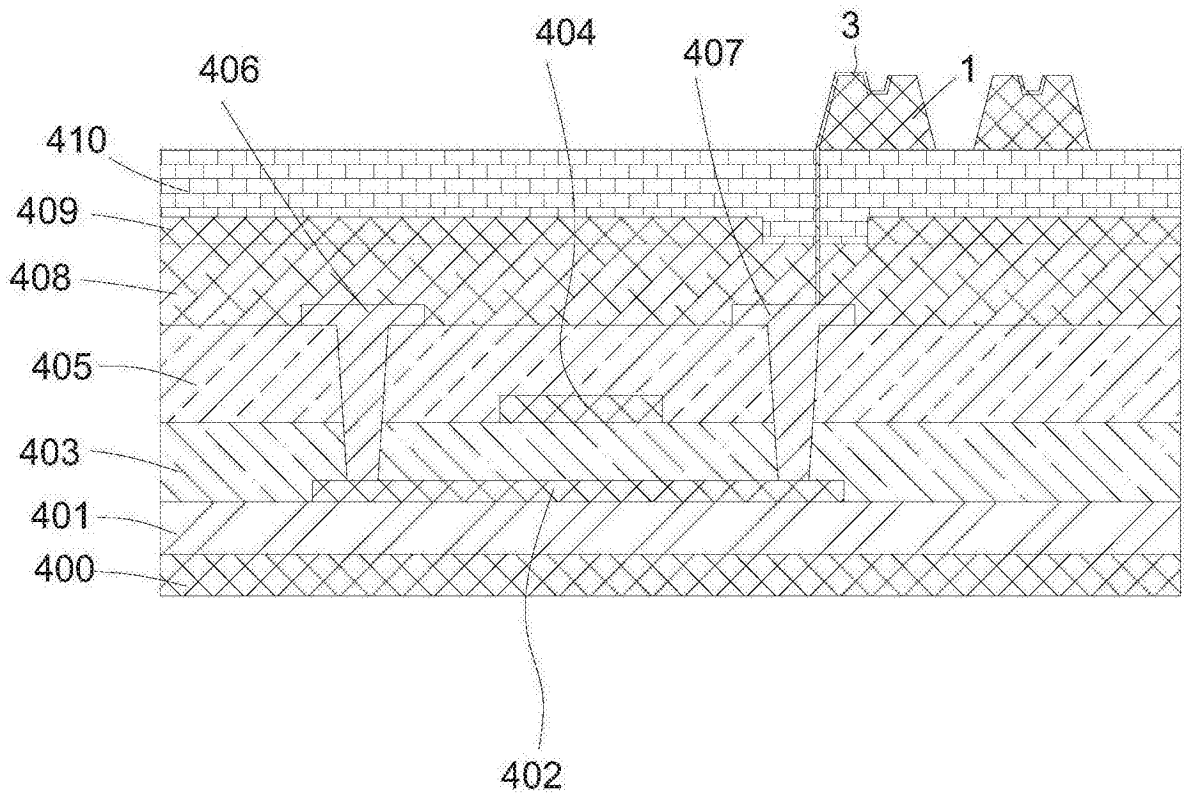


图6

专利名称(译)	像素电极及制作方法、显示面板		
公开(公告)号	CN107340656A	公开(公告)日	2017-11-10
申请号	CN2017110803287.5	申请日	2017-09-08
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	陈兴武 李泳锐		
发明人	陈兴武 李泳锐		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134309 G02F2001/134345		
代理人(译)	孙伟峰		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种像素电极，形成于阵列基板上，包括透明的凸起结构、形成于凸起结构表面上的凹槽、覆盖于凹槽表面上的电极，所述凹槽设置于凸起结构的顶部。本发明还提供了一种像素电极的制作方法，包括如下步骤：在阵列基板的表面上制作一透明的膜层，对膜层进行曝光显影形成凸起结构以及在凸起结构的顶部形成凹槽；在凸起结构上制作导电膜层，并对导电膜层进行图案化形成电极，电极覆盖在凹槽的表面上。本发明还提供了一种显示面板，包括所述的像素电极。与现有技术相比，提高显示面板内部电场渗透率，有效提高液晶效率以及提高液晶穿透率。

