



(12)发明专利申请

(10)申请公布号 CN 111128087 A  
(43)申请公布日 2020.05.08

(21)申请号 201911177600.4

(22)申请日 2019.11.27

(71)申请人 南京中电熊猫平板显示科技有限公司

地址 210033 江苏省南京市栖霞区南京液晶谷天佑路7号

申请人 南京中电熊猫液晶显示科技有限公司  
南京华东电子信息科技股份有限公司

(72)发明人 陈旭 王志军

(51)Int.Cl.  
G09G 3/36(2006.01)

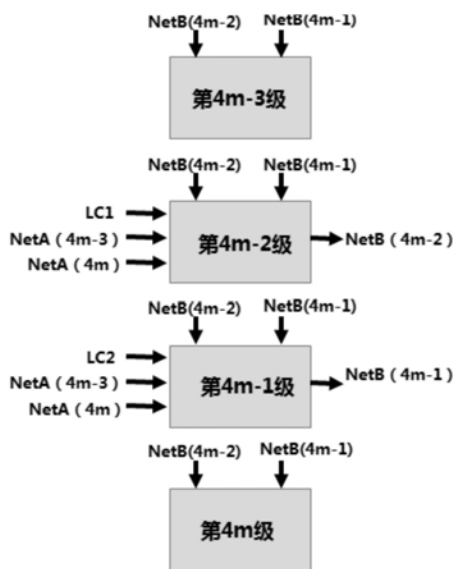
权利要求书3页 说明书9页 附图10页

(54)发明名称

一种栅极扫描驱动电路和液晶显示装置

(57)摘要

本发明提出一种栅极扫描驱动电路和液晶显示装置,涉及液晶面板领域,所述电路包括4m级驱动电路单元,依序设置的4级驱动单元为一个重复单元;其中第4m-2级驱动电路单元和第4m-1级驱动电路单元均含有或非门电路可生成维持信号。第n(4m-3≤n≤4m)级驱动电路单元的维持下拉单元均连接上述两级驱动电路单元的或非门单元生成的维持信号;本发明采用四级驱动单元循环驱动的方式,通过一对互补的低频信号控制两个或非门单元的工作将产生的维持信号交替传输给每一级维持下拉单元使用,提到了使用效率,并起到简化电路、减少电路中薄膜晶体管个数的目的。



1. 一种栅极扫描驱动电路,其特征在于,包括 $4m$ 级驱动电路单元,依序设置的 $4$ 级驱动电路单元为一个重复单元,每个重复单元包括第 $4m-3$ 级驱动电路单元、第 $4m-2$ 级驱动电路单元、第 $4m-1$ 级驱动电路单元和第 $4m$ 级驱动电路单元;

第 $n$ 级驱动电路单元包括上拉控制模块、上拉模块、下拉模块、清空模块以及维持模块;上拉控制模块、上拉模块、下拉模块、清空模块以及维持模块均连接于本级上拉控制节点;下拉模块以及清空模块均输入第一恒压低电平,维持模块同时输入第一恒压低电平和第二恒压低电平;上拉模块和维持模块均连接本级扫描信号线;

其中,第 $4m-2$ 级驱动电路单元的维持模块包括维持下拉单元和第一或非门单元,第 $4m-1$ 级驱动电路单元的维持模块包括维持下拉单元和第二或非门单元,第 $4m-3$ 级驱动电路单元和第 $4m$ 级驱动电路单元的维持模块包括维持下拉单元;

第 $n$ 级驱动电路单元的维持下拉单元均连接第一或非门单元和第二或非门单元;

所述第一或非门单元输入第一低频信号,所述第二或非门单元输入与第一低频信号相位相反的第二低频信号;

其中, $m$ 为正整数, $4m-3 \leq n \leq 4m$ 。

2. 根据权利要求1所述的栅极扫描驱动电路,其特征在于,第一或非门单元的输入端连接第 $4m-3$ 级驱动电路单元的上拉控制节点、第 $4m$ 级驱动电路单元的上拉控制节点以及第一低频信号,第一或非门单元的输出端连接第一维持控制节点;

第二或非门单元的输入端连接第 $4m-3$ 级驱动电路单元的上拉控制节点、第 $4m$ 级驱动电路单元的上拉控制节点以及第二低频信号,第二或非门单元的输出端连接第二维持控制节点。

3. 根据权利要求1所述的栅极扫描驱动电路,其特征在于,所述第 $n$ 级驱动电路单元的维持下拉单元包括第一维持下拉组和第二维持下拉组;第一维持下拉组连接第一或非门单元,第二维持下拉组连接第二或非门单元。

4. 根据权利要求3所述的栅极扫描驱动电路,其特征在于,第一维持下拉组包括第八薄膜晶体管、第十三薄膜晶体管以及第十一薄膜晶体管;

第八薄膜晶体管、第十三薄膜晶体管以及第十一薄膜晶体的控制端均输入第一维持控制节点,第八薄膜晶体的两个通路端分别连接第一恒压低电平和本级上拉控制节点,第十三薄膜晶体的两个通路端分别连接第一恒压低电平和本级级传信号线,第十一薄膜晶体的两个通路端分别连接第二恒压低电平和本级扫描信号线;

第二维持下拉组包括第十八薄膜晶体管、第二十三薄膜晶体管以及第二十一薄膜晶体管;

第十八薄膜晶体管、第二十三薄膜晶体管以及第二十一薄膜晶体的控制端均输入第二维持控制节点,第十八薄膜晶体的两个通路端分别连接第一恒压低电平和本级上拉控制节点,第二十三薄膜晶体的两个通路端分别连接第一恒压低电平和本级级传信号线,第二十一薄膜晶体的两个通路端分别连接第二恒压低电平和本级扫描信号线。

5. 根据权利要求2所述的栅极扫描驱动电路,其特征在于,第 $4m-2$ 级驱动电路单元的第一或非门单元包括第三薄膜晶体管、第五薄膜晶体管和第十五薄膜晶体管;

第三薄膜晶体的控制端和第一通路端均输入第一低频信号,第三薄膜晶体的第二通路端连接第一维持控制节点;

第五薄膜晶体管的控制端连接第4m-3级驱动电路单元的上拉控制节点,第五薄膜晶体管的两个通路端分别连接第一维持控制节点和第一恒压低电平;

第十五薄膜晶体管的控制端连接第4m级驱动电路单元的上拉控制节点,第十五薄膜晶体管的两个通路端分别连接第一维持控制节点和第一恒压低电平。

6. 根据权利要求2所述的栅极扫描驱动电路,其特征在于,第4m-2级驱动电路单元的第一或非门单元包括第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第十五薄膜晶体管、第六薄膜晶体管和第十六薄膜晶体管;

第三薄膜晶体管的控制端和第一通路端均输入第一低频信号,第三薄膜晶体管的第二通路端连接第四薄膜晶体管的控制端;

第四薄膜晶体管的控制端连接第三薄膜晶体管的第二通路端,第四薄膜晶体管的第一通路端连接第一低频信号,第四薄膜晶体管的第二通路端连接第一维持控制节点;

第五薄膜晶体管的控制端连接第4m-3级驱动电路单元的上拉控制节点,第五薄膜晶体管的两个通路端分别连接第四薄膜晶体管的控制端和第一恒压低电平;

第十五薄膜晶体管的控制端连接第4m-3级驱动电路单元的上拉控制节点,第十五薄膜晶体管的两个通路端分别连接第一维持控制节点和第一恒压低电平;

第六薄膜晶体管的控制端连接第4m级驱动电路单元的上拉控制节点,第六薄膜晶体管的两个通路端分别连接第四薄膜晶体管的控制端和第一恒压低电平;

第十六薄膜晶体管的控制端连接第4m级驱动电路单元的上拉控制节点,第十六薄膜晶体管的两个通路端分别连接第一维持控制节点和第一恒压低电平。

7. 根据权利要求2所述的栅极扫描驱动电路,其特征在于,第4m-1级驱动电路单元的第二或非门单元包括第三薄膜晶体管、第五薄膜晶体管和第十五薄膜晶体管;

第三薄膜晶体管的控制端和第一通路端均输入第二低频信号,第三薄膜晶体管的第二通路端连接第二维持控制节点;

第五薄膜晶体管的控制端连接第4m-3级驱动电路单元的上拉控制节点,第五薄膜晶体管的两个通路端分别连接第二维持控制节点和第一恒压低电平;

第十五薄膜晶体管的控制端连接第4m级驱动电路单元的上拉控制节点,第十五薄膜晶体管的两个通路端分别连接第二维持控制节点和第一恒压低电平。

8. 根据权利要求2所述的栅极扫描驱动电路,其特征在于,第4m-1级驱动电路单元的第二或非门单元包括第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第十五薄膜晶体管、第六薄膜晶体管和第十六薄膜晶体管;

第三薄膜晶体管的控制端和第一通路端均输入第二低频信号,第三薄膜晶体管的第二通路端连接第四薄膜晶体管的控制端;

第四薄膜晶体管的控制端连接第三薄膜晶体管的第二通路端,第四薄膜晶体管的第一通路端连接第二低频信号,第四薄膜晶体管的第二通路端连接第二维持控制节点;

第五薄膜晶体管的控制端连接第4m-3级驱动电路单元的上拉控制节点,第五薄膜晶体管的两个通路端分别连接第四薄膜晶体管的控制端和第一恒压低电平;

第十五薄膜晶体管的控制端连接第4m-3级驱动电路单元的上拉控制节点,第十五薄膜晶体管的两个通路端分别连接第二维持控制节点和第一恒压低电平;

第六薄膜晶体管的控制端连接第4m级驱动电路单元的上拉控制节点,第六薄膜晶体管

的两个通路端分别连接第四薄膜晶体管的控制端和第一恒压低电平；

第十六薄膜晶体管的控制端连接第4m级驱动电路单元的上拉控制节点，第十六薄膜晶体管的两个通路端分别连接第二维持控制节点和第一恒压低电平。

9. 根据权利要求1所述的栅极扫描驱动电路，其特征在于，所述上拉控制模块包括第一薄膜晶体管，第一薄膜晶体管的控制端和第一通路端均连接于前两级级传信号线，第一薄膜晶体管的第二通路端连接于本级上拉控制节点。

10. 根据权利要求1所述的栅极扫描驱动电路，其特征在于，所述下拉模块包括第九薄膜晶体管，第九薄膜晶体管的控制端连接后三级级传信号线，第九薄膜晶体管的两个通路端分别连接第一恒压低电平和本级上拉控制节点。

11. 根据权利要求1所述的栅极驱动扫描电路，其特征在于，所述清空模块包括第二薄膜晶体管，第二薄膜晶体管的控制端连接清空信号，第二薄膜晶体管的两个通路端分别连接第一恒压低电平和本级上拉控制节点。

12. 根据权利要求1所述的栅极扫描驱动电路，其特征在于，所述上拉模块包括第十二薄膜晶体管和第十薄膜晶体管，

第十二薄膜晶体管和第十薄膜晶体管的控制端均连接本级上拉控制节点，第十二薄膜晶体管的两个通路端分别连接本级级传信号线和时钟信号，第十薄膜晶体管的两个通路端分别连接本级扫描信号线和时钟信号。

13. 根据权利要求1所述的栅极扫描驱动电路，其特征在于，所述栅极扫描驱动电路还包括第一自举电容，第一自举电容的两个极板分别连接本级上拉控制节点和本级扫描信号线。

14. 一种液晶显示装置，其特征在于，包括上述权利要求1-13任一所述的栅极扫描驱动电路。

15. 根据权利要求14所述的液晶显示装置，其特征在于，当第一恒压低电平和第二恒压低电平相同时，液晶显示装置为氧化物半导体显示装置；当第一恒压低电平小于第二恒压低电平时，液晶显示装置为非晶硅显示装置。

## 一种栅极扫描驱动电路和液晶显示装置

### 技术领域

[0001] 本发明属于液晶面板领域,具体涉及一种栅极扫描驱动电路和液晶显示装置。

### 技术背景

[0002] 基于目前降低制造成本的需求,采用薄膜晶体管制程的栅极扫描驱动电路更多的运用到液晶显示器中。图1为现有技术中栅极驱动电路一的示意图,栅极驱动电路包括上拉控制模块、上拉模块、下拉模块和维持模块。其中维持模块包括反向器单元和维持下拉单元,反向器单元包括反向器A组10和反向器B组20,维持下拉单元包括维持下拉A组和维持下拉B组。该栅极驱动电路通过采用一组互补的低频脉冲信号LC1和LC2对维持模块进行控制,栅极驱动电路的每一级都具有两个反向器组和两个维持下拉组,每个反向器组生成一个维持信号提供给相对应的一个维持下拉组使用。对于本电路而言,其驱动循环方式如图2所示,本级的两个反向器生成的维持信号都提供给了本级的两个维持下拉组。

[0003] 图3现有技术中栅极驱动电路二的示意图,与图1所示的电路图类似,区别在于该电路的维持模块只有一个或非门电路单元用来控制维持下拉A组和维持下拉B组。该电路也采用一组互补的低频脉冲信号LC1和LC2对维持模块进行控制,其驱动循环方式如图4所示,每一级只有一个或非门电路单元,即每一级只能生产一个维持信号,这个生产的维持信号并非给本级使用,而是给前一级和后一级使用,即每一级生产的维持信号在前一级和后一级各使用一次。

[0004] 上述两种栅极扫描驱动电路都是在LC1和LC2的交替控制下实现工作状态、休息状态的相互切换,以确保最大程度上提高维持模块的可靠度,但是上述设计的TFT数量相对较多,对驱动电路而言还是存在相当大的负担。

### 发明内容

[0005] 本发明的目的在于提供一种栅极扫描驱动电路和液晶显示装置,通过采用4级驱动电路单元循环的低频驱动方式,简化栅极扫描驱动电路。

[0006] 本发明的技术方案如下:

[0007] 本发明公开了一种栅极扫描驱动电路,包括 $4m$  ( $m$ 为正整数)级驱动电路单元,依序设置的4级驱动电路单元为一个重复单元,每个重复单元包括第 $4m-3$ 级驱动电路单元、第 $4m-2$ 级驱动电路单元、第 $4m-1$ 级驱动电路单元和第 $4m$ 级驱动电路单元。

[0008] 第 $n$  ( $4m-3 \leq n \leq 4m$ )级驱动电路单元包括上拉控制模块、上拉模块、下拉模块、清空模块以及维持模块;上拉控制模块、上拉模块、下拉模块、清空模块以及维持模块均连接于本级上拉控制节点;下拉模块以及清空模块均输入第一恒压低电平,维持模块同时输入第一恒压低电平和第二恒压低电平;上拉模块和维持模块均连接本级扫描信号线。

[0009] 其中,第 $4m-2$ 级驱动电路单元的维持模块包括维持下拉单元和第一或非门单元,第 $4m-1$ 级驱动电路单元的维持模块包括维持下拉单元和第二或非门单元,第 $4m-3$ 级驱动电路单元和第 $4m$ 级驱动电路单元的维持模块包括维持下拉单元。

- [0010] 第n级驱动电路单元的维持下拉单元均连接第一或非门单元和第二或非门单元。
- [0011] 所述第一或非门单元输入第一低频信号,所述第二或非门单元输入与第一低频信号相位相反的第二低频信号。
- [0012] 优选地,第一或非门单元的输入端连接第4m-3级驱动电路单元的上拉控制节点、第4m级驱动电路单元的上拉控制节点以及第一低频信号,第一或非门单元的输出端连接第一维持控制节点。
- [0013] 第二或非门单元的输入端连接第4m-3级驱动电路单元的上拉控制节点、第4m级驱动电路单元的上拉控制节点以及第二低频信号,第二或非门单元的输出端连接第二维持控制节点。
- [0014] 优选地,所述第n级驱动电路单元的维持下拉单元包括第一维持下拉组和第二维持下拉组;第一维持下拉组连接第一或非门单元,第二维持下拉组连接第二或非门单元。
- [0015] 优选地,第一维持下拉组包括第八薄膜晶体管、第十三薄膜晶体管以及第十一薄膜晶体管。
- [0016] 第八薄膜晶体管、第十三薄膜晶体管以及第十一薄膜晶体的控制端均输入第一维持控制节点,第八薄膜晶体的两个通路端分别连接第一恒压低电平和本级上拉控制节点,第十三薄膜晶体的两个通路端分别连接第一恒压低电平和本级级传信号线,第十一薄膜晶体的两个通路端分别连接第二恒压低电平和本级扫描信号线。
- [0017] 第二维持下拉组包括第十八薄膜晶体管、第二十三薄膜晶体管以及第二十一薄膜晶体管。
- [0018] 第十八薄膜晶体管、第二十三薄膜晶体管以及第二十一薄膜晶体的控制端均输入第二维持控制节点,第十八薄膜晶体的两个通路端分别连接第一恒压低电平和本级上拉控制节点,第二十三薄膜晶体的两个通路端分别连接第一恒压低电平和本级级传信号线,第二十一薄膜晶体的两个通路端分别连接第二恒压低电平和本级扫描信号线。
- [0019] 优选地,第4m-2级驱动电路单元的第一或非门单元包括第三薄膜晶体管、第五薄膜晶体管和第十五薄膜晶体管。
- [0020] 第三薄膜晶体的控制端和第一通路端均输入第一低频信号,第三薄膜晶体的第二通路端连接第一维持控制节点;第五薄膜晶体的控制端连接第4m-3级驱动电路单元的上拉控制节点,第五薄膜晶体的两个通路端分别连接第一维持控制节点和第一恒压低电平;第十五薄膜晶体的控制端连接第4m级驱动电路单元的上拉控制节点,第十五薄膜晶体的两个通路端分别连接第一维持控制节点和第一恒压低电平。
- [0021] 优选地,第4m-2级驱动电路单元的第一或非门单元包括第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第十五薄膜晶体管、第六薄膜晶体管和第十六薄膜晶体管。
- [0022] 第三薄膜晶体的控制端和第一通路端均输入第一低频信号,第三薄膜晶体的第二通路端连接第四薄膜晶体的控制端;第四薄膜晶体的控制端连接第三薄膜晶体的第二通路端,第四薄膜晶体的第一通路端连接第一低频信号,第四薄膜晶体的第二通路端连接第一维持控制节点;第五薄膜晶体的控制端连接第4m-3级驱动电路单元的上拉控制节点,第五薄膜晶体的两个通路端分别连接第四薄膜晶体的控制端和第一恒压低电平;第十五薄膜晶体的控制端连接第4m-3级驱动电路单元的上拉控制节点,第十五薄膜晶体的两个通路端分别连接第一维持控制节点和第一恒压低电平;第六薄膜晶体管

的控制端连接第4m级驱动电路单元的上拉控制节点,第六薄膜晶体管的两个通路端分别连接第四薄膜晶体管的控制端和第一恒压低电平;第十六薄膜晶体管的控制端连接第4m级驱动电路单元的上拉控制节点,第十六薄膜晶体管的两个通路端分别连接第一维持控制节点和第一恒压低电平。

[0023] 优选地,第4m-1级驱动电路单元的第二或非门单元包括第三薄膜晶体管、第五薄膜晶体管和第十五薄膜晶体管。

[0024] 第三薄膜晶体管的控制端和第一通路端均输入第二低频信号,第三薄膜晶体管的第二通路端连接第二维持控制节点;第五薄膜晶体管的控制端连接第4m-3级驱动电路单元的上拉控制节点,第五薄膜晶体管的两个通路端分别连接第二维持控制节点和第一恒压低电平;第十五薄膜晶体管的控制端连接第4m级驱动电路单元的上拉控制节点,第十五薄膜晶体管的两个通路端分别连接第二维持控制节点和第一恒压低电平。

[0025] 优选地,第4m-1级驱动电路单元的第二或非门单元包括第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第十五薄膜晶体管、第六薄膜晶体管和第十六薄膜晶体管。

[0026] 第三薄膜晶体管的控制端和第一通路端均输入第二低频信号,第三薄膜晶体管的第二通路端连接第四薄膜晶体管的控制端;第四薄膜晶体管的控制端连接第三薄膜晶体管的第二通路端,第四薄膜晶体管的第一通路端连接第二低频信号,第四薄膜晶体管的第二通路端连接第二维持控制节点;第五薄膜晶体管的控制端连接第4m-3级驱动电路单元的上拉控制节点,第五薄膜晶体管的两个通路端分别连接第四薄膜晶体管的控制端和第一恒压低电平;第十五薄膜晶体管的控制端连接第4m-3级驱动电路单元的上拉控制节点,第十五薄膜晶体管的两个通路端分别连接第二维持控制节点和第一恒压低电平;第六薄膜晶体管的控制端连接第4m级驱动电路单元的上拉控制节点,第六薄膜晶体管的两个通路端分别连接第四薄膜晶体管的控制端和第一恒压低电平;第十六薄膜晶体管的控制端连接第4m级驱动电路单元的上拉控制节点,第十六薄膜晶体管的两个通路端分别连接第二维持控制节点和第一恒压低电平。

[0027] 优选地,所述上拉控制模块包括第一薄膜晶体管,第一薄膜晶体管的控制端和第一通路端均连接于前两级级传信号线,第一薄膜晶体管的第二通路端连接于本级上拉控制节点。

[0028] 优选地,所述下拉模块包括第九薄膜晶体管,第九薄膜晶体管的控制端连接后三级级传信号线,第九薄膜晶体管的两个通路端分别连接第一恒压低电平和本级上拉控制节点。

[0029] 优选地,所述清空模块包括第二薄膜晶体管,第二薄膜晶体管的控制端连接清空信号,第二薄膜晶体管的两个通路端分别连接第一恒压低电平和本级上拉控制节点。

[0030] 优选地,所述上拉模块包括第十二薄膜晶体管和第十薄膜晶体管。

[0031] 第十二薄膜晶体管和第十薄膜晶体管的控制端均连接本级上拉控制节点,第十二薄膜晶体管的两个通路端分别连接本级级传信号线和时钟信号,第十薄膜晶体管的两个通路端分别连接本级扫描信号线和时钟信号。

[0032] 优选地,所述栅极扫描驱动电路还包括第一自举电容,第一自举电容的两个极板分别连接本级上拉控制节点和本级扫描信号线。

[0033] 本发明还公开了一种液晶显示装置,包括上述的栅极扫描驱动电路。

[0034] 优选地,当第一恒压低电平和第二恒压低电平相同时,液晶显示装置为氧化物半导体显示装置;当第一恒压低电平小于第二恒压低电平时,液晶显示装置为非晶硅显示装置。

[0035] 本发明能够带来以下有益效果:

[0036] 本发明采用四级驱动单元循环驱动的方式,通过一对互补的低频信号控制两个或非门单元的工作将产生的维持信号交替传输给每一级维持下拉单元使用,提到了使用效率,并起到简化电路、减少电路中薄膜晶体管个数的目的。

## 附图说明

[0037] 下面将以明确易懂的方式,结合附图说明优选实施方式,对本发明予以进一步说明。

[0038] 图1是现有技术栅极驱动电路一的示意图;

[0039] 图2是现有技术栅极驱动电路一的驱动循环方式示意图;

[0040] 图3是现有技术栅极驱动电路二的示意图;

[0041] 图4是现有技术栅极驱动电路二的驱动循环方式示意图;

[0042] 图5是本发明栅极扫描驱动电路的四级循环示意图;

[0043] 图6是本发明栅极扫描驱动电路框架示意图;

[0044] 图7是或非门单元工作电位图;

[0045] 图8是本发明栅极扫描驱动电路单元的四级循环的维持模块框架示意图;

[0046] 图9a为本发明第 $4m-3$ 级驱动电路单元示意图;

[0047] 图9b为本发明第 $4m-2$ 级驱动电路单元示意图;

[0048] 图9c为本发明第 $4m-1$ 级驱动电路单元示意图;

[0049] 图9d为本发明第 $4m$ 级驱动电路单元示意图;

[0050] 图10是本发明第一或非门单元的电路示意图;

[0051] 图11是本发明第二或非门单元的电路示意图;

[0052] 图12是本发明第一或非门单元实施例二的电路示意图;

[0053] 图13是本发明第二或非门单元实施例二的电路示意图;

[0054] 图14为本发明栅极扫描驱动电路所采用的驱动波形图。

## 具体实施方式

[0055] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对照附图说明本发明的具体实施方式。显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图,并获得其他的实施方式。

[0056] 为使图面简洁,各图中只示意性地表示出了与本发明相关的部分,它们并不代表其作为产品的实际结构。另外,以使图面简洁便于理解,在有些图中具有相同结构或功能的部件,仅示意性地绘示了其中的一个,或仅标出了其中的一个。在本文中,“一个”不仅表示“仅此一个”,也可以表示“多于一个”的情形。

[0057] 下面以具体实施例详细介绍本发明的技术方案。

[0058] 本发明采用4级驱动电路单元重复循环的低频驱动方式,利用互为反相的第一低频信号LC1和第二低频信号LC2对维持模块进行控制。图5是本发明栅极扫描驱动电路的四级重复循环示意图,如图5所示,在4级驱动电路单元中,只有中间两级驱动电路单元含有或非门电路可生成维持信号,维持信号可被这4级驱动电路单元的维持模块使用。

[0059] 本发明提供一种栅极扫描驱动电路,其电路框架示意图如图6所示,包括 $4m$  ( $m$ 为正整数)级驱动电路单元,依序设置的4级驱动电路单元为一个重复单元,每个重复单元包括第 $4m-3$ 级驱动电路单元、第 $4m-2$ 级驱动电路单元、第 $4m-1$ 级驱动电路单元和第 $4m$ 级驱动电路单元,其中第 $4m-2$ 级驱动电路单元和第 $4m-1$ 级驱动电路单元含有或非门电路可生成维持信号。

[0060] 第 $n$  ( $4m-3 \leq n \leq 4m$ )级驱动电路单元包括上拉控制模块01、上拉模块02、下拉模块03、清空模块04以及维持模块05。

[0061] 上拉控制模块01、上拉模块02、下拉模块03、清空模块04以及维持模块05均连接于本级上拉控制节点 $netAn$ ;下拉模块03以及清空模块04均输入第一恒压低电平VSS1,维持模块05同时输入第一恒压低电平VSS1和第二恒压低电平VSS2;上拉模块02和维持模块05均连接本级扫描信号线 $Gn$ 。

[0062] 其中,栅极扫描驱动电路中输入的两个恒压低电平可以设置为一致也可以不一致。当设置成一致时,适用于氧化物半导体显示装置;当设置成不一致时且第二恒压低电平VSS2大于第一恒压低电平VSS1时适用于非晶硅显示装置,例如第二恒压低电平VSS2=-5V,第一恒压低电平VSS1=-10V。

[0063] 对于维持模块05而言,这四级驱动电路单元的维持模块05都包括维持下拉单元052,但只有中间两级驱动电路单元还包括或非门单元051。具体地,第 $4m-2$ 级驱动电路单元的维持模块05包括维持下拉单元052和第一或非门单元051a(如图5所示),第 $4m-1$ 级驱动电路单元的维持模块05包括维持下拉单元052和第二或非门单元051b,前后两级第 $4m-3$ 级驱动电路单元和第 $4m$ 级驱动电路单元的维持模块05只包括维持下拉单元052。

[0064] 维持下拉单元052需要输入维持信号才能工作,为了实现这四级驱动电路单元的循环驱动,第 $n$  ( $4m-3 \leq n \leq 4m$ )级驱动电路单元的维持下拉单元052均连接第一或非门单元051a和第二或非门单元051b,即:第 $4m-3$ 级驱动电路单元的维持下拉单元连接第一或非门单元和第二或非门单元,第 $4m-2$ 级驱动电路单元的维持下拉单元连接第一或非门单元和第二或非门单元,第 $4m-1$ 级驱动电路单元的维持下拉单元连接第一或非门单元和第二或非门单元,第 $4m$ 级驱动电路单元的维持下拉单元连接第一或非门单元和第二或非门单元。

[0065] 每一个或非门电路单元051只产生一个维持信号,在本发明中每四级驱动电路单元都有两个或非门电路单元051,且这两个或非门电路单元051是由一对互为反相的低频信号进行控制,因此本发明的每四级驱动电路单元在每一个时间段都能产生一个维持信号,而每一级的维持下拉单元052只需要一个维持信号进行维持,本发明就是通过一对互补的低频信号控制两个或非门单元051的工作将产生的这两个维持信号交替传输给每一级维持下拉单元052使用,提高了使用效率。

[0066] 所述第一或非门单元051a连接第一低频信号LC1,所述第二或非门单元051b连接与第一低频信号LC1相位相反的第二低频信号LC2。需要说明的是,第一低频信号LC1和第二低频信号LC2为一对互补的低频脉冲信号而并非恒定直流信号,即LC1为高时,LC2为低,反

之亦然。LC1/LC2高电压切换时可选择在一帧的空白时间内,占空比一般为50%,周期可设定为几帧、十几帧或几十帧。只有当第一低频信号LC1或第二低频信号LC2为高电压时,或非门单元051才处于正常工作状态,因此第一或非门单元051a和第二或非门单元051b不可能同时处于工作的状态,即一个时间段内只有一个或非门单元051会输出维持信号提供给维持下拉单元052使用。

[0067] 中间的两级驱动电路单元的两个或非门单元051除了要接入互为反相的低频信号,还需要输入上拉控制节点netA(4m-3)和上拉控制节点netA(4m),再分别输出第一维持控制节点netB(4m-2)和第二维持控制节点netB(4m-1)这两个维持信号用于交替控制这4级驱动电路单元中维持模块05的维持下拉单元052。具体可以为:第一或非门单元051a连接第一低频信号LC1,再输入第4m-3级驱动电路单元的上拉控制节点netA(4m-3)和第4m级驱动电路单元的上拉控制节点netA(4m),输出端连接第一维持控制节点netB(4m-2)。第二或非门单元051b连接第二低频信号LC2,再输入第4m-3级驱动电路单元的上拉控制节点netA(4m-3)和第4m级驱动电路单元的上拉控制节点netA(4m),输出端连接第二维持控制节点netB(4m-1)。或非门单元051输入信号电压和输出信号电压为反相关系,具体关系可见图7,其中或非门单元051包括两个输入信号电压,数字0代表为低电压,1代表为高电压。

[0068] 为便于理解本发明维持模块05的工作原理,下面作进一步说明。如图8所示为栅极扫描驱动电路单元的四级循环的维持模块框架示意图,每个方框代表一级,四级为一个循环,每个方框的左侧为或非门单元的输入信号,方框的右侧为或非门单元的输出信号(即生成的维持信号),方框的上侧为该级维持下拉单元052所需的维持信号。图8中所示为第4m-3级、第4m-2级、第4m-1级和第4m级这四级驱动电路单元,这4级中只有中间的第4m-2和第4m-1级驱动电路单元含有或非门单元051,所以只有这两级的或非门单元051需要接入低频信号LC1或LC2。具体地,第4m-2级驱动电路单元的第一或非门单元051a输入第一低频信号LC1以及上拉控制节点netA(4m-3)和netA(4m),第4m-1级驱动电路单元的第二或非门单元051b输入第二低频信号LC2以及上拉控制节点netA(4m-3)和netA(4m),这样分别生成维持信号第一维持控制节点netB(4m-2)和第二维持控制节点netB(4m-1),这两个维持信号同时供给这4级驱动电路单元交替使用。

[0069] 当第一低频信号LC1为高电压、第二低频信号LC2为低电压时,第4m-2级驱动电路单元的第一或非门单元051a处于工作状态,生成第一维持信号netB(4m-2)用来维持这4级驱动电路单元的维持模块工作;当第二低频信号LC2为高电压、第一低频信号LC1为低电压时,第4m-1级驱动电路单元的第二或非门051b处于工作状态,生成第二维持信号netB(4m-1)用来维持这4级驱动电路单元的维持模块工作。通过第一维持控制节点netB(4m-2)和第二维持控制节点netB(4m-1)这两组维持信号交替控制这四级驱动电路单元中每一级驱动电路单元的维持模块05,可以达到简化电路,减少电路中薄膜晶体管个数的目的。

[0070] 下面以具体实施例详细介绍本发明。

[0071] 图9a-9d分别为本发明栅极扫描驱动电路一个重复单元内的四级驱动电路单元示意图,第n( $4m-3 \leq n \leq 4m$ )级驱动电路单元包括上拉控制模块01、上拉模块02、下拉模块03、清空模块04以及维持模块05。上拉控制模块01、上拉模块02、下拉模块03、清空模块04以及维持模块05均连接于本级上拉控制节点netAn;下拉模块03以及清空模块04均输入第一恒压低电平VSS1,维持模块05同时输入第一恒压低电平VSS1和第二恒压低电平VSS2;上拉模

块02和维持模块05均连接本级扫描信号线Gn。

[0072] 第n级驱动电路单元的维持模块05都包括维持下拉单元052,其中,如图9b和9c所示,第4m-2级驱动电路单元和第4m-1级驱动电路单元的维持模块05还包括或非门单元051。

[0073] 第4m-2级驱动电路单元的第一或非门单元051a的输入端连接第4m-3级驱动电路单元的上拉控制节点netA(4m-3)、第4m级驱动电路单元的上拉控制节点netA(4m)以及第一低频信号LC1,输出端连接第一维持控制节点netB(4m-2)。第4m-1级驱动电路单元的第二或非门单元051b的输入端连接第4m-3级驱动电路单元的上拉控制节点netA(4m-3)、第4m级驱动电路单元的上拉控制节点netA(4m)以及第二低频信号LC2,输出端连接第二维持控制节点netB(4m-1)。

[0074] 所述维持下拉单元052包括第一维持下拉组052a和第二维持下拉组052b;第一维持下拉组052a连接第一或非门单元051a(即第一维持下拉组052a使用第一或非门单元051a输出的维持信号),第二维持下拉组052b连接第二或非门单元051b(即第二维持下拉组052b使用第二或非门单元051b输出的维持信号)。

[0075] 具体地,第一维持下拉组052a包括第八薄膜晶体管M8、第十三薄膜晶体管M13以及第十一薄膜晶体管M11。第八薄膜晶体管M8、第十三薄膜晶体管M13以及第十一薄膜晶体管M11的控制端均输入第一维持控制节点netB(4m-2),第八薄膜晶体管M8的两个通路端分别连接第一恒压低电平VSS1和本级上拉控制节点netAn( $4m-3 \leq n \leq 4m$ ),第十三薄膜晶体管M13的两个通路端分别连接第一恒压低电平VSS1和本级级传信号线Tn,第十一薄膜晶体管M11的两个通路端分别连接第二恒压低电平VSS2和本级扫描信号线Gn。

[0076] 第二维持下拉组052b包括第十八薄膜晶体管M18、第二十三薄膜晶体管M23以及第二十一薄膜晶体管M21。第十八薄膜晶体管M18、第二十三薄膜晶体管M23以及第二十一薄膜晶体管M21的控制端均输入第二维持控制节点netB(4m-1),第十八薄膜晶体管M18的两个通路端分别连接第一恒压低电平VSS1和本级上拉控制节点netAn,第二十三薄膜晶体管M23的两个通路端分别连接第一恒压低电平VSS1和本级级传信号线Tn,第二十一薄膜晶体管M21的两个通路端分别连接第二恒压低电平VSS2和本级扫描信号线Gn。

[0077] 具体地,图10是本发明第一或非门单元的电路示意图,适用于氧化物半导体显示装置。如图10所示,第4m-2级驱动电路单元的第一或非门单元051a包括第三薄膜晶体管M3、第五薄膜晶体管M5和第十五薄膜晶体管M15。

[0078] 第三薄膜晶体管M3的控制端和第一通路端均输入第一低频信号LC1,第三薄膜晶体管M3的第二通路端连接第一维持控制节点netB(4m-2)。第五薄膜晶体管M5的控制端连接第4m-3级驱动电路单元的上拉控制节点netA(4m-3),第五薄膜晶体管M5的两个通路端分别连接第一维持控制节点netB(4m-2)和第一恒压低电平VSS1。第十五薄膜晶体管M15的控制端连接第4m级驱动电路单元的上拉控制节点netA(4m),第十五薄膜晶体管M15的两个通路端分别连接第一维持控制节点netB(4m-2)和第一恒压低电平VSS1。

[0079] 图11是本发明第二或非门单元的电路示意图,如图11所示,第二或非门单元051b和第一或非门单元051a是采用相同的电路架构,区别在于输出的维持信号不同以及输入的低频信号互为反相。具体地,第4m-1级驱动电路单元的第二或非门单元051b包括第三薄膜晶体管M3、第五薄膜晶体管M5和第十五薄膜晶体管M15。

[0080] 第三薄膜晶体管M3的控制端和第一通路端均输入第二低频信号LC2,第三薄膜晶

体管M3的第二通路端连接第二维持控制节点netB(4m-1)。第五薄膜晶体管M5的控制端连接第4m-3级驱动电路单元的上拉控制节点netA(4m-3)，第五薄膜晶体管M5的两个通路端分别连接第二维持控制节点netB(4m-1)和第一恒压低电平VSS1。第十五薄膜晶体管M15的控制端连接第4m级驱动电路单元的上拉控制节点netA(4m)，第十五薄膜晶体管M15的两个通路端分别连接第二维持控制节点netB(4m-1)和第一恒压低电平VSS1。

[0081] 对于第一或非门单元051a和第二或非门单元051b的具体电路架构，本发明提供了另外一种实施例也可以起到相同的电路效果。

[0082] 具体地，图12是本发明第一或非门单元实施例二的电路示意图，适用于非晶硅显示装置。如图12所示，第4m-2级驱动电路单元的第一或非门单元051a包括第三薄膜晶体管M3、第四薄膜晶体管M4、第五薄膜晶体管M5、第十五薄膜晶体管M15、第六薄膜晶体管M6和第十六薄膜晶体管M16。

[0083] 第三薄膜晶体管M3的控制端和第一通路端均输入第一低频信号LC1，第三薄膜晶体管M3的第二通路端连接第四薄膜晶体管M4的控制端。第四薄膜晶体管M4的控制端连接第三薄膜晶体管M3的第二通路端，第四薄膜晶体管M4的第一通路端连接第一低频信号LC1，第四薄膜晶体管M4的第二通路端连接第一维持控制节点netB(4m-2)。第五薄膜晶体管M5的控制端连接第4m-3级驱动电路单元的上拉控制节点netA(4m-3)，第五薄膜晶体管M5的两个通路端分别连接第四薄膜晶体管M4的控制端和第一恒压低电平VSS1。第十五薄膜晶体管M15的控制端连接第4m-3级驱动电路单元的上拉控制节点netA(4m-3)，第十五薄膜晶体管M15的两个通路端分别连接第一维持控制节点netB(4m-2)和第一恒压低电平VSS1。第六薄膜晶体管M6的控制端连接第4m级驱动电路单元的上拉控制节点netA(4m)，第六薄膜晶体管M6的两个通路端分别连接第四薄膜晶体管M4的控制端和第一恒压低电平VSS1。第十六薄膜晶体管M16的控制端连接第4m级驱动电路单元的上拉控制节点netA(4m)，第十六薄膜晶体管M16的两个通路端分别连接第一维持控制节点netB(4m-2)和第一恒压低电平VSS1。

[0084] 图13是本发明第二或非门单元实施例二的电路示意图，如图13所示，第二或非门单元051b和第一或非门单元051a是采用相同的电路架构，区别在于输出的维持信号不同以及输入的低频信号互为反相。具体地，第4m-1级驱动电路单元的第二或非门单元051b包括第三薄膜晶体管M3、第四薄膜晶体管M4、第五薄膜晶体管M5、第十五薄膜晶体管M15、第六薄膜晶体管M6和第十六薄膜晶体管M16。

[0085] 第三薄膜晶体管M3的控制端和第一通路端均输入第二低频信号LC2，第三薄膜晶体管M3的第二通路端连接第四薄膜晶体管M4的控制端。第四薄膜晶体管M4的控制端连接第三薄膜晶体管M3的第二通路端，第四薄膜晶体管M4的第一通路端连接第二低频信号LC2，第四薄膜晶体管M4的第二通路端连接第二维持控制节点netB(4m-1)。第五薄膜晶体管M5的控制端连接第4m-3级驱动电路单元的上拉控制节点netA(4m-3)，第五薄膜晶体管M5的两个通路端分别连接第四薄膜晶体管M4的控制端和第一恒压低电平VSS1。第十五薄膜晶体管M15的控制端连接第4m-3级驱动电路单元的上拉控制节点netA(4m-3)，第十五薄膜晶体管M15的两个通路端分别连接第二维持控制节点netB(4m-1)和第一恒压低电平VSS1。第六薄膜晶体管M6的控制端连接第4m级驱动电路单元的上拉控制节点netA(4m)，第六薄膜晶体管M6的两个通路端分别连接第四薄膜晶体管M4的控制端和第一恒压低电平VSS1。第十六薄膜晶体管M16的控制端连接第4m级驱动电路单元的上拉控制节点netA(4m)，第十六薄膜晶体管M16

的两个通路端分别连接第二维持控制节点netB (4m-1) 和第一恒压低电平VSS1。

[0086] 具体地,如图9a至图9d所示,所述上拉控制模块01包括第一薄膜晶体管M1,第一薄膜晶体管M1的控制端和第一通路端均连接于前两级级传信号线Tn-2,第一薄膜晶体管M1的第二通路端连接于本级上拉控制节点netAn。

[0087] 如图9a至图9d所示,第n级驱动电路单元还包括下拉模块03,具体地,所述下拉模块03包括第九薄膜晶体管M9,第九薄膜晶体管M9的控制端连接后三级级传信号线Tn+3,第九薄膜晶体管M9的两个通路端分别连接第一恒压低电平VSS1和本级上拉控制节点netAn。

[0088] 如图9a至图9d所示,第n级驱动电路单元还包括清空模块04,具体地,所述清空模块04包括第二薄膜晶体管M2,第二薄膜晶体管M2的控制端连接清空信号CLR,第二薄膜晶体管M2的两个通路端分别连接第一恒压低电平VSS1和本级上拉控制节点netAn。

[0089] 如图9a至图9d所示,第n级驱动电路单元还包括上拉模块02,具体地,所述上拉模块02包括第十二薄膜晶体管M12和第十薄膜晶体管M10。第十二薄膜晶体管M12和第十薄膜晶体管M10的控制端均连接本级上拉控制节点netAn,第十二薄膜晶体管M12的两个通路端分别连接本级级传信号线Tn和时钟信号CKn,第十薄膜晶体管M10的两个通路端分别连接本级扫描信号线Gn和时钟信号CKn。

[0090] 如图9a至图9d所示,第n级驱动电路单元还包括第一自举电容C1,第一自举电容C1的两个极板分别连接本级上拉控制节点netAn和本级扫描信号线Gn。

[0091] 本发明还公开了一种液晶显示装置,包括上述的栅极扫描驱动电路。所述液晶显示装置还包括液晶显示基板、分别与液晶显示基板连接的栅极驱动器和源极驱动器以及与所述源极驱动器连接电路板,所述栅极驱动器内设有上述的栅极扫描驱动电路,所述电路板输出低电平、时钟信号、级传信号、清空信号和低频信号至所述栅极扫描驱动电路。

[0092] 此外,当第一恒压低电平和第二恒压低电平相同时,本发明的液晶显示装置为氧化物半导体显示装置;当第一恒压低电平小于第二恒压低电平时,本发明的液晶显示装置为非晶硅显示装置。

[0093] 图14为本发明栅极扫描驱动电路所采用的驱动波形图,图14中采用的是8CK驱动,占空比为25%,但实际驱动电路是采用并不局限于8CK,也可以是大于8CK,如9CK、10CK等)。图14中为了便于理解,将中间两级驱动电路单元的两个或非门单元都设置成处于工作状态,实际电路驱动中两个或非门单元交替处于工作状态。

[0094] 本发明采用四级驱动单元循环驱动的方式,通过一对互补的低频信号控制两个或非门单元的工作将产生的维持信号交替传输给每一级维持下拉单元使用,提到了使用效率,并起到简化电路、减少电路中薄膜晶体管个数的目的。

[0095] 应当说明的是,以上所述仅是本发明的优选实施方式,但是本发明并不限于上述实施方式中的具体细节,应当指出,对于本技术领域的普通技术人员来说,在本发明的技术构思范围内,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,对本发明的技术方案进行多种等同变换,这些改进、润饰和等同变换也应视为本发明的保护范围。

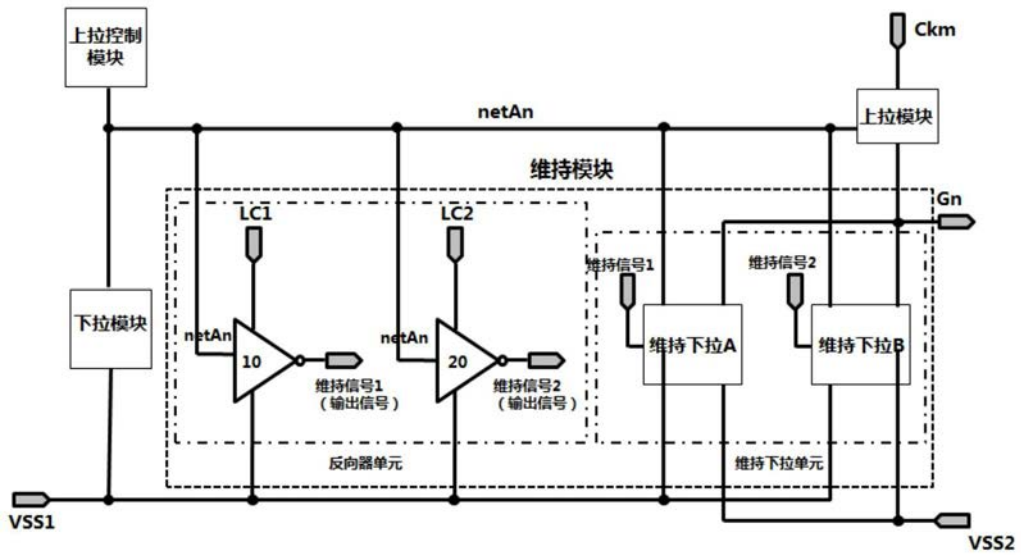


图1

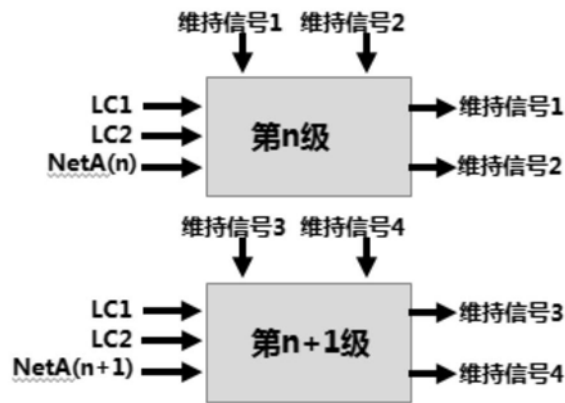


图2

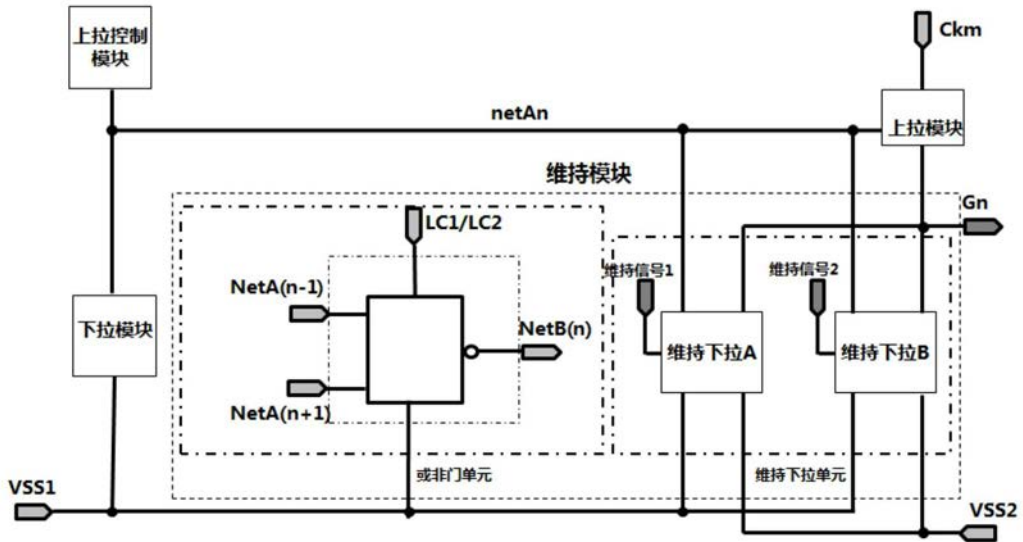


图3

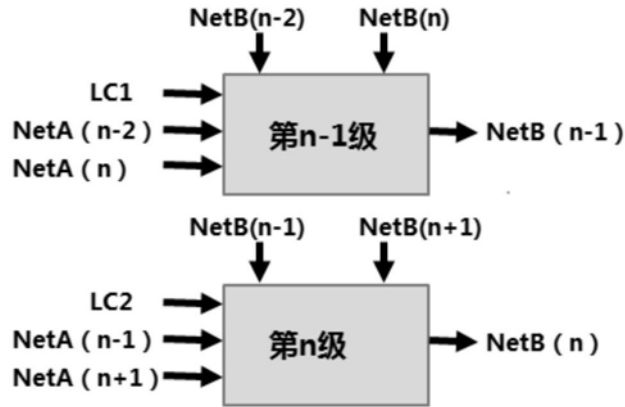


图4

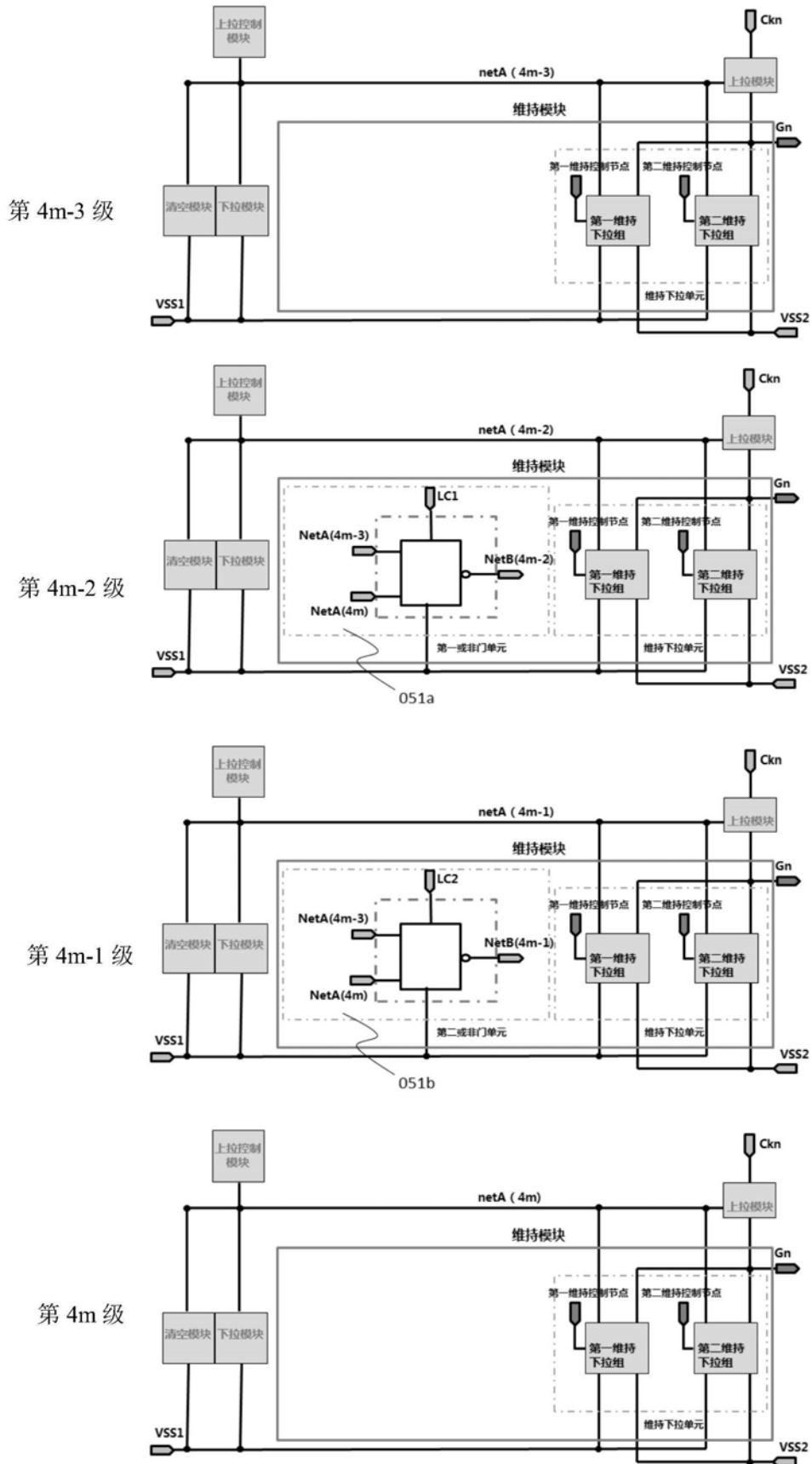


图5

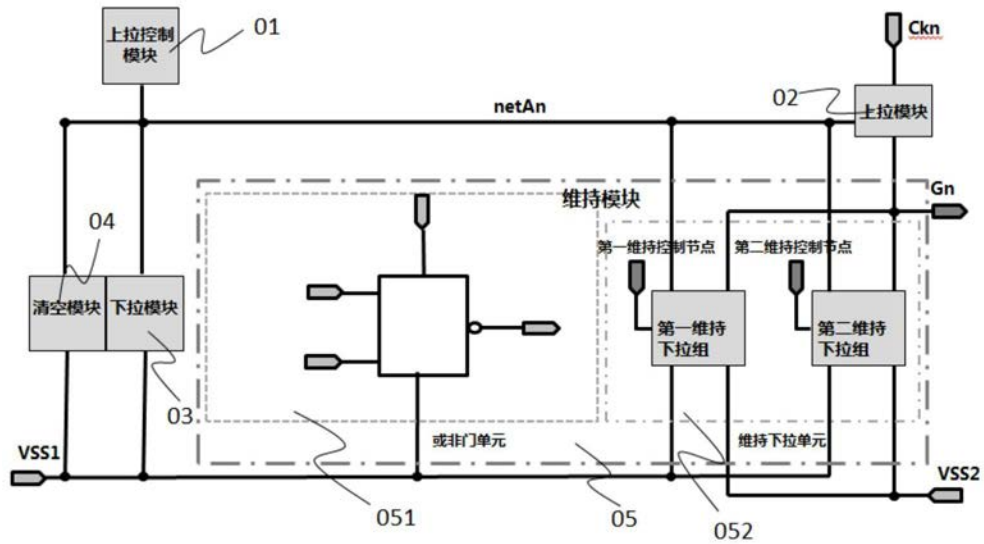


图6

输入信号一	输入信号二	LC状态	输出信号
0	0	1	1
1	0	1	0
0	1	1	0
1	1	1	0
0	0	0	/
1	0	0	0
0	1	0	0
1	1	0	0

图7

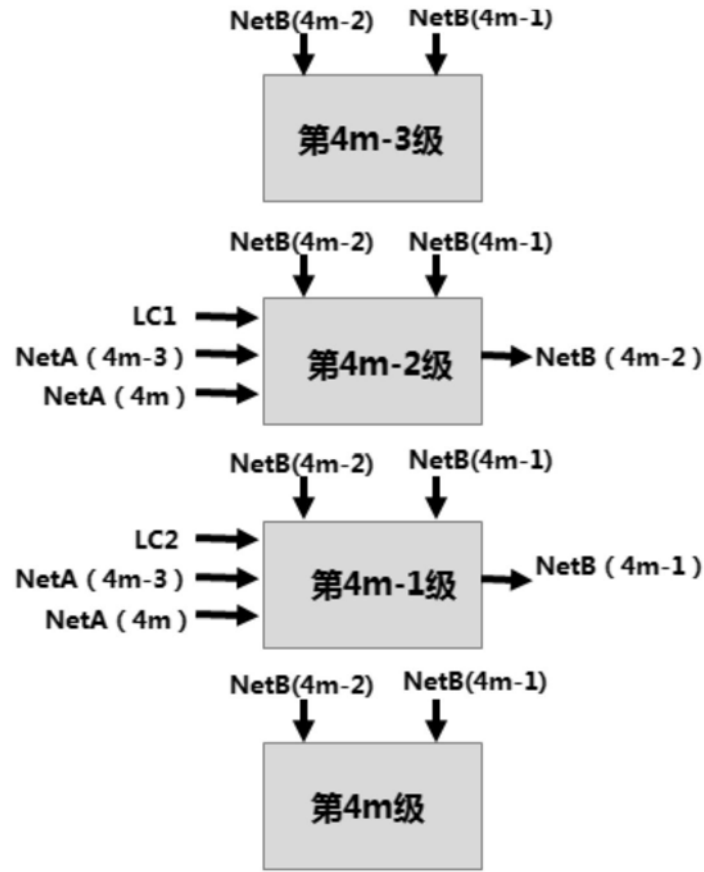


图8

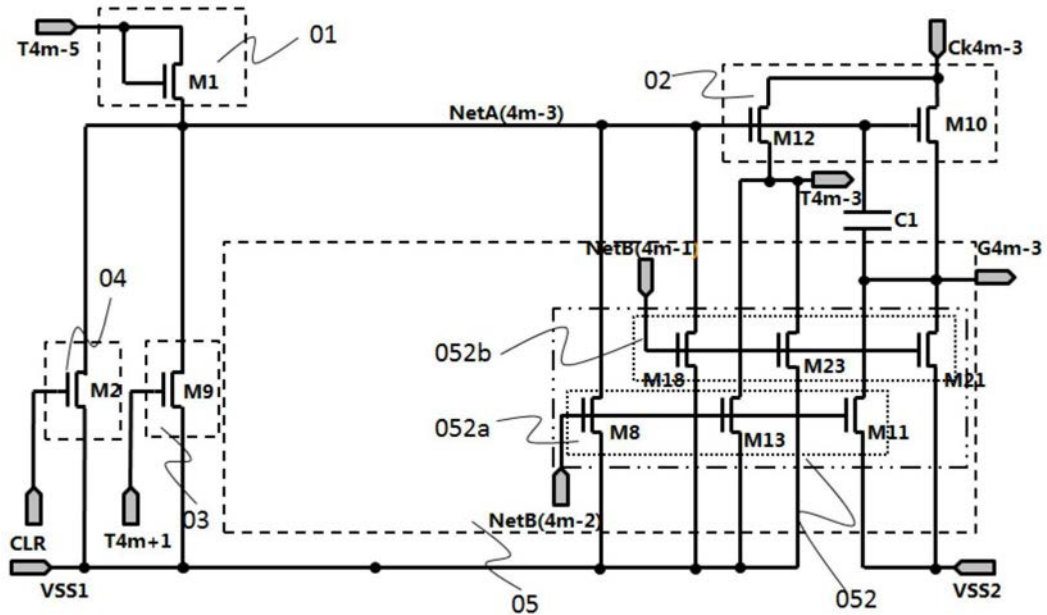


图9a

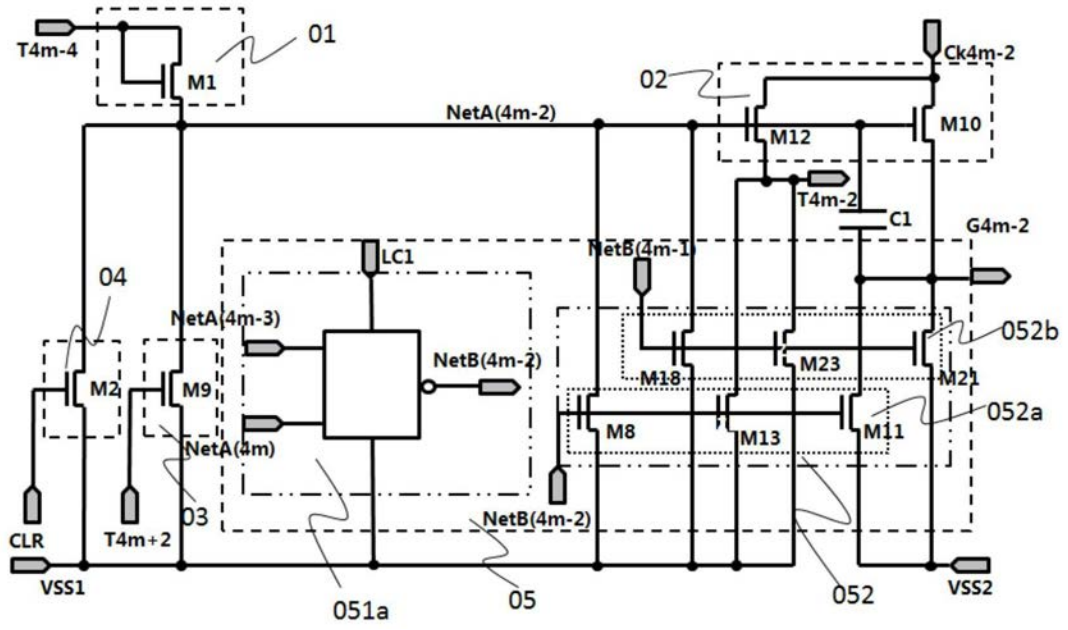


图9b

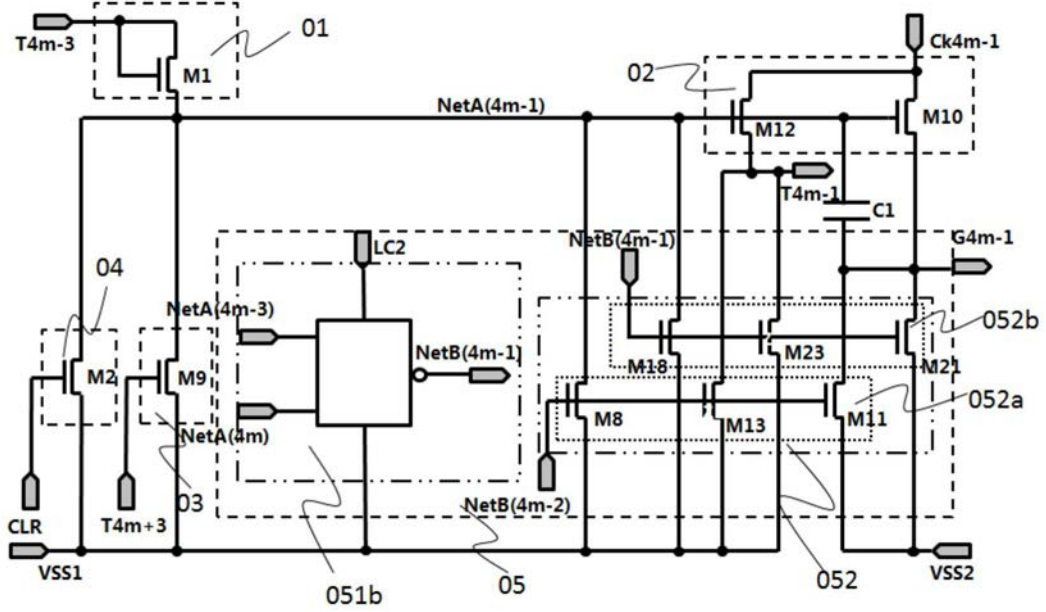


图9c

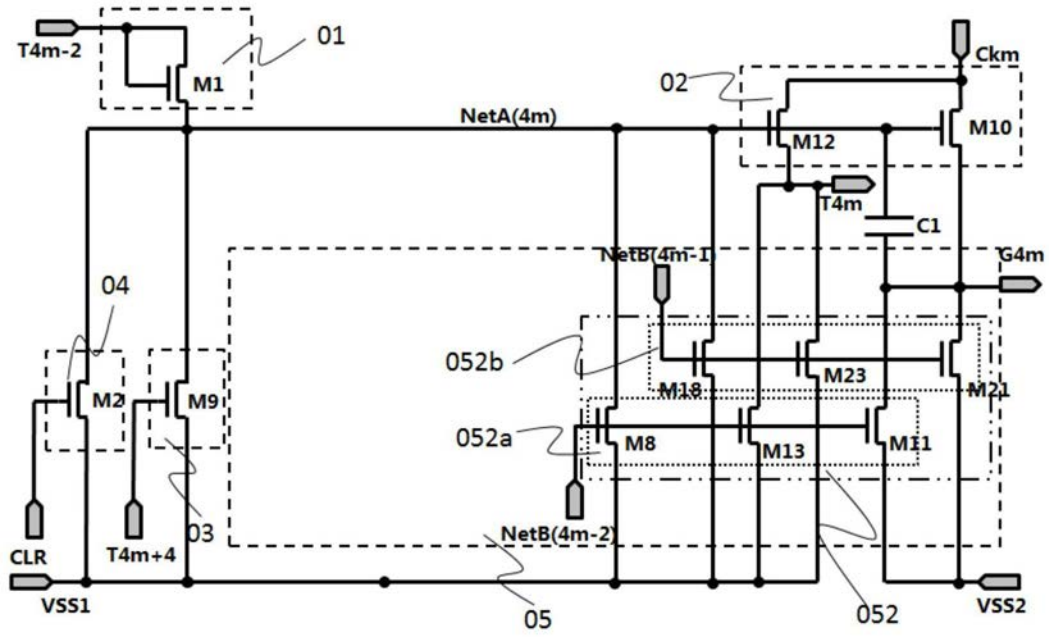


图9d

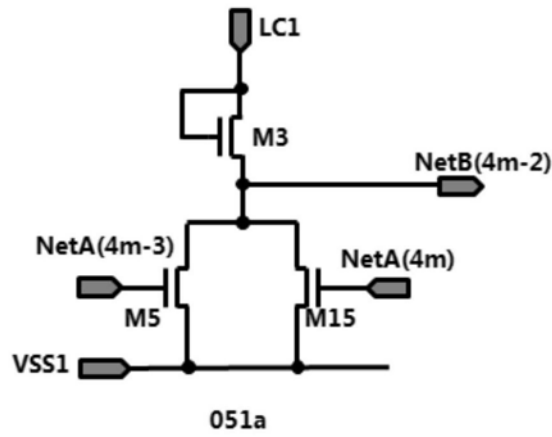


图10

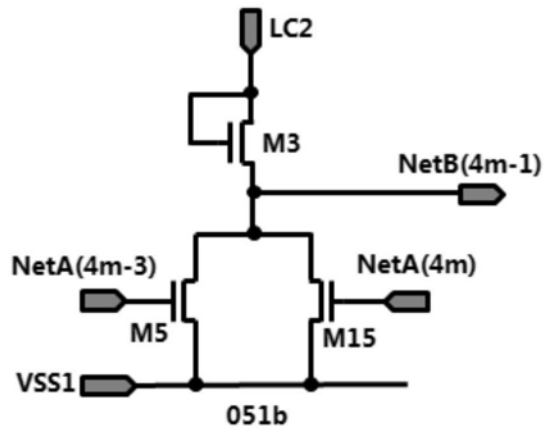


图11

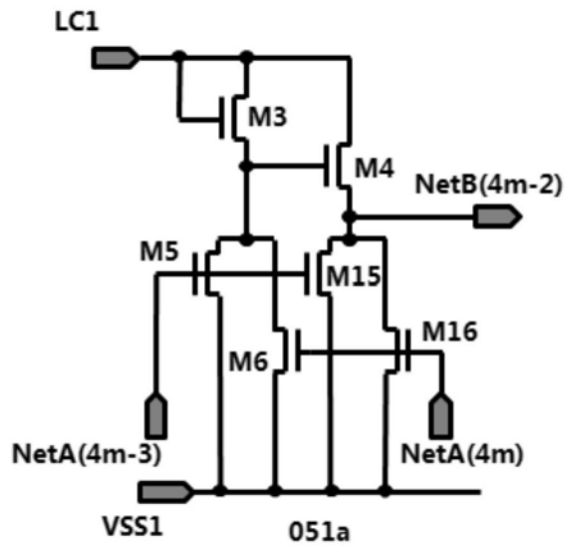


图12

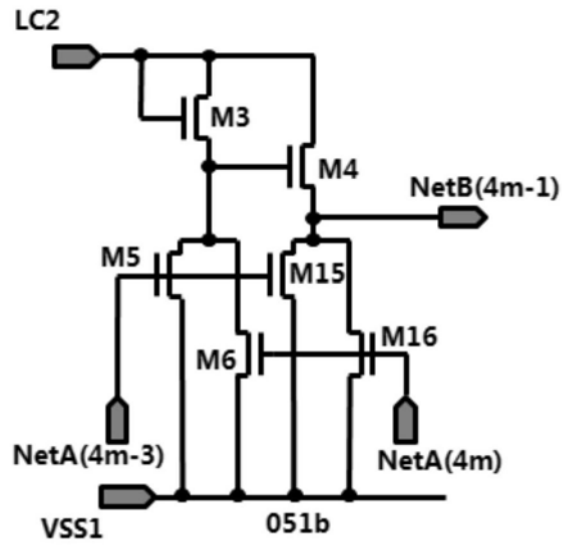


图13

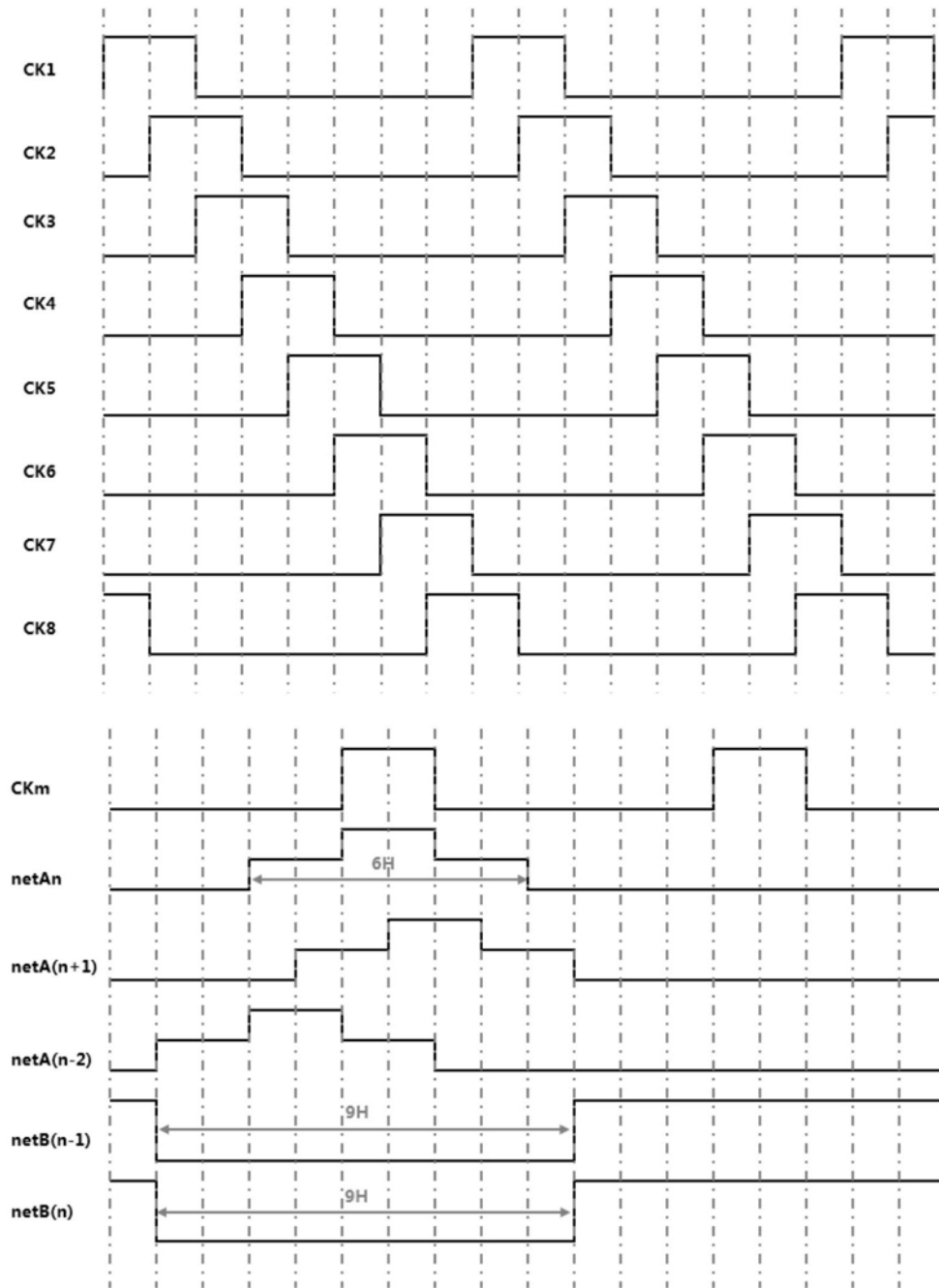


图14

专利名称(译)	一种栅极扫描驱动电路和液晶显示装置		
公开(公告)号	<a href="#">CN111128087A</a>	公开(公告)日	2020-05-08
申请号	CN201911177600.4	申请日	2019-11-27
[标]申请(专利权)人(译)	南京中电熊猫平板显示科技有限公司 南京中电熊猫液晶显示科技有限公司 南京华东电子信息科技股份有限公司		
申请(专利权)人(译)	南京中电熊猫平板显示科技有限公司 南京中电熊猫液晶显示科技有限公司 南京华东电子信息科技股份有限公司		
当前申请(专利权)人(译)	南京中电熊猫平板显示科技有限公司 南京中电熊猫液晶显示科技有限公司 南京华东电子信息科技股份有限公司		
[标]发明人	陈旭 王志军		
发明人	陈旭 王志军		
IPC分类号	G09G3/36		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明提出一种栅极扫描驱动电路和液晶显示装置，涉及液晶面板领域，所述电路包括4m级驱动电路单元，依序设置的4级驱动单元为一个重复单元；其中第4m-2级驱动电路单元和第4m-1级驱动电路单元均含有或非门电路可生成维持信号。第n(4m-3≤n≤4m)级驱动电路单元的维持下拉单元均连接上述两级驱动电路单元的或非门单元生成的维持信号；本发明采用四级驱动单元循环驱动的方式，通过一对互补的低频信号控制两个或非门单元的工作将产生的维持信号交替传输给每一级维持下拉单元使用，提到了使用效率，并起到简化电路、减少电路中薄膜晶体管个数的目的。

