



(12) 实用新型专利

(10) 授权公告号 CN 203054409 U

(45) 授权公告日 2013. 07. 10

(21) 申请号 201320044760. 3

(22) 申请日 2013. 01. 28

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 徐传祥 姚琪 齐永莲 陆金波

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 黄志华

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

H01L 27/12(2006. 01)

(ESM) 同样的发明创造已同日申请发明专利

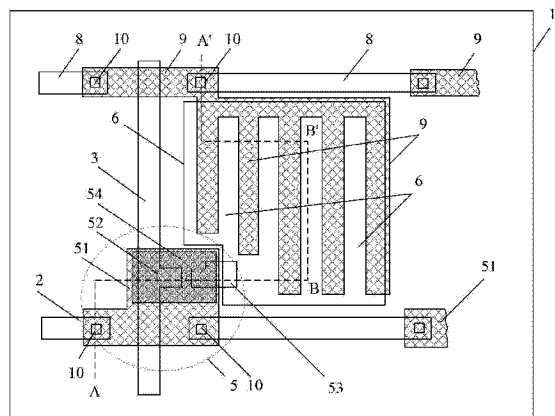
权利要求书1页 说明书5页 附图4页

(54) 实用新型名称

一种阵列基板及液晶显示装置

(57) 摘要

本实用新型公开了阵列基板及液晶显示装置,阵列基板包括一基板,基板上的每个像素单元包括 TFT 开关和像素电极, TFT 开关包括栅电极、源电极、漏电极和半导体层;像素电极、栅电极线、数据线、源电极和漏电极同步形成于基板上;源电极与数据线连接;漏电极的部分区域形成于像素电极之上,该区域与像素电极连接;半导体层形成于源电极和漏电极之间,并与源电极和漏电极连接;半导体层上方形成有栅极绝缘层,栅极绝缘层覆盖基板;栅电极形成于栅极绝缘层之上,栅电极通过过孔与栅电极线连接。该阵列基板具有同步形成的 TFT 的数据线、栅电极线、源电极和漏电极以及一次沉积和刻蚀形成的绝缘层,工艺可控性和良品率高。



1. 一种阵列基板,包括一基板,所述基板上形成有纵横交叉的栅电极线、数据线和像素单元,每个所述像素单元包括薄膜场效应晶体管 TFT 开关和像素电极,所述 TFT 开关包括栅电极、源电极、漏电极和半导体层;其特征在于:

所述像素电极、栅电极线、数据线、源电极和漏电极同步形成于所述基板上;所述源电极与所述数据线连接;所述漏电极的部分区域形成于所述像素电极之上,该区域与所述像素电极连接;所述半导体层形成于所述源电极和所述漏电极之间,并与所述源电极和所述漏电极连接;所述半导体层上方形成有栅极绝缘层,所述栅极绝缘层覆盖所述基板;所述栅电极形成于所述栅极绝缘层之上,所述栅电极通过贯穿所述栅极绝缘层的过孔与所述栅电极线连接。

2. 如权利要求 1 所述的阵列基板,其特征在于,还包括公共电极线,所述公共电极线形成于所述基板上,与所述栅电极线、数据线、源电极和漏电极为同层设置且同步形成。

3. 如权利要求 2 所述的阵列基板,其特征在于,还包括公共电极,所述公共电极形成于所述栅极绝缘层之上;所述公共电极通过贯穿所述栅极绝缘层的过孔与所述公共电极线连接。

4. 如权利要求 3 所述的阵列基板,其特征在于,所述公共电极与所述栅电极为同层设置且同步形成。

5. 如权利要求 1 所述的阵列基板,其特征在于,所述半导体层包括非晶硅半导体层和掺杂非晶硅半导体层,所述非晶硅半导体层位于所述掺杂非晶硅半导体层的下方。

6. 如权利要求 1 所述的阵列基板,其特征在于,所述半导体层包括氧化物层,所述氧化物层为铟氧化物层、锌氧化物层、锡氧化物层或铟镓锌氧化物层中的任一种。

7. 一种液晶显示装置,其特征在于,包括如权利要求 1 至 6 任一项所述的阵列基板。

一种阵列基板及液晶显示装置

技术领域

[0001] 本实用新型涉及液晶显示技术,尤其涉及一种阵列基板及液晶显示装置。

背景技术

[0002] 薄膜场效应晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display, TFT-LCD)由于其具有体积小、功耗低、无辐射等优点,是较为理想的显示设备。近年来, TFT-LCD 在显示领域的应用范围逐步扩大,相关的技术也发展迅速。

[0003] 在现有技术中,高级超维场转换技术 ADS (Advanced Super Dimension Switch) 型 TFT-LCD 主要通过五次构图工艺来完成,其中,薄膜场效应晶体管 TFT 沟道的形成须使用灰色调掩模板。但是,在实际应用中发现,使用灰色调掩模板形成 TFT 沟道图案可控性差,工艺性能不稳定,产品良品率低。

实用新型内容

[0004] 本实用新型的目的是提供一种阵列基板及液晶显示装置该阵列基板具有同步形成的 TFT 的数据线、栅电极线、源电极和漏电极,产品的良品率高。

[0005] 本实用新型的目的是通过以下技术方案实现的:

[0006] 本实用新型实施例提供一种阵列基板,包括一基板,所述基板上形成有纵横交叉的栅电极线、数据线和像素单元,每个所述像素单元包括薄膜场效应晶体管 TFT 开关和像素电极,所述 TFT 开关包括栅电极、源电极、漏电极和半导体层;所述像素电极、栅电极线、数据线、源电极和漏电极同步形成于所述基板上;所述源电极与所述数据线连接;所述漏电极的部分区域形成于所述像素电极之上,该区域与所述像素电极连接;所述半导体层形成于所述源电极和所述漏电极之间,并与所述源电极和所述漏电极连接;所述半导体层上方形成有栅极绝缘层,所述栅极绝缘层覆盖所述基板;所述栅电极形成于所述栅极绝缘层之上,所述栅电极通过贯穿所述栅极绝缘层的过孔与所述栅电极线连接。

[0007] 优选的,还包括公共电极线,所述公共电极线形成于所述基板上,与所述栅电极线、数据线、源电极和漏电极为同层设置且同步形成。

[0008] 优选的,还包括公共电极,所述公共电极形成于所述栅极绝缘层之上;所述公共电极通过贯穿所述栅极绝缘层的过孔与所述公共电极线连接。

[0009] 优选的,所述公共电极与所述栅电极为同层设置且同步形成。

[0010] 优选的,所述半导体层包括非晶硅半导体层和掺杂非晶硅半导体层,所述非晶硅半导体层位于所述掺杂非晶硅半导体层的下方。

[0011] 优选的,所述半导体层包括氧化物层,所述氧化物层为铟氧化物层、锌氧化物层、锡氧化物层或铟镓锌氧化物层中的任一种。

[0012] 本实用新型实施例提供一种液晶显示装置,包括如上所述的阵列基板。

[0013] 本实用新型实施例有益效果如下:阵列基板具有在同一层且同步形成的 TFT 的数据线、栅电极线、源电极和漏电极,源电极和漏电极之间形成有半导体层,由于本实用新

型只进行一次绝缘层形成和刻蚀,可以使公共电极与像素电极之间的绝缘层的厚度可控,工艺性能稳定;且不需要灰色调掩模板,减少了工艺步骤,节约工艺制作时间和成本。

附图说明

[0014] 图 1 为本实用新型实施例一所述阵列基板的局部俯视示意图;

[0015] 图 2 为本实用新型实施例一所述阵列基板根据图 1 中的 AA' 处剖面的展开剖面示意图(BB' 部分省略);

[0016] 图 3A 至图 3D 为本实用新型实施例四所述阵列基板分步制作的局部示意图。

具体实施方式

[0017] 下面结合说明书附图对本实用新型实施例的实现过程进行详细说明。

[0018] 本实用新型实施例一提供一种阵列基板,如图 1 所示阵列基板的俯视图的局部示意图,为了清晰示出阵列基板的各个组成部分,部件间重叠的部分同样以实线示出。该阵列基板包括一基板 1,基板 1 上形成有纵横交叉的栅电极线 2、数据线 3 和像素单元(像素单元未在图 1 中进行标号),每个像素单元包括薄膜场效应晶体管 TFT 开关 5 和像素电极 6,TFT 开关 5 包括栅电极 51、源电极 52、漏电极 53 和半导体层 54;

[0019] 像素电极 6、栅电极线 2、数据线 3、源电极 52 和漏电极 53 形成于基板上 1;源电极 52 与数据线 3 连接;漏电极 53 的部分区域形成于像素电极 6 之上,该区域与像素电极 6 连接;半导体层 54 形成于源电极 52 和漏电极 53 之间,并与源电极 52 和漏电极 53 连接;半导体层 54 上方形成有栅极绝缘层 7(栅极绝缘层 7 在图 1 中未示出),栅极绝缘层 7 覆盖基板 1;栅电极 51 形成于栅极绝缘层 7 之上,栅电极 51 通过贯穿栅极绝缘层 7 的过孔 10 与栅电极线 2 连接。

[0020] 为了更清楚的说明以上结构,由图 1 中所示 AA' 处进行剖面,从而得于如图 2 所示的展开剖面示意图(省略图 1 中所示的 BB' 处剖面),其中包括栅极绝缘层 7,栅极绝缘层 7 覆盖基板 1。

[0021] 优选的,还包括公共电极线 8,公共电极线 8 形成于基板 1 上,与栅电极线 2、数据线 3、源电极 52 和漏电极 53 同层设置且同步形成。

[0022] 优选的,还包括公共电极 9,公共电极 9 形成于栅极绝缘层 7 之上;公共电极 9 通过贯穿栅极绝缘层 7 的过孔 10 与公共电极线 8 连接。

[0023] 优选的,公共电极 9 与栅电极 51 同层设置且同步形成。

[0024] 此外,优选的,半导体层 54 包括非晶硅半导体层和掺杂非晶硅半导体层(非晶硅半导体层和掺杂非晶硅半导体层未在图 1 和图 2 中标注),非晶硅半导体层位于掺杂非晶硅半导体层的下方;或者,

[0025] 优选的,半导体层 54 包括氧化物层,氧化物层为铟氧化物层、锌氧化物层、锡氧化物层或铟镓锌氧化物层等可用作氧化物层的材料中的任意一种。

[0026] 需要注意的是,该基板 1 可以是玻璃基板、石英基板等基于无机材料的衬底基板,也可以是采用有机材料的衬底基板。

[0027] 本实用新型实施例有益效果如下:阵列基板具有在同一层且同步形成的 TFT 的数据线、栅电极线、源电极和漏电极,源电极和漏电极之间形成有半导体层,且绝缘层是由

一次沉积和刻蚀形成的,因此公共电极与像素电极之间的绝缘层的厚度可控,工艺性能稳定;且不需要灰色调掩模板,减少了工艺步骤,节约工艺制作时间和成本。

[0028] 本实用新型实施例二提供一种阵列基板的制造方法,步骤如下:

[0029] 步骤一,提供一基板,在基板上形成第一导电薄膜,通过构图工艺形成包括像素电极的图案。

[0030] 在步骤一中,上述基板可以是玻璃基板、石英基板等基于无机材料的衬底基板,也可以是采用有机材料的衬底基板;

[0031] 上述第一导电薄膜的材料可以是氧化铟锡(ITO)、氧化铟锌(IZO, Indium Zinc Oxide)等。

[0032] 步骤二,在形成上述图案的基板上形成金属薄膜,通过构图工艺形成包括公共电极线、栅电极线、数据线、源电极和漏电极的图案。

[0033] 步骤三,在形成上述图案的基板上形成半导体层薄膜,通过构图工艺形成包括半导体层的图案。

[0034] 步骤四,在形成上述图案的基板上形成栅极绝缘层薄膜,通过构图工艺形成包括栅极绝缘层和过孔的图案;过孔形成于栅绝缘层上对应栅电极线和公共电极线的位置,过孔露出部分栅电极线和公共电极线。

[0035] 步骤五,在形成上述图案的基板上形成第二导电薄膜,通过构图工艺形成包括栅电极和公共电极的图案;栅电极和公共电极分别通过过孔与栅电极线和公共电极线连接。优选的,步骤一:在基板上沉积第一导电薄膜,通过构图工艺形成像素电极的图案,具体包括:

[0036] 在基板上沉积第一导电薄膜。

[0037] 在第一导电薄膜上涂覆光刻胶。

[0038] 采用掩模板对光刻胶进行曝光显影,形成包括光刻胶完全保留区域和光刻胶完全剥离区域的光刻胶图案,光刻胶完全保留区域对应像素电极的图案。

[0039] 刻蚀光刻胶完全剥离区域的第一导电薄膜,形成包括像素电极的图案。

[0040] 剥离光刻胶完全保留区域的光刻胶。

[0041] 优选的,步骤二:在形成上述图案的基板上沉积金属薄膜,通过构图工艺形成包括栅电极线、数据线、源电极和漏电极的图案,包括:

[0042] 在步骤一形成的基板上沉积金属薄膜。

[0043] 在金属薄膜上涂覆光刻胶。

[0044] 采用掩模板对光刻胶进行曝光显影,形成包括光刻胶完全保留区域和光刻胶完全剥离区域的光刻胶图案,光刻胶完全保留区域对应公共电极线、栅电极线、数据线、源电极和漏电极的图案。

[0045] 刻蚀光刻胶完全剥离区域的金属薄膜,形成包括公共电极线、栅电极线、数据线、源电极和漏电极的图案。

[0046] 剥离光刻胶完全保留区域的光刻胶。

[0047] 优选的,步骤三:在形成上述图案的基板上沉积半导体层薄膜,通过构图工艺形成包括半导体层的图案,包括:

[0048] 在步骤二形成的基板上沉积半导体层薄膜。

- [0049] 在半导体层薄膜上涂覆光刻胶。
- [0050] 采用掩模板对光刻胶进行曝光显影,形成包括光刻胶完全保留区域和光刻胶完全剥离区域的光刻胶图案,光刻胶完全保留区域对应半导体层的图案。
- [0051] 刻蚀光刻胶完全剥离区域的半导体层薄膜,形成包括半导体层的图案。
- [0052] 剥离光刻胶完全保留区域的光刻胶。
- [0053] 优选的,半导体层薄膜为非晶硅薄膜或掺杂非晶硅薄膜,其中先沉积非晶硅薄膜,后沉积掺杂非晶硅薄膜。
- [0054] 当然,半导体层薄膜也可以为氧化物薄膜,该氧化物薄膜可以钼氧化物薄膜、锌氧化物薄膜、锡氧化物薄膜或钼镓锌氧化物薄膜等可用作氧化物薄膜的材料薄膜中的任意一种。
- [0055] 优选的,步骤四:在形成上述图案的基板上沉积栅极绝缘层薄膜,通过构图工艺形成包括栅极绝缘层和过孔的图案,包括:
- [0056] 在步骤三形成的基板上沉积栅极绝缘层薄膜。
- [0057] 在栅极绝缘层薄膜上涂覆光刻胶。
- [0058] 采用掩模板对光刻胶进行曝光显影,形成包括光刻胶完全保留区域和光刻胶完全剥离区域的光刻胶图案,光刻胶完全保留区域对应栅极绝缘层和过孔的图案。
- [0059] 刻蚀光刻胶完全剥离区域的栅极绝缘层薄膜,形成包括栅极绝缘层和过孔的图案;
- [0060] 剥离光刻胶完全保留区域的光刻胶。
- [0061] 优选的,步骤五:在形成上述图案的基板上沉积第二导电薄膜,通过构图工艺形成包括栅电极和公共电极的图案,包括:
- [0062] 在步骤四形成的基板上沉积第二导电薄膜。
- [0063] 在第二导电薄膜上涂覆光刻胶。
- [0064] 采用掩模板对光刻胶进行曝光显影,形成包括光刻胶完全保留区域和光刻胶完全剥离区域的光刻胶图案,光刻胶完全保留区域对应栅电极和公共电极的图案。
- [0065] 刻蚀光刻胶完全剥离区域的第二导电薄膜,形成包括栅电极和公共电极的图案。
- [0066] 剥离光刻胶完全保留区域的光刻胶。
- [0067] 优选的,第一导电薄膜和第二导电薄膜为透明导电薄膜。
- [0068] 此外,优选的,在步骤一、二和五中采用湿法刻蚀,在步骤三和步骤四中采用干法刻蚀。
- [0069] 通过在基板的同一层同步形成 TFT 的数据线、栅电极线、源电极和漏电极,在源电极和漏电极之间形成半导体层,由于本实用新型只进行一次绝缘层沉积和刻蚀,可以使公共电极与像素电极之间的绝缘层的厚度可控,工艺性能稳定;且不需要灰色调掩模板,减少了工艺步骤,节约工艺制作时间和成本。
- [0070] 本实用新型实施例三,对本实用新型的阵列基板的制作过程进行详细描述,如图 3A 至图 3D 所示,其中基板未示出。步骤如下:
- [0071] 步骤一,在基板上沉积第一导电薄膜,通过构图工艺形成如图 3A 所示的像素电极 6 的图案。
- [0072] 步骤二,在形成上述图案的基板上沉积金属薄膜,通过构图工艺形成如图 3B 所示

的包括公共电极线 8、栅电极线 2、数据线 3、源电极 52 和漏电极 53 的图案。公共电极线 8、栅电极线 2、数据线 3、源电极 52 和漏电极 53 的图案为同步完成。

[0073] 需要注意的是,数据线 3 与源电极 52 为同步形成的一体结构,源电极 52 为虚线内的所示出的部分。

[0074] 步骤三,在形成上述图案的基板上沉积半导体层薄膜,通过构图工艺形成形成如图 3C 所示的包括半导体层 54 的图案。其中,步骤三中半导体层薄膜为掺杂非晶硅薄膜和非晶硅薄膜;因此需要先沉积所述掺杂非晶硅薄膜,后沉积非晶硅薄膜。

[0075] 需要指出的是,当半导体层薄膜为氧化物薄膜时,只需要一次沉积。

[0076] 步骤四,在形成上述图案的基板上沉积栅极绝缘层薄膜,通过构图工艺形成如图 3D 所示的包括栅极绝缘层 7 (图 3C 中未示出,参考图 2 所示的阵列基板的局部的展开剖面图)和过孔 10 的图案;过孔 10 形成于栅绝缘层 7 上对应栅电极线 2 和公共电极线 8 的位置,过孔 10 露出部分栅电极线 2 和公共电极线 8。

[0077] 步骤五,在形成上述图案的基板上沉积第二导电薄膜,通过构图工艺形成包括栅电极 51 和公共电极 9 的图案(如图 1 所示阵列基板的局部俯视图);其中,栅电极 51 和公共电极 9 分别通过过孔 10 与栅电极线 2 和公共电极线 8 连接。在上述制作过程中,只进行一次绝缘层沉积和刻蚀,可以使公共电极与像素电极之间的绝缘层的厚度可控,工艺性能稳定;且不需要灰色调掩模板,减少了工艺步骤,节约工艺制作时间和成本。

[0078] 需要注意的是,以上各个实施例中涉及的薄膜的形成是以沉积为例进行说明,但并非对本实用新型实施方法的限定。在上述各个实施例中涉及的薄膜的形成可以包括:沉积、涂覆、溅射、打印等方法;所涉及的构图工艺包括:涂覆光刻胶、溅射、蒸镀、曝光显影、刻蚀、灰化和去除光刻胶等操作。

[0079] 本实用新型实施例四提供一种液晶显示装置,包括如上任一所述的阵列基板,该阵列基板包括一基板,基板上形成有纵横交叉的栅电极线、数据线和像素单元,每个像素单元包括薄膜场效应晶体管 TFT 开关和像素电极,TFT 开关包括栅电极、源电极、漏电极和半导体层;像素电极、栅电极线、数据线、源电极和漏电极同步形成于基板上;源电极与数据线连接;漏电极的部分区域形成于像素电极之上,该区域与像素电极连接;半导体层形成于源电极和漏电极之间,并与源电极和漏电极连接;半导体层上方形成有栅极绝缘层,栅极绝缘层覆盖基板;栅电极形成于栅极绝缘层之上,栅电极通过贯穿栅极绝缘层的过孔与栅电极线连接。

[0080] 由于阵列基板具有同步形成的 TFT 的数据线、栅电极线、源电极和漏电极,及一次沉积和刻蚀形成的绝缘层,公共电极与像素电极之间的绝缘层的厚度可控,工艺性能稳定;且不需要灰色调掩模板,减少了工艺步骤,节约工艺制作时间和成本。

[0081] 显然,本领域的技术人员可以对本实用新型进行各种改动和变型而不脱离本实用新型的精神和范围。这样,倘若本实用新型的这些修改和变型属于本实用新型权利要求及其等同技术的范围之内,则本实用新型也意图包含这些改动和变型在内。

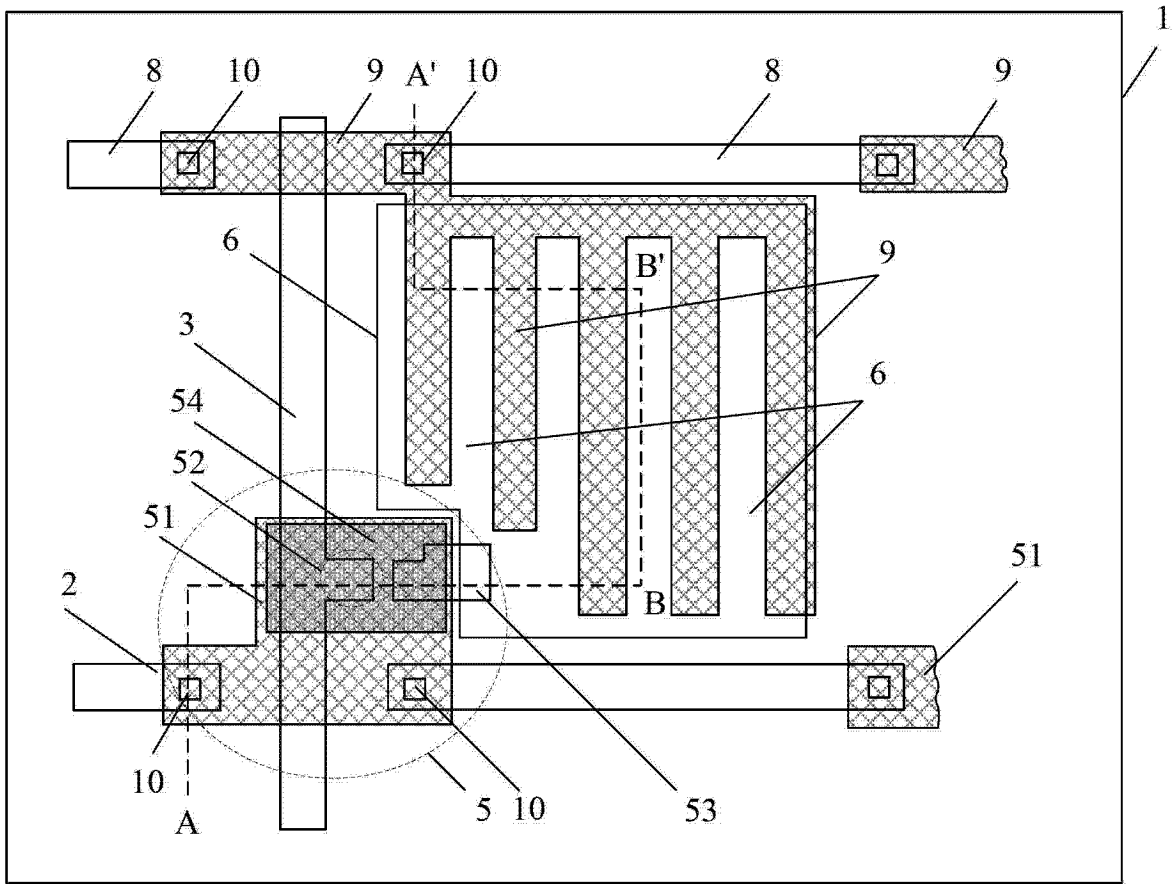


图 1

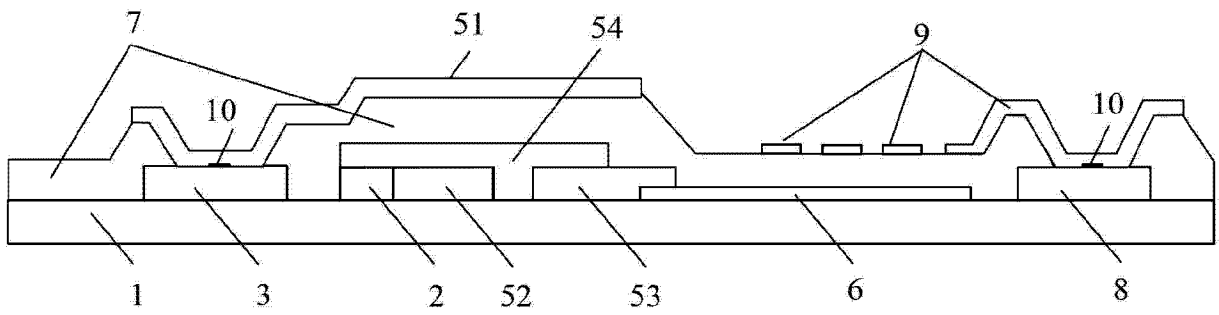


图 2

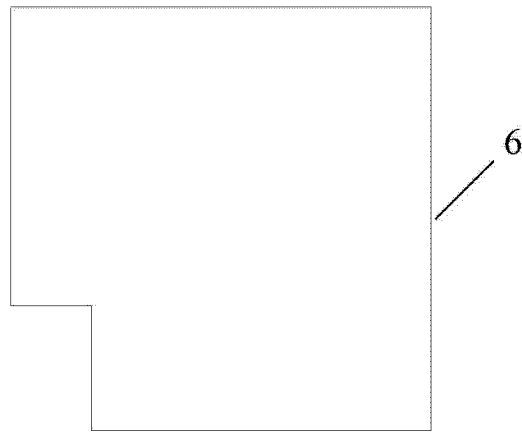


图 3A

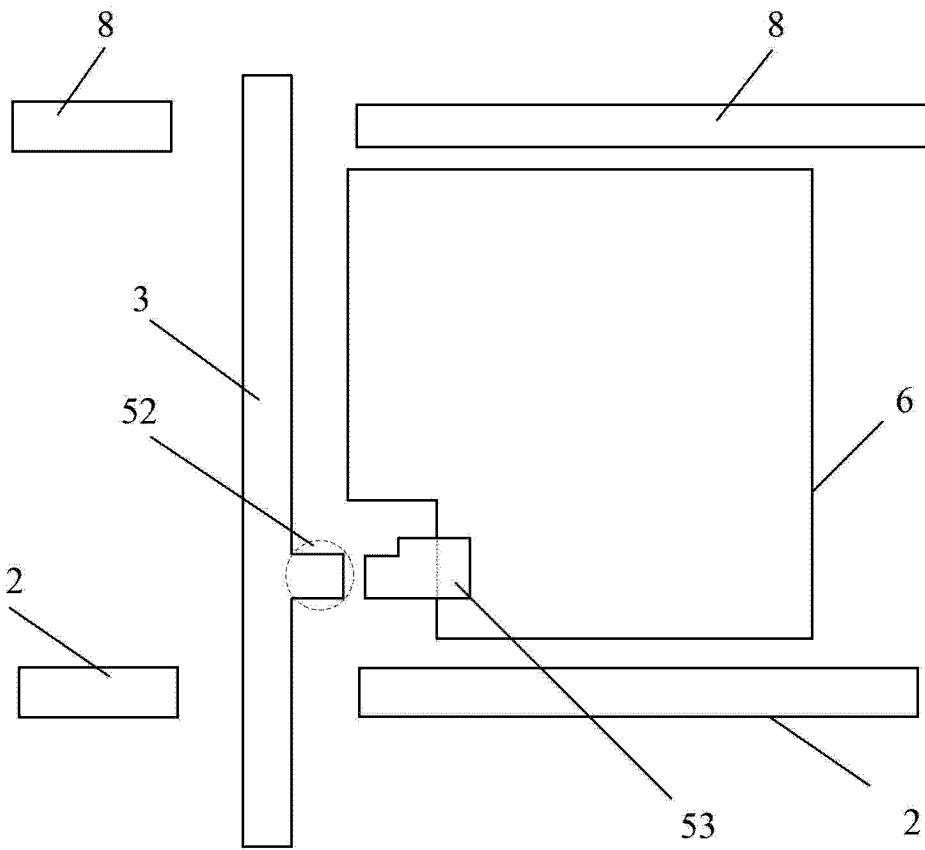


图 3B

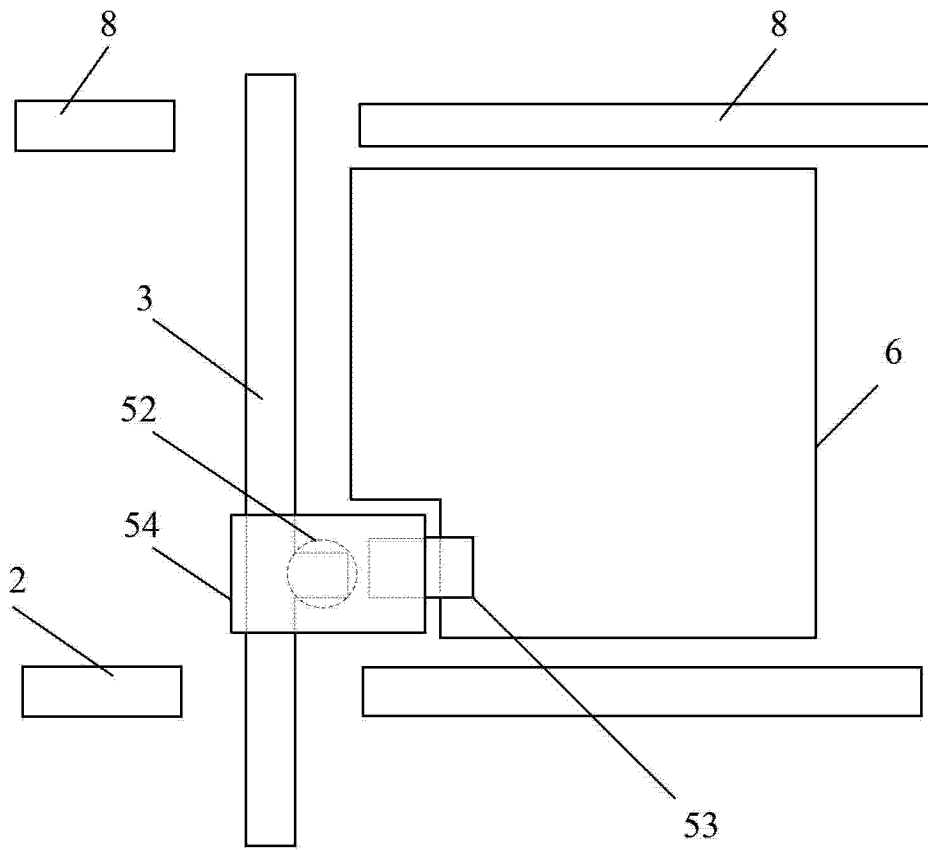


图 3C

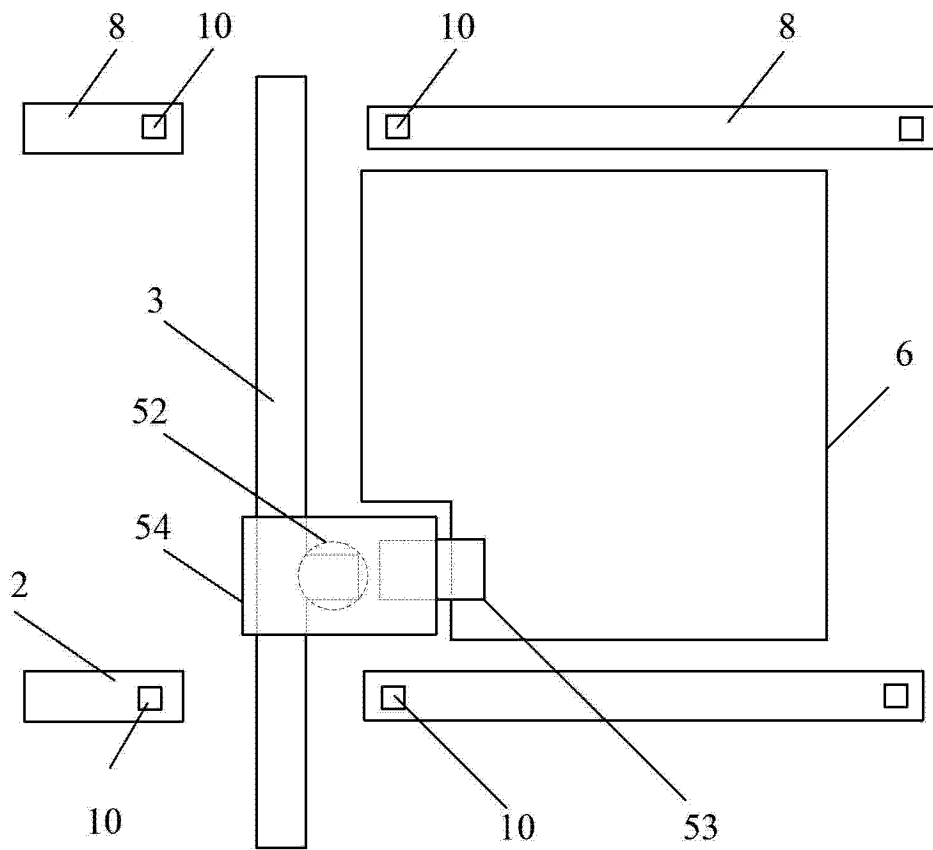


图 3D

专利名称(译)	一种阵列基板及液晶显示装置		
公开(公告)号	CN203054409U	公开(公告)日	2013-07-10
申请号	CN201320044760.3	申请日	2013-01-28
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团有限公司.		
[标]发明人	徐传祥 姚琪 齐永莲 陆金波		
发明人	徐传祥 姚琪 齐永莲 陆金波		
IPC分类号	G02F1/1362 G02F1/1368 H01L27/12		
代理人(译)	黄志华		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型公开了阵列基板及液晶显示装置，阵列基板包括一基板，基板上的每个像素单元包括TFT开关和像素电极，TFT开关包括栅电极、源电极、漏电极和半导体层；像素电极、栅电极线、数据线、源电极和漏电极同步形成于基板上；源电极与数据线连接；漏电极的部分区域形成于像素电极之上，该区域与像素电极连接；半导体层形成于源电极和漏电极之间，并与源电极和漏电极连接；半导体层上方形成有栅极绝缘层，栅极绝缘层覆盖基板；栅电极形成于栅极绝缘层之上，栅电极通过过孔与栅电极线连接。该阵列基板具有同步形成的TFT的数据线、栅电极线、源电极和漏电极以及一次沉积和刻蚀形成的绝缘层，工艺可控性和良品率高。

