



(12) 实用新型专利

(10) 授权公告号 CN 202838921 U

(45) 授权公告日 2013. 03. 27

(21) 申请号 201220525068. 8

(22) 申请日 2012. 10. 12

(73) 专利权人 厦门天马微电子有限公司

地址 361101 福建省厦门市厦门火炬高新区
(翔安) 产业区翔安西路 6999 号

(72) 发明人 周秀峰

(74) 专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 郑玮

(51) Int. Cl.

G09G 3/36(2006. 01)

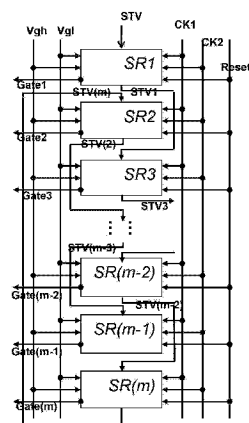
权利要求书 2 页 说明书 6 页 附图 6 页

(54) 实用新型名称

行驱动电路以及薄膜晶体管液晶显示器

(57) 摘要

本实用新型提供了一种行驱动电路以及薄膜晶体管液晶显示器,通过将 m 个移位寄存器分成 a 组,由此可避免实现线反转等像素电平极性反转技术时,频繁的进行反转切换,从而避免了造成薄膜晶体管液晶显示器的功耗增加的问题,进而提高了薄膜晶体管液晶显示器的竞争力。



1. 一种行驱动电路,用于薄膜晶体管液晶显示器,其特征在于,包括: m 个移位寄存器,所述 m 个移位寄存器按序分别为产生第一栅极驱动信号的第一个移位寄存器、产生第二栅极驱动信号的第二个移位寄存器至产生第 m 栅极驱动信号的第 m 个移位寄存器,所述 m 个移位寄存器分成 a 组, a 组移位寄存器单向连接,每组中的移位寄存器按序连接,其中,第一个移位寄存器所在的组为第一组, m 和 a 均为大于等于2的自然数。

2. 如权利要求1所述的行驱动电路,其特征在于,每组中的移位寄存器所产生的栅极驱动信号所控制的像素的电平极性相同。

3. 如权利要求1所述的行驱动电路,其特征在于, a 为2。

4. 如权利要求3所述的行驱动电路,其特征在于,第奇数个移位寄存器组成一组;第偶数个移位寄存器组成另一组。

5. 如权利要求3所述的行驱动电路,其特征在于,第 $4b+1$ 个和第 $4b+2$ 个移位寄存器组成一组;第 $4b+3$ 个和第 $4b+4$ 个移位寄存器组成另一组,其中 b 为非负整数。

6. 如权利要求1至5中的任一项所述的行驱动电路,其特征在于,每个移位寄存器包括一输入端及一输出端,每组中的移位寄存器按序连接为序号在前的移位寄存器的输出端与序号最靠近的在后的移位寄存器的输入端连接。

7. 如权利要求6所述的行驱动电路,其特征在于,前一组的最后一个移位寄存器的输出端与后一组的第一个移位寄存器的输入端连接。

8. 如权利要求1至5中的任一项所述的行驱动电路,其特征在于,所述第一个移位寄存器的输入端与一起始信号端连接。

9. 如权利要求1至5中的任一项所述的行驱动电路,其特征在于,每个移位寄存器还包括一高电平连接端、一低电平连接端、一第一时钟连接端、一第二时钟连接端、一复位端及一栅极驱动信号输出端。

10. 一种薄膜晶体管液晶显示器,其特征在于,包括:

$m \times n$ 个像素阵列;

行驱动电路,所述行驱动电路包括 m 个移位寄存器,所述 m 个移位寄存器按序分别为产生第一栅极驱动信号的第一个移位寄存器、产生第二栅极驱动信号的第二个移位寄存器至产生第 m 栅极驱动信号的第 m 个移位寄存器,所述 m 个移位寄存器分成 a 组, a 组移位寄存器单向连接,每组中的移位寄存器按序连接,其中,第一个移位寄存器所在的组为第一组, m 和 a 均为大于等于2的自然数;

列驱动电路,所述列驱动电路包括 n 列数据信号输出端,其中, n 为自然数;

其中, m 个移位寄存器分别与 m 行像素耦接, n 列数据信号输出端分别与 n 列像素耦接。

11. 如权利要求10所述的薄膜晶体管液晶显示器,其特征在于,每组中的移位寄存器所产生的栅极驱动信号所控制的像素的电平极性相同。

12. 如权利要求10所述的薄膜晶体管液晶显示器,其特征在于, a 为2。

13. 如权利要求12所述的薄膜晶体管液晶显示器,其特征在于,第奇数个移位寄存器组成一组;第偶数个移位寄存器组成另一组。

14. 如权利要求12所述的薄膜晶体管液晶显示器,其特征在于,第 $4b+1$ 个和第 $4b+2$ 个移位寄存器组成一组;第 $4b+3$ 个和第 $4b+4$ 个移位寄存器组成另一组,其中 b 为非负整数。

15. 如权利要求10至14中的任一项所述的薄膜晶体管液晶显示器,其特征在于,每个

移位寄存器包括一输入端及一输出端,每组中的移位寄存器按序连接为序号在前的移位寄存器的输出端与序号最靠近的在后的移位寄存器的输入端连接。

16. 如权利要求 15 所述的薄膜晶体管液晶显示器,其特征在于,前一组的最后一个移位寄存器的输出端与后一组的第一个移位寄存器的输入端连接。

17. 如权利要求 10 至 14 中的任一项所述的薄膜晶体管液晶显示器,其特征在于,所述第一个移位寄存器的输入端与一起始信号端连接。

18. 如权利要求 10 至 14 中的任一项所述的薄膜晶体管液晶显示器,其特征在于,每个移位寄存器还包括一高电平连接端、一低电平连接端、一第一时钟连接端、一第二时钟连接端、一复位端及一栅极驱动信号输出端。

行驱动电路以及薄膜晶体管液晶显示器

技术领域

[0001] 本实用新型涉及液晶显示器技术领域,特别涉及一种行驱动电路以及薄膜晶体管液晶显示器。

背景技术

[0002] 薄膜晶体管液晶显示器具有低电压、微功耗、显示信息量大、易于彩色化等优点,在当前的显示器市场占据了主导地位。其已被广泛应用于电子计算机、电子记事本、移动电话、摄像机、高清电视机等电子设备中。

[0003] 薄膜晶体管液晶显示器包括 $m \times n$ 个像素阵列,行驱动电路及列驱动电路,其中,所述行驱动电路向所述 $m \times n$ 个像素阵列提供栅极信号,所述列驱动电路向所述 $m \times n$ 个像素阵列提供数据信号。

[0004] 请参考图 1,其为现有的行驱动电路的原理示意图。如图 1 所示,所述行驱动电路包括 m 个移位寄存器,所述 m 个移位寄存器分别为产生第一栅极驱动信号 Gate1 的第一个移位寄存器 SR1、产生第二栅极驱动信号 Gate2 的第二个移位寄存器 SR2 至产生第 m 栅极驱动信号 Gate (m) 的第 m 个移位寄存器 SR (m),每个移位寄存器包括一输入端及一输出端,其中,前一个移位寄存器的输出端与后一个移位寄存器的输入端连接(即对于两个移位寄存器而言的话,在前的一个移位寄存器的输出端与在后的一个移位寄存器的输入端连接)。

[0005] 此外,每个移位寄存器还包括一高电平 Vgh 连接端、一低电平 Vgl 连接端、一第一时钟 CK1 连接端、一第二时钟 CK2 连接端、一复位 Reset 端以及一栅极驱动信号输出端。对于第一个移位寄存器 SR1,其输入端接收的输入信号为起始信号 STV,即与起始信号 STV 端连接;而对于第 m 个移位寄存器 SR (m),其输出端可不与其它部件连接,或者说输出端不输出信号。

[0006] 现有技术中,为了避免薄膜晶体管液晶显示器出现残影问题,往往需要采用像素电平极性反转的技术。例如,若要实现线反转(line inversion)技术的话(请参考图 2),只能使得列驱动电路所提供的数据信号不停的进行(电平)反转切换(相应的电平信号请参考图 3)。由此,将造成薄膜晶体管液晶显示器的功耗增加,降低了薄膜晶体管液晶显示器的竞争力。

实用新型内容

[0007] 本实用新型的目的在于提供一种行驱动电路以及薄膜晶体管液晶显示器,以解决现有技术中在实现线反转等像素电平极性反转技术时,将造成薄膜晶体管液晶显示器的功耗增加的问题。

[0008] 为解决上述技术问题,本实用新型提供了一种行驱动电路,包括 m 个移位寄存器,所述 m 个移位寄存器按序分别为产生第一栅极驱动信号的第一个移位寄存器、产生第二栅极驱动信号的第二个移位寄存器至产生第 m 栅极驱动信号的第 m 个移位寄存器,所述 m 个移位寄存器分成 a 组, a 组移位寄存器单向连接,每组中的移位寄存器按序连接,其中,

第一个移位寄存器所在的组为第一组, m 和 a 均为大于等于 2 的自然数。

[0009] 可选的, 在所述的行驱动电路中, 每组中的移位寄存器所产生的栅极驱动信号所控制的像素的电平极性相同。

[0010] 可选的, 在所述的行驱动电路中, a 为 2。

[0011] 可选的, 在所述的行驱动电路中, 第奇数个移位寄存器组成一组; 第偶数个移位寄存器组成另一组。

[0012] 可选的, 在所述的行驱动电路中, 第 $4b+1$ 个和第 $4b+2$ 个移位寄存器组成一组; 第 $4b+3$ 个和第 $4b+4$ 个移位寄存器组成另一组, 其中 b 为非负整数。

[0013] 可选的, 在所述的行驱动电路中, 每个移位寄存器包括一输入端及一输出端, 每组中的移位寄存器按序连接为序号在前的移位寄存器的输出端与序号最靠近的在后的移位寄存器的输入端连接。

[0014] 可选的, 在所述的行驱动电路中, 前一组的最后一个移位寄存器的输出端与后一组的第一个移位寄存器的输入端连接。

[0015] 可选的, 在所述的行驱动电路中, 所述第一个移位寄存器的输入端与一起始信号端连接。

[0016] 可选的, 在所述的行驱动电路中, 每个移位寄存器还包括一高电平连接端、一低电平连接端、一第一时钟连接端、一第二时钟连接端、一复位端及一栅极驱动信号输出端。

[0017] 本实用新型还提供一种薄膜晶体管液晶显示器, 包括:

[0018] $m \times n$ 个像素阵列;

[0019] 行驱动电路, 所述行驱动电路包括 m 个移位寄存器, 所述 m 个移位寄存器按序分别为产生第一栅极驱动信号的第一个移位寄存器、产生第二栅极驱动信号的第二个移位寄存器至产生第 m 栅极驱动信号的第 m 个移位寄存器, 所述 m 个移位寄存器分成 a 组, a 组移位寄存器单向连接, 每组中的移位寄存器按序连接, 其中, 第一个移位寄存器所在的组为第一组, m 和 a 均为大于等于 2 的自然数;

[0020] 列驱动电路, 所述列驱动电路包括 n 列数据信号输出端, 其中, n 为自然数;

[0021] 其中, m 个移位寄存器分别与 m 行像素耦接, n 列数据信号输出端分别与 n 列像素耦接。

[0022] 可选的, 在所述的薄膜晶体管液晶显示器中, 每组中的移位寄存器所产生的栅极驱动信号所控制的像素的电平极性相同。

[0023] 可选的, 在所述的薄膜晶体管液晶显示器中, a 为 2。

[0024] 可选的, 在所述的薄膜晶体管液晶显示器中, 第奇数个移位寄存器组成一组; 第偶数个移位寄存器组成另一组。

[0025] 可选的, 在所述的薄膜晶体管液晶显示器中, 第 $4b+1$ 个和第 $4b+2$ 个移位寄存器组成一组; 第 $4b+3$ 个和第 $4b+4$ 个移位寄存器组成另一组, 其中 b 为非负整数。

[0026] 可选的, 在所述的薄膜晶体管液晶显示器中, 每个移位寄存器包括一输入端及一输出端, 每组中的移位寄存器按序连接为序号在前的移位寄存器的输出端与序号最靠近的在后的移位寄存器的输入端连接。

[0027] 可选的, 在所述的薄膜晶体管液晶显示器中, 前一组的最后一个移位寄存器的输出端与后一组的第一个移位寄存器的输入端连接。

[0028] 可选的,在所述的薄膜晶体管液晶显示器中,所述第一个移位寄存器的输入端与一起始信号端连接。

[0029] 可选的,在所述的薄膜晶体管液晶显示器中,每个移位寄存器还包括一高电平连接端、一低电平连接端、一第一时钟连接端、一第二时钟连接端、一复位端及一栅极驱动信号输出端。

[0030] 在本实用新型提供的行驱动电路以及薄膜晶体管液晶显示器中,通过将 m 个移位寄存器分成 a 组,由此可避免实现线反转等像素电平极性反转技术时,频繁的进行反转切换,从而避免了造成薄膜晶体管液晶显示器的功耗增加的问题,进而提高了薄膜晶体管液晶显示器的竞争力。

附图说明

[0031] 图 1 是现有的行驱动电路的原理示意图;

[0032] 图 2 是像素电平实现线反转的示意图;

[0033] 图 3 是像素电平实现线反转时的电平信号示意图;

[0034] 图 4 是本实用新型实施例一的行驱动电路的原理示意图;

[0035] 图 5 是本实用新型实施例一的像素电平实现线反转时的电平信号示意图;

[0036] 图 6 是本实用新型实施例二的行驱动电路的原理示意图;

[0037] 图 7 是像素电平实现双线反转的示意图。

具体实施方式

[0038] 以下结合附图和具体实施例对本实用新型提出的行驱动电路以及薄膜晶体管液晶显示器作进一步详细说明。根据下面说明和权利要求书,本实用新型的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本实用新型实施例的目的。

[0039] 【实施例一】

[0040] 请参考图 4,其为本实用新型实施例一的行驱动电路的原理示意图。如图 4 所示,所述行驱动电路包括 m 个移位寄存器,所述 m 个移位寄存器按序分别为产生第一栅极驱动信号 Gate1 的第一个移位寄存器 SR1、产生第二栅极驱动信号 Gate2 的第二个移位寄存器 SR2 至产生第 m 栅极驱动信号 Gate (m) 的第 m 个移位寄存器 SR (m),所述 m 个移位寄存器分成 a 组, a 组移位寄存器单向连接(即前一组移位寄存器组与后一组移位寄存器组连接,后一组移位寄存器组与第三组移位寄存器组连接),每组中的移位寄存器按序连接(即序号在前的移位寄存器与序号在后的移位寄存器连接,例如,有三个移位寄存器:第一个移位寄存器、第三个移位寄存器及第五个移位寄存器,则第一个移位寄存器与第三个移位寄存器连接,第三个移位寄存器与第五个移位寄存器连接),其中,第一个移位寄存器 SR1 所在的组为第一组, m 和 a 均为大于等于 2 的自然数。

[0041] 请继续参考图 4,具体的,在本实施例中,将 m 个移位寄存器分成两组移位寄存器组,即 a 等于 2。当然,在本实用新型的其他实施例中,也可以将 m 个移位寄存器分成更多组,例如 3 组、4 组、5 组……等。但是,通过将 m 个移位寄存器分成两组移位寄存器组可以最大化的降低该行驱动电路的功耗以及使用该行驱动电路的薄膜晶体管液晶显示器的功耗。

[0042] 在本实施例中,每组中的移位寄存器所产生的栅极驱动信号所控制的像素的电平极性相同。即,当将 m 个移位寄存器分成两组移位寄存器组时,要实现线反转技术的话,对于列驱动电路所提供的信号而言,只需要进行一次反转即可,由此便可极大地降低行驱动电路的功耗以及使用该行驱动电路的薄膜晶体管液晶显示器的功耗。

[0043] 在本实施例中,第奇数个移位寄存器组成一组;第偶数个移位寄存器组成另一组。即,若 m 为奇数,则第一个、第三个、第五个……第 m 个移位寄存器组成一组,第二个、第四个、第六个……第 $m-1$ 个移位寄存器组成另一组(由图 4 可见,在本实施例中,设 m 为奇数);若 m 为偶数,则第一个、第三个、第五个……第 $m-1$ 个移位寄存器组成一组,第二个、第四个、第六个……第 m 个移位寄存器组成另一组。

[0044] 具体的,每个移位寄存器包括一输入端及一输出端,每组中的移位寄存器按序连接为:序号在前的移位寄存器的输出端与序号最靠近的在后的移位寄存器的输入端连接。即在本实施例中,在一组(即第一组,第一移位寄存器 SR1 所在的组)中,第一个移位寄存器 SR1 的输出端与第三个移位寄存器 SR3 的输入端连接,第三个移位寄存器 SR3 的输出端与第五个移位寄存器 SR5 的输入端连接,依此类推,直至第 $m-2$ 个移位寄存器 SR ($m-2$) 的输出端与第 m 个移位寄存器 SR (m) 的输入端连接,由此,便完成了第一组中移位寄存器的连接。在另一组(自然地,也就是第二组)中,第二个移位寄存器 SR2 的输出端与第四个移位寄存器 SR4 的输入端连接,第四个移位寄存器 SR4 的输出端与第六个移位寄存器 SR6 的输入端连接,依此类推,直至第 $m-3$ 个移位寄存器 SR ($m-3$) 的输出端与第 $m-1$ 个移位寄存器 SR ($m-1$) 的输入端连接,由此,变完成了第二组中移位寄存器的连接。

[0045] 对于移位寄存器组之间,实行单向连接,在只有两组移位寄存器组的情况下,便是第一组移位寄存器组与第二组移位寄存器组连接。具体的,前一组(即第一组)的最后一个移位寄存器的输出端与后一组(即第二组)的第一个移位寄存器的输入端连接。即,第 m 个移位寄存器 SR (m) 的输出端与第二个移位寄存器 SR2 的输入端连接。

[0046] 若将 m 个移位寄存器分成更多组时,例如 5 组,则第一个移位寄存器 SR1 所在的组仍为第一组,而对于其他四组,可按任意的方式单向连接。优选的,以每组中的第一个移位寄存器的序号为判断基准,序号小的移位寄存器,则所在的移位寄存器组同样序号小,即先进行连接。例如,分成 5 组,每组中的第一个移位寄存器的序号分别为第一、第二、第三、第四及第五个移位寄存器,则第一个移位寄存器所在的寄存器组与第二个移位寄存器所在的寄存器组连接,第二个移位寄存器所在的寄存器组与第三个移位寄存器所在的寄存器组连接,第三个移位寄存器所在的寄存器组与第四个移位寄存器所在的寄存器组连接,第四个移位寄存器所在的寄存器组与第五个移位寄存器所在的寄存器组连接。

[0047] 此外,与现有技术相同的是,第一个移位寄存器 SR1 的输入端与一起始信号 STV 端连接,每个移位寄存器还包括一高电平连接端、一低电平连接端、一第一时钟连接端、一第二时钟连接端、一复位端及一栅极驱动信号输出端,对此本实施例不再赘述。

[0048] 接着,请参考图 5,其为本实用新型实施例一的像素电平实现线反转时的电平信号示意图。通过图 5 所示的电平信号同样能够实现图 2 所示的像素电平的线反转。如图 5 所示,在此,数据信号仅需要实现一次反转即可,具体可通过奇数数据(Data Odd)与偶数数据(Data Even)的前半部分分别为高和低来实现,在此,奇数数据(Data Odd)与偶数数据(Data Even)的后半部分可不予适用,由此由一条平的(或者略有跳动)的直线予以表示。

[0049] 由此可见,通过本实用新型实施例提供的行驱动电路能够降低功耗,提高薄膜晶体管液晶显示器的竞争力。

[0050] 相应的,本实施例还提供一种包好上述行驱动电路的薄膜晶体管液晶显示器,所述薄膜晶体管液晶显示器包括:

[0051] $m \times n$ 个像素阵列;

[0052] 行驱动电路,所述行驱动电路包括 m 个移位寄存器,所述 m 个移位寄存器按序分别为产生第一栅极驱动信号的第一个移位寄存器、产生第二栅极驱动信号的第二个移位寄存器至产生第 m 栅极驱动信号的第 m 个移位寄存器,所述 m 个移位寄存器分成 a 组, a 组移位寄存器单向连接,每组中的移位寄存器按序连接,其中,第一个移位寄存器所在的组为第一组, m 和 a 均为大于等于 2 的自然数;

[0053] 列驱动电路,所述列驱动电路包括 n 列数据信号输出端,其中, n 为自然数;

[0054] 其中, m 个移位寄存器分别与 m 行像素耦接, n 列数据信号输出端分别与 n 列像素耦接。

[0055] 由此,当需要实现线反转等像素电平极性反转技术时,所述薄膜晶体管液晶显示器能够降低功耗,提高薄膜晶体管液晶显示器的竞争力。

[0056] 【实施例二】

[0057] 请参考图 7,其为本实用新型实施例二的行驱动电路的原理示意图(在该图 7 中,仅示意性地示出了输入端与输出端的连接方式)。如图 7 所示,所述行驱动电路包括 m 个移位寄存器,所述 m 个移位寄存器按序分别为产生第一栅极驱动信号的第一个移位寄存器 SR1、产生第二栅极驱动信号的第二个移位寄存器 SR2 至产生第 m 栅极驱动信号的第 m 个移位寄存器 SR (m),所述 m 个移位寄存器分成 a 组, a 组移位寄存器单向连接,每组中的移位寄存器按序连接,其中,第一个移位寄存器 SR1 所在的组为第一组, m 和 a 均为大于等于 2 的自然数。在此 a 为 2。

[0058] 在本实施例中,第 $4b+1$ 个和第 $4b+2$ 个移位寄存器组成一组;第 $4b+3$ 个和第 $4b+4$ 个移位寄存器组成另一组,其中 b 为非负整数。即假设 m 为 4 的整数倍数,则第一个移位寄存器、第二个移位寄存器、第五个移位寄存器、第六个移位寄存器……依此类推,直至第 $m-3$ 个移位寄存器、第 $m-2$ 个移位寄存器组成一组;第三个移位寄存器、第四个移位寄存器、第七个移位寄存器、第八个移位寄存器……依此类推,直至第 $m-1$ 个移位寄存器、第 m 个移位寄存器组成另一组。

[0059] 通过上述连接,同样的,数据信号通过一次电平反转(对此,可示意性地参考图 5 中的 Data Odd 与 Data Even 信号),便可实现像素电平实现双线反转(可参考图 7),从而可以最大化的降低该行驱动电路的功耗以及使用该行驱动电路的薄膜晶体管液晶显示器的功耗。

[0060] 对于移位寄存器组之间以及移位寄存器的输入端与输出端之间的连接等,可相应参考实施例一,本实施例不再赘述。

[0061] 根据上述两个实施例的教导,可知,通过本实用新型提供的行驱动电路还可以方便的实现三线反转、四线反转等,本申请对此不再赘述。

[0062] 上述描述仅是对本实用新型较佳实施例的描述,并非对本实用新型范围的任何限定,本实用新型领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要

求书的保护范围。

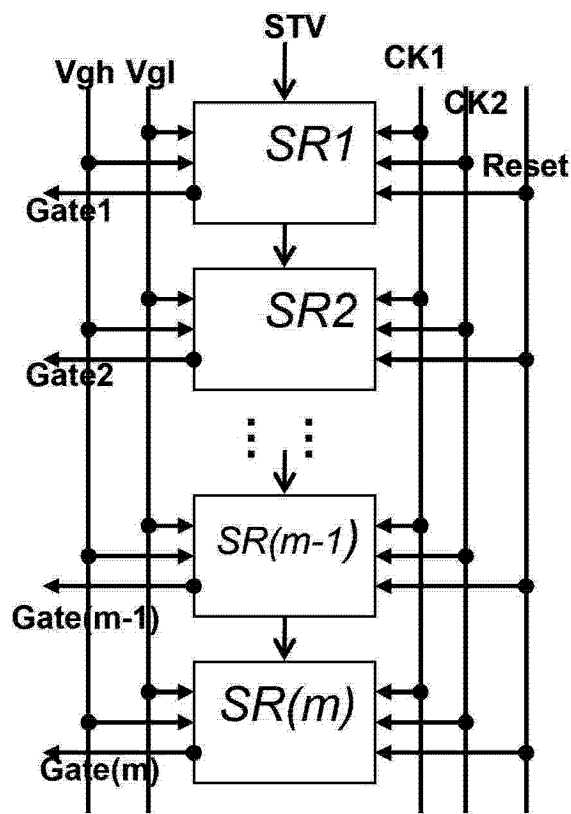


图 1

	Data1	Data2		Data(n-1)	Data(n)
Gate1	+	+	+	+	+
Gate2	-	-	-	-	-
.....	+	+	+	+	+
.....	-	-	-	-	-
Gate(m-1)	+	+	+	+	+
Gate(m)	-	-	-	-	-

图 2

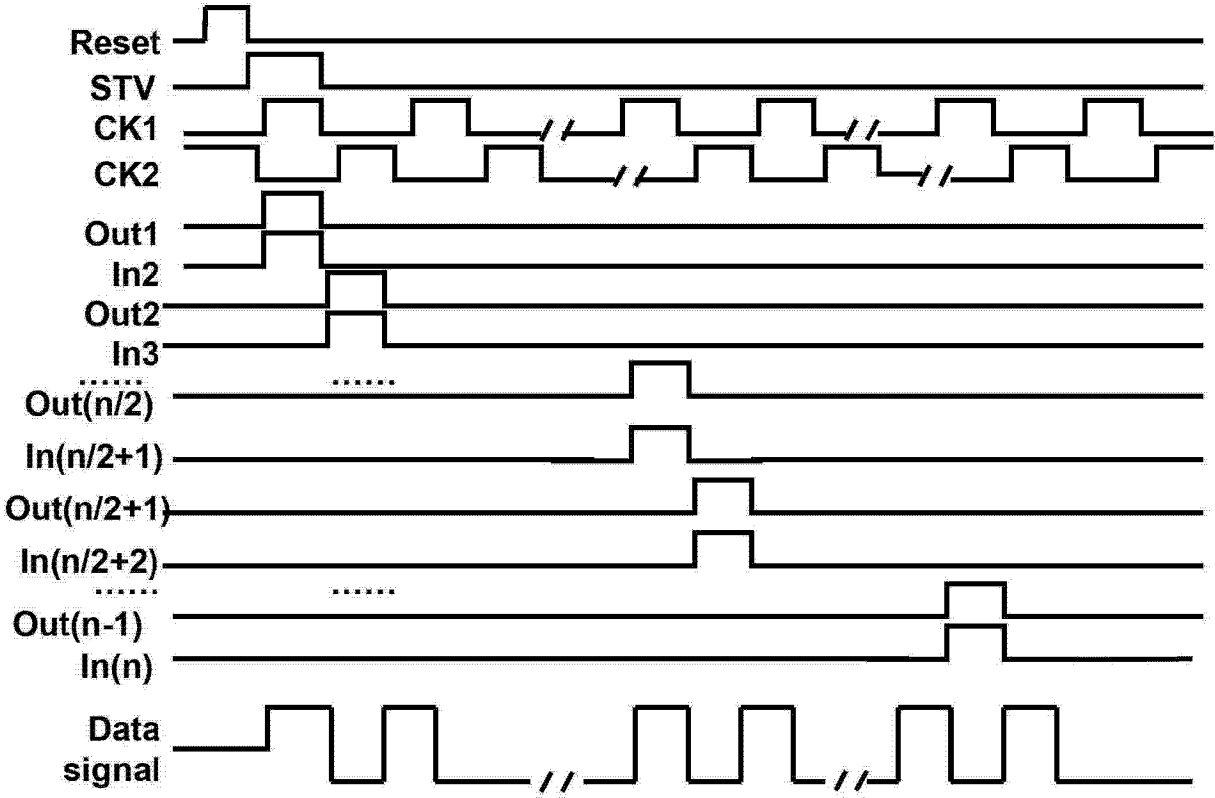


图 3

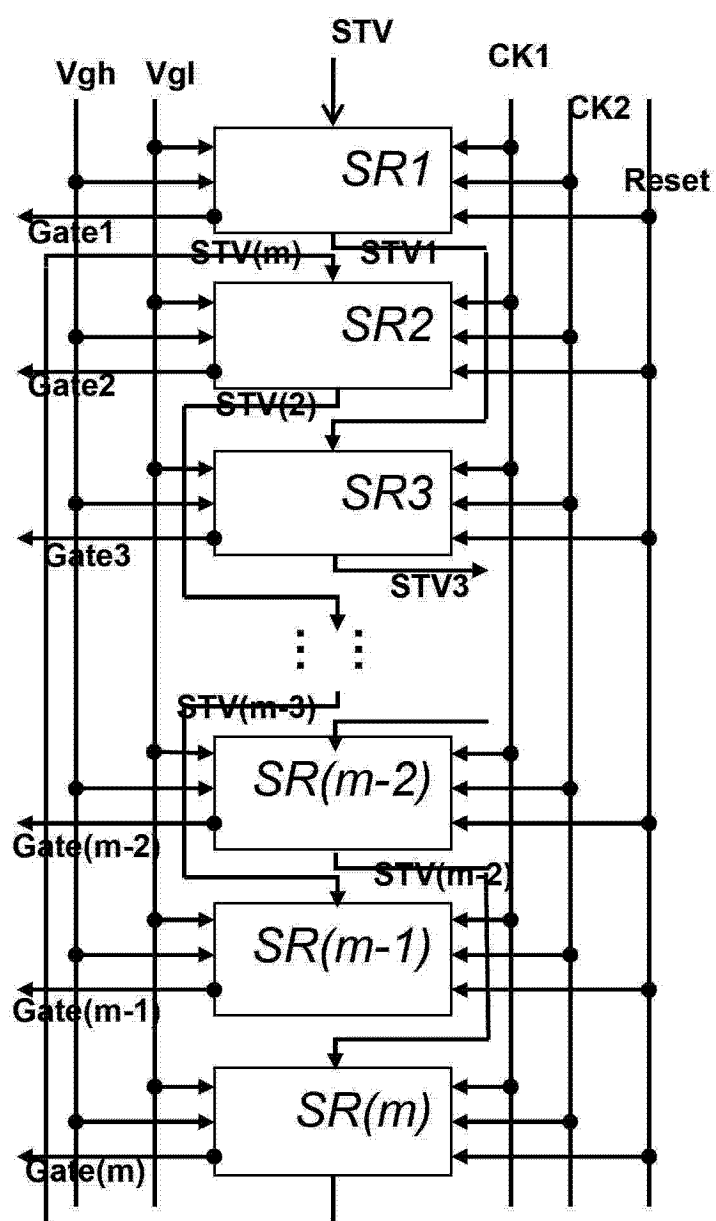


图 4

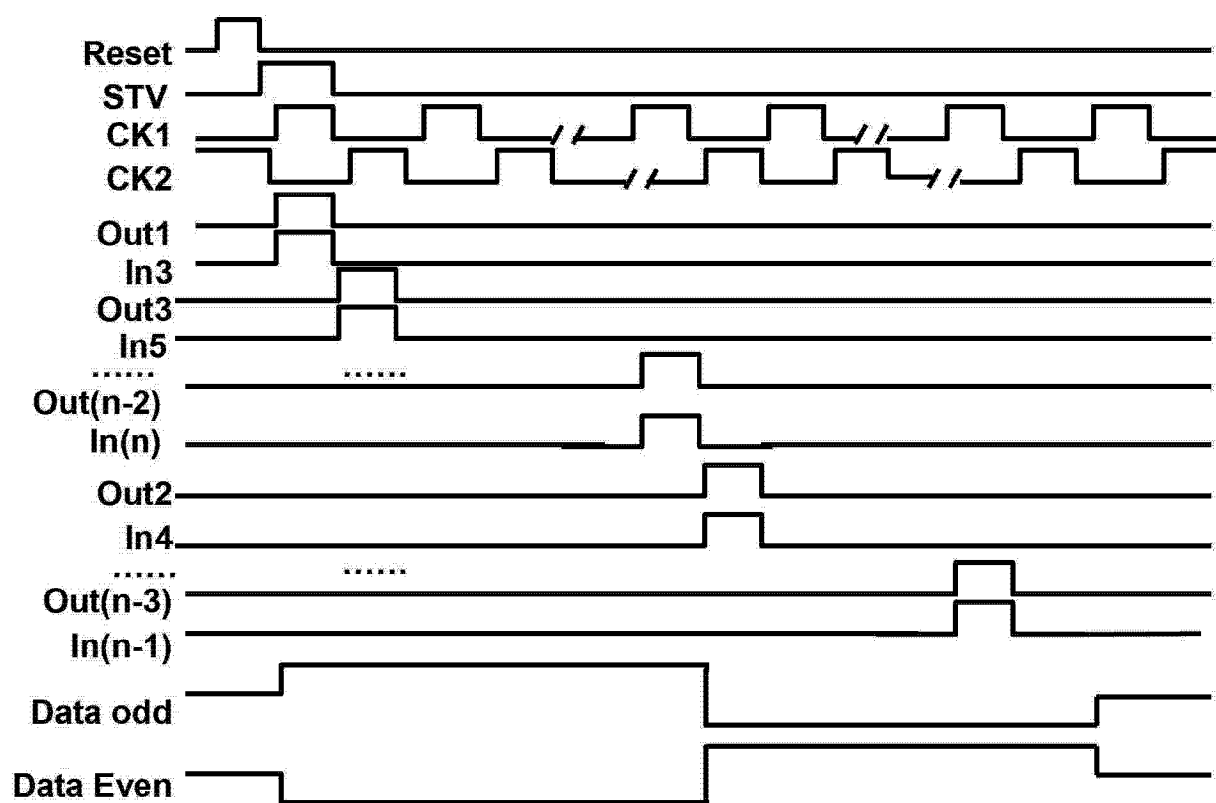


图 5

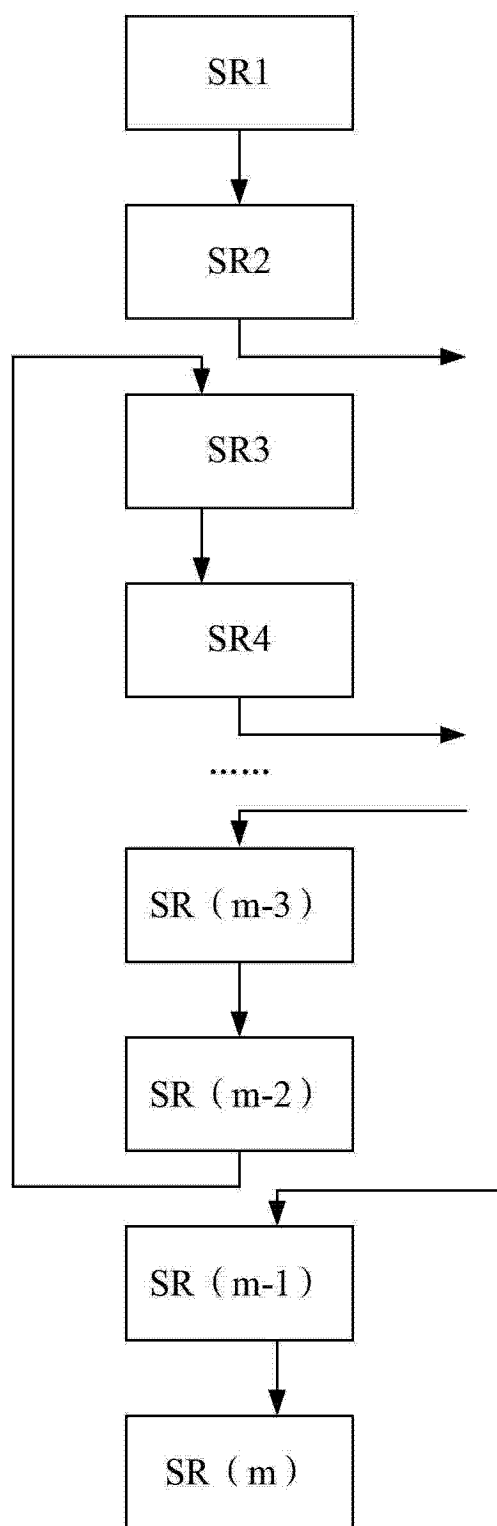


图 6

	Data(1)	Data(2)		Data(n-1)	Data(n)
Gate(1)	+	+	+	+	+
Gate(2)	+	+	+	+	+
	-	-	-	-	-
.....	-	-	-	-	-
Gate(m-1)	+	+	+	+	+
Gate(m)	+	+	+	+	+

图 7

专利名称(译)	行驱动电路以及薄膜晶体管液晶显示器		
公开(公告)号	CN202838921U	公开(公告)日	2013-03-27
申请号	CN201220525068.8	申请日	2012-10-12
[标]申请(专利权)人(译)	厦门天马微电子有限公司		
申请(专利权)人(译)	厦门天马微电子有限公司		
当前申请(专利权)人(译)	厦门天马微电子有限公司		
[标]发明人	周秀峰		
发明人	周秀峰		
IPC分类号	G09G3/36		
代理人(译)	郑玮		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型提供了一种行驱动电路以及薄膜晶体管液晶显示器，通过将m个移位寄存器分成a组，由此可避免实现线反转等像素电平极性反转技术时，频繁的进行反转切换，从而避免了造成薄膜晶体管液晶显示器的功耗增加的问题，进而提高了薄膜晶体管液晶显示器的竞争力。

