



(12)发明专利申请

(10)申请公布号 CN 108335683 A

(43)申请公布日 2018.07.27

(21)申请号 201810207926.6

(22)申请日 2018.03.14

(71)申请人 北京集创北方科技股份有限公司
地址 100176 北京市大兴区经济技术开发区
景园北街2号56幢

(72)发明人 吴昭呈 祝军

(74)专利代理机构 北京成创同维知识产权代理
有限公司 11449
代理人 蔡纯 范芳茗

(51) Int. Cl.
G09G 3/36(2006.01)

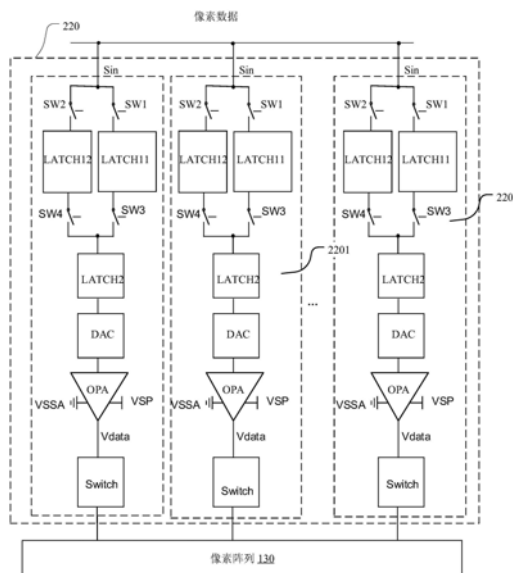
权利要求书2页 说明书7页 附图8页

(54)发明名称

源极驱动器、液晶显示装置及驱动方法

(57)摘要

公开了一种源极驱动器,包括多个驱动通道,每个驱动通道包括:多个第一选择开关,所述多个第一选择开关的输入端共同连接到驱动通道的输入端;多个第二选择开关,多个第二选择开关的输出端共同连接到驱动通道的输出端;以及和多个第一缓存器,每个第一缓存器连接在一个第一选择开关的输出端和一个第二选择开关的输入端之间,在每个驱动通道中,通过控制多个第一选择开关的开启和关闭,从而使多个第一缓存器按照行顺序接收像素数据,通过控制多个第二选择开关的开启和关闭,调整多个第一缓存器输出像素数据的顺序。本申请同时公开液晶显示装置和驱动方法。本申请能够减少像素电压的反转次数,降低功耗。



CN 108335683 A

1. 一种源极驱动器,用于驱动液晶面板,包括多个驱动通道,每个驱动通道向所述液晶面板的同一列的多个像素单元提供像素电压,每个驱动通道包括:

多个第一选择开关,所述多个第一选择开关的输入端共同连接到所述驱动通道的输入端;

多个第二选择开关,所述多个第二选择开关的输出端共同连接到所述驱动通道的输出端;以及

和多个第一缓存器,每个第一缓存器连接在一个第一选择开关的输出端和一个第二选择开关的输入端之间,

其中,在每个驱动通道中,通过控制所述多个第一选择开关的开启和关闭,从而使所述多个第一缓存器按照行顺序接收像素数据,通过控制所述多个第二选择开关的开启和关闭,调整所述多个第一缓存器输出所述像素数据的顺序,以减少像素数据对应的像素电压在输出时需要反转的次数。

2. 根据权利要求1所述的源极驱动器,其中,所述提供给同一列的多个像素单元的像素电压中,相邻的像素单元的像素电压的极性相反。

3. 根据权利要求1所述的源极驱动器,其中,所述通过控制所述多个第二选择开关的开启和关闭,调整所述多个第一缓存器输出所述像素数据的顺序包括:将同一列中相邻的两个像素单元的像素数据作为一组,通过控制所述多个第二选择开关的开启和关闭,将偶数组的两个像素单元的像素数据的输出顺序颠倒。

4. 根据权利要求1所述的源极驱动器,其中,所述通过控制所述多个第二选择开关的开启和关闭,调整所述多个第一缓存器输出所述像素数据的顺序顺序包括:将同一列中相邻的两个像素单元的像素数据作为一组,通过控制所述多个第二选择开关的开启和关闭,将奇数组的两个像素单元的像素数据的输出顺序颠倒。

5. 根据权利要求1所述的源极驱动器,其中,所述通过控制所述多个第二选择开关的开启和关闭,调整所述多个第一缓存器输出所述像素数据的顺序顺序包括:通过控制所述多个第二选择开关的开启和关闭,先输出同一列中奇数位置的像素单元的像素数据,再输出同一列中偶数位置的像素的像素单元的像素数据,或者

通过控制所述多个第二选择开关的开启和关闭,先输出同一列中偶数位置的像素单元的像素数据,再输出同一列中奇数位置的像素的像素单元的像素数据。

6. 根据权利要求1所述的源极驱动器,其中,所述源极驱动器还包括第二缓存器,所述第二缓存器连接在所述多个第二选择开关的输出端和所述驱动通道的输出端之间。

7. 根据权利要求1所述的源极驱动器,其中,所述源极驱动器还包括:模数转换模块和运算放大器。

8. 一种液晶显示装置,包括权利要求1-7任一项所述的源极驱动器、栅极驱动器和液晶面板,所述栅极驱动器以预设顺序扫描栅极扫描线,以导通各行的薄膜晶体管,其中,所述预设顺序和所述所述多个第一缓存器输出像素数据的顺序对应。

9. 一种驱动方法,用于驱动液晶显示装置,所述液晶显示装置包括:权利要求1-7任一项所述的源极驱动器、栅极驱动器和液晶面板,所述驱动方法包括:

在所述源极驱动器的每个驱动通道中,按照行顺序接收像素数据,调整所述像素数据的输出顺序,以减少所述像素数据对应的像素电压在输出时需要的反转的次数;

在所述栅极驱动器中,按照设定顺序扫描栅极扫描线,以导通各行的薄膜晶体管,其中,所述设定顺序和所述像素数据调整后的输出顺序对应。

10. 根据权利要求9所述的驱动方法,其中,按设定顺序向栅极扫描线提供驱动信号,以控制按照设定顺序扫描栅极扫描线。

11. 根据权利要求9所述的驱动方法,其中,所述提供给同一列的多个像素单元的像素电压中,相邻的像素单元的像素电压的极性相反。

12. 根据权利要求9所述的驱动方法,其中,所述调整所述像素数据的顺序包括:将相邻的像素单元的像素数据作为一组,将偶数组的像素单元的像素数据的输出顺序颠倒。

13. 根据权利要求9所述的驱动方法,其中,所述调整所述像素数据的顺序包括:将相邻的像素单元的像素数据作为一组,将奇数组的像素单元的像素数据的输出顺序颠倒。

14. 根据权利要求9所述的驱动方法,其中,所述调整所述像素数据的顺序包括:通过控制所述多个第二选择开关的开启和关闭,先输出同一列中奇数位置的像素单元的像素数据,再输出同一列中偶数位置的像素的像素单元的像素数据,或者

通过控制所述多个第二选择开关的开启和关闭,先输出同一列中偶数位置的像素单元的像素数据,再输出同一列中奇数位置的像素的像素单元的像素数据。

源极驱动器、液晶显示装置及驱动方法

技术领域

[0001] 本发明涉及显示技术领域,更具体地,涉及一种源极驱动器、液晶显示装置及驱动方法。

背景技术

[0002] 液晶显示装置已经广泛地应用于诸如手机的移动终端和诸如平板电视的大尺寸显示面板中。液晶显示装置包括两层玻璃基板以及夹在中间的液晶层(Liquid Crystal Layer)。在玻璃基板上形成像素电极和公共电极,通过在二者之间施加驱动电压来控制液晶层的液晶分子的旋转,从而改变透光率。

[0003] 图1示出根据现有技术的液晶显示装置的电路示意图。液晶显示装置100包括栅极驱动器110、源极驱动器120、多条栅极扫描线G1至G_m、源极数据线S1至S_n以及由多个薄膜晶体管(thin film transistor, TFT) 1101组成的晶体管阵列和多个像素单元(pixel) 1102的像素阵列 130。栅极扫描线G1至G_m将同一行的薄膜晶体管1101的栅极连接至栅极驱动器110,用于接收薄膜晶体管导通的栅极电压。源极数据线S1至 S_n将同一列的薄膜晶体管1101的源极(或漏极)连接至源极驱动器120,用于在薄膜晶体管导通后向像素单元提供灰阶电压。薄膜晶体管1101 的漏极(或源极)连接至像素单元1102,像素单元接收灰阶电压后,驱动液晶分子旋转,完成显示。

[0004] 在液晶显示装置工作时,栅极驱动器110产生驱动信号,逐行发送到栅极扫描线,依次导通和栅极扫描线连接的每一行的薄膜晶体管1101,同时,源极驱动器120会将从处理器接收到的像素数据转换成灰阶电压,经S1-S_n送入像素单元1102,完成显示。

[0005] 一般来说,在液晶显示装置的驱动系统中,必需周期性地反转传送至像素单元的灰阶电压的极性以避免液晶极化所引起的残影现象。显示装置所采用的极性反转方法主要有三种:帧反转(frame inversion)、列反转(column inversion)以及点反转(dot inversion)。以点反转为例,图2a和2b分别示出了采用单点反转(1-dot inversion)和双点反转(2-dot inversion)的像素阵列的示意图,其中图上仅示出一部分像素单元。参考图2a和2b,图中示出了栅极扫描线G1-G8和源极数据线S1-S2 对应的16个像素单元的电压方向(黑色和白色表示不同的电压方向)。从图上可知,采用单点反转,在同一帧中相邻的像素单元的灰阶电压方向相反,在相邻帧中同一像素的灰阶电压方向相反;而采用双点反转,以同一列的两个像素单元为一组,在同一帧中相邻组的灰阶电压方向相反,在相邻帧中同一像素的灰阶电压方向相反。列反转与此类似。

[0006] 从单点反转到双点反转再到列反转,以单点反转为例,相邻像素单元的像素电压在一帧期间内具有相反的极性,同一列的像素单元极性的反转产生大幅的功率消耗,但是极性反转的次数越多,液晶显示装置的显示效果也就越好。因此在设计时显示效果和功耗是一对折衷(trade off)关系。

[0007] 因此,在液晶显示装置中,以较低的功耗实现更好的显示效果是一个值得探究与讨论的问题。

发明内容

[0008] 有鉴于此,本发明实施例提供的液晶显示装置及其驱动方法,通过减少同一列的像素单元的电压翻转次数,减少了功耗,但同时达到较高的显示效果。

[0009] 根据本发明的第一方面,提供一种源极驱动器,用于驱动液晶面板,包括多个驱动通道,每个驱动通道向所述液晶面板的同一列的多个像素单元提供像素电压,每个驱动通道包括:

[0010] 多个第一选择开关,所述多个第一选择开关的输入端共同连接到所述驱动通道的输入端;

[0011] 多个第二选择开关,所述多个第二选择开关的输出端共同连接到所述驱动通道的输出端;以及

[0012] 和多个第一缓存器,每个第一缓存器连接在一个第一选择开关的输出端和一个第二选择开关的输入端之间,

[0013] 其中,在每个驱动通道中,通过控制所述多个第一选择开关的开启和关闭,从而使所述多个第一缓存器按照行顺序接收像素数据,通过控制所述多个第二选择开关的开启和关闭,调整所述多个第一缓存器输出所述像素数据的顺序,以减少像素数据对应的像素电压在输出时需要反转的次数。

[0014] 优选地,所述提供给同一列的多个像素单元的像素电压中,相邻的像素单元的像素电压的极性相反。

[0015] 优选地,所述通过控制所述多个第二选择开关的开启和关闭,调整所述多个第一缓存器输出所述像素数据的顺序包括:将同一列中相邻的两个像素单元的像素数据作为一组,通过控制所述多个第二选择开关的开启和关闭,将偶数组的两个像素单元的像素数据的输出顺序颠倒。

[0016] 优选地,所述通过控制所述多个第二选择开关的开启和关闭,调整所述多个第一缓存器输出所述像素数据的顺序顺序包括:将同一列中相邻的两个像素单元的像素数据作为一组,通过控制所述多个第二选择开关的开启和关闭,将奇数组的两个像素单元的像素数据的输出顺序颠倒。

[0017] 优选地,所述通过控制所述多个第二选择开关的开启和关闭,调整所述多个第一缓存器输出所述像素数据的顺序顺序包括:通过控制所述多个第二选择开关的开启和关闭,先输出同一列中奇数位置的像素单元的像素数据,再输出同一列中偶数位置的像素的像素单元的像素数据,或者

[0018] 通过控制所述多个第二选择开关的开启和关闭,先输出同一列中偶数位置的像素单元的像素数据,再输出同一列中奇数位置的像素的像素单元的像素数据。

[0019] 优选地,所述源极驱动器还包括第二缓存器,所述第二缓存器连接在所述多个第二选择开关的输出端和所述驱动通道的输出端之间。

[0020] 优选地,所述源极驱动器还包括:模数转换模块和运算放大器。

[0021] 根据本发明的第二方面,提供液晶显示装置,包括上述的源极驱动器、栅极驱动器和液晶面板,所述栅极驱动器以预设顺序扫描栅极扫描线,以导通各行的薄膜晶体管,其中,所述预设顺序和所述所述多个第一缓存器输出像素数据的顺序对应。

[0022] 根据本发明的第三方面,提供一种驱动方法,用于驱动液晶显示装置,所述液晶显示装置包括:包括上述的源极驱动器、栅极驱动器和液晶面板,所述驱动方法包括:

[0023] 在所述源极驱动器的每个驱动通道中,按照行顺序接收像素数据,调整所述像素数据的输出顺序,以减少所述像素数据对应的像素电压在输出时需要的反转的次数;

[0024] 在所述栅极驱动器中,按照设定顺序扫描栅极扫描线,以导通各行的薄膜晶体管,

[0025] 其中,所述设定顺序和所述像素数据调整后的输出顺序对应。

[0026] 优选地,按设定顺序向栅极扫描线提供驱动信号,以控制按照设定顺序扫描栅极扫描线。

[0027] 优选地,所述提供给同一列的多个像素单元的像素电压中,相邻的像素单元的像素电压的极性相反。

[0028] 优选地,所述调整所述像素数据的顺序包括:将相邻的像素单元的像素数据作为一组,将偶数组的像素单元的像素数据的输出顺序颠倒。

[0029] 优选地,所述调整所述像素数据的顺序包括:将相邻的像素单元的像素数据作为一组,将奇数组的像素单元的像素数据的输出顺序颠倒。

[0030] 优选地,所述调整所述像素数据的顺序包括:通过控制所述多个第二选择开关的开启和关闭,先输出同一列中奇数位置的像素单元的像素数据,再输出同一列中偶数位置的像素的像素单元的像素数据,或者

[0031] 通过控制所述多个第二选择开关的开启和关闭,先输出同一列中偶数位置的像素单元的像素数据,再输出同一列中奇数位置的像素的像素单元的像素数据。

[0032] 本发明提供的驱动方法,通过调整像素数据的输出顺序和栅极扫描线的导通顺序,从而减少像素数据对应的像素电压在输出时需要的反转的次数。由此,在不影响显示效果的条件下,达到减少源极驱动器的功耗的目的。

附图说明

[0033] 通过参照以下附图对本发明实施例的描述,本发明的上述以及其它目的、特征和优点将更为清楚,在附图中:

[0034] 图1示出根据现有技术的液晶显示装置的电路示意图;

[0035] 图2a和2b分别示出了采用单点反转和双点反转的像素阵列的示意图;

[0036] 图3示出了传统的源极驱动器和像素阵列的结构示意图;

[0037] 图4a是图3所示的源极驱动器的像素数据处理过程的示意图;

[0038] 图4b是和图3所示的源极驱动器对应的栅极驱动器提供的驱动信号的波形图;

[0039] 图4c是图3所示的源极驱动器的像素数据对应的像素电压的示意图;

[0040] 图5示出了根据本发明实施例的源极驱动器和像素阵列的结构示意图;

[0041] 图6a示出了图5所示的本发明实施例的源极驱动器的像素数据处理过程的示意图;

[0042] 图6b示出了和图5所示的本发明实施例的源极驱动器对应的栅极驱动器提供的驱动信号的波形图;

[0043] 图6c示出了图5所示的本发明实施例的源极驱动器的像素数据对应的像素电压的示意图。

[0044] 图7示出了图5所示的源极驱动器的驱动通道2201的另一个实施例。

具体实施方式

[0045] 以下将参照附图更详细地描述本发明。在各个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的各个部分没有按比例绘制。此外，可能未示出某些公知的部分。

[0046] 图3示出了传统的源极驱动器和像素阵列的结构示意图；

[0047] 参照图3，源极驱动器120包括多个驱动通道1201。每一驱动通道120包括缓存器LATCH1、LATCH2，数模转换器DAC，运算放大器OPA，输出开关SWITCH。数据总线上的像素数据连续地输入至驱动通道1201中。在上述源极驱动器工作时，输入端Sin从处理器接收像素数据，经过缓存器LATCH1、LATCH2锁存后，通过数模转换器DAC转换成模拟信号，该模拟信号经过运算放大器OPA缓冲后，经过输出开关SWITCH施加到对应的源极数据线上的像素单元上。

[0048] 图4a是图3所示的源极驱动器的像素数据处理过程的示意图。图4b是和图3所示的源极驱动器对应的栅极驱动器提供的驱动信号的波形图。

[0049] 在图4a中，第N帧的像素数据DATA转换为A⁺、B⁻、C⁺、D⁻、E⁺、F⁻、G⁺、H⁻、I⁺、J⁻的像素电压，CLK表示时钟信号，数字1-10代表第一至第十个时钟周期，在图4b中，CT1-CT8表示分别施加到栅极扫描线G1-G8上的驱动信号。

[0050] 结合图3和图4a-4b可知，像素数据处理过程具体包括以下步骤。

[0051] 步骤1：在第一个时钟周期，像素电压A⁺，被LATCH1锁存；

[0052] 步骤2：在第二个时钟周期，栅极驱动器产生驱动信号CT1发送到栅极扫描线G1，导通栅极扫描线G1上的薄膜晶体管，同时缓存器LATCH2锁存像素电压A⁺，并经OPA缓冲后通过输出开关SWITCH施加到到第一行第一列的像素单元上，使第一行第一列的像素单元获得A⁺的像素电压；在缓存器LATCH2将像素电压A⁺施加到第一行第一列的像素单元的同时，像素电压B⁻被缓存器LATCH1锁存；

[0053] 步骤3：在第三个时钟周期，栅极驱动器产生驱动信号CT2发送到栅极扫描线G2，导通栅极扫描线G2上的薄膜晶体管，缓存器LATCH2锁存缓存器LATCH1释放的像素电压B⁻，并经OPA缓冲后通过输出开关SWITCH施加到到第二行第一列的像素单元上，在缓存器LATCH2将像素电压B⁻施加到第二行第一列的像素单元的同时，像素电压C⁺被缓存器LATCH1锁存；

[0054] 步骤4：在第四个时钟周期，栅极驱动器产生驱动信号CT3发送到栅极扫描线G3，导通栅极扫描线G3上的薄膜晶体管，缓存器LATCH2锁存缓存器LATCH1释放的像素电压C⁺，并经OPA缓冲后通过输出开关SWITCH施加到第三行第一列的像素单元上，在缓存器LATCH2将像素电压C⁺施加到第三行第一列的像素单元的同时，像素电压D⁻被缓存器LATCH1锁存；

[0055] 步骤5：在第五个时钟周期，栅极驱动器产生驱动信号CT4发送到栅极扫描线G4，导通栅极扫描线G4上的薄膜晶体管，缓存器LATCH2锁存缓存器LATCH1释放的像素电压D⁻，并经OPA缓冲后通过输出开关SWITCH施加到第四行第一列的像素单元上，在缓存器LATCH2将像素电压D⁻施加到第四行第一列的像素单元的同时，像素电压E⁺被缓存器LATCH1锁存；

[0056] 步骤6：在第六个时钟周期，栅极驱动器产生驱动信号CT5发送到栅极扫描线G5，导通栅极扫描线G5上的薄膜晶体管，缓存器LATCH2锁存缓存器LATCH1释放的像素电压E⁺，并经OPA缓冲后通过输出开关SWITCH施加到第五行第一列的像素单元上，在缓存器LATCH2将

像素电压E+施加到第五行第一列的像素单元的同时,像素电压F-被缓存器 LATCH1锁存;

[0057] 步骤7:在第七个时钟周期,栅极驱动器产生驱动信号CT6发送到栅极扫描线G6,导通栅极扫描线G6上的薄膜晶体管,缓存器LATCH2锁存缓存器LATCH1释放的像素电压F-,并经OPA缓冲后通过输出开关 SWITCH施加到第六行第一列的像素单元上,在缓存器LATCH2将像素电压F-施加到第六行第一列的像素单元的同时,像素电压G+被缓存器 LATCH1锁存;

[0058] 步骤8:在第八个时钟周期,栅极驱动器产生驱动信号CT7发送到栅极扫描线G7,导通栅极扫描线G7上的薄膜晶体管,缓存器LATCH2锁存缓存器LATCH1释放的像素电压H-,并经OPA缓冲后通过输出开关 SWITCH施加到第七行第一列的像素单元上,在缓存器LATCH2将像素电压H-施加到第七行第一列的像素单元的同时,像素电压I+被缓存器 LATCH1锁存;

[0059] 步骤9:在第九个时钟周期,栅极驱动器产生驱动信号CT8发送到栅极扫描线G8,导通栅极扫描线G8上的薄膜晶体管,缓存器LATCH2锁存缓存器LATCH1释放的像素电压I+,并经OPA缓冲后通过输出开关 SWITCH施加到第八行第一列的像素单元上,在缓存器LATCH2将像素电压I+施加到第八行第一列的像素单元的同时,像素电压J-被缓存器 LATCH1锁存。

[0060] 图4c是图3所示的源极驱动器的像素数据对应的像素电压的示意图。继续参考图4c,在第N帧数据显示时,在第二个时钟周期期间,第一行第一列的像素单元的像素电压为A+,在第三个时钟周期期间,第二行第一列的像素单元的像素电压为B-,在第四个时钟周期期间,第三行第一列的像素单元的像素电压为C+,在第五个时钟周期期间,第四行第一列的像素单元的像素电压为D-,在第六个时钟周期期间,第五行第一列的像素单元的像素电压为E+,在第七个时钟周期期间,第六行第一列的像素单元的像素电压为F-,在第八个时钟周期期间,第七行第一列的像素单元的像素电压为G+,第九个时钟周期期间,第八行第一列的像素单元的像素电压为H-。由此,虽然每一个像素单元只在一个时钟周期存在像素电压,但由于人眼的视觉暂停效应和超过一定的刷新率,使得人眼看到的是整帧数据的显示画面。

[0061] 在本例中,8行*1列的像素单元在一个帧周期中要实现点反转,需要将像素电压反转7次,而对应于N行*N列的像素阵列,为了实现单点反转,则每列的像素电压反转(N-1)次,N大于等于2。因此需要大量的功耗。

[0062] 图5示出了根据本发明实施例的源极驱动器和像素阵列的结构示意图。

[0063] 参照图5,源极驱动器220包括多个驱动通道2201。每一驱动通道 2201包括第一级缓存器LATCH11,LATCH12,第二级缓存器LATCH2,数模转换器DAC,运算放大器OPA,输出开关SWITCH。源极驱动器还包括分别和第一级缓存器LATCH11,LATCH12连接的选择开关SW1,SW3,SW2 和SW4。源极驱动器的输入端Sin从数据总线接收表示像素数据的数字信号,根据控制信号分别控制选择SW1,SW3,SW2和SW4的导通和关闭,从而控制第一级缓存器LATCH11,LATCH12的数据锁存和释放,最终控制输出端Sout输出像素电压的极性。数模转换器DAC,运算放大器OPA,输出开关SWITCH的结构和功能和在已知源极驱动器中类似,这里不再赘述。

[0064] 和传统的源极驱动器120不同的是,在上述源极驱动器220工作时,栅极驱动器不是逐行导通薄膜晶体管,而是以一定的行顺序导通薄膜晶体管,例如,以先1,2行再4,3行的行顺序导通薄膜晶体管。相应地,源极驱动器220根据该顺序释放对应像素单元的像素电压。

[0065] 图6a示出了图5所示的本发明实施例的源极驱动器的像素数据处理过程的时序图。图6b示出了和图5所示的本发明实施例的源极驱动器对应的栅极驱动器提供的驱动信

号的波形图。图6c示出了图5所示的本发明实施例的源极驱动器的像素数据对应的像素输出的示意图。

[0066] 图6a示出了图5所示的本发明实施例的源极驱动器的像素数据处理过程的示意图。

[0067] 图6b示出了和图5所示的本发明实施例的源极驱动器对应的栅极驱动器提供的驱动信号的波形图。

[0068] 在图6a中,第N帧的像素数据DATA转换为A+,B-,C+,D-,E+,F-,G+,H-,I+,J-的像素电压,CLK表示时钟信号,数字1-10代表第一至第十个时钟周期,在图6b中,CNT1-CNT8表示分别施加到栅极扫描线G1-G8上的驱动信号。

[0069] 结合图5和图6a-6b,本发明所述的像素数据处理过程具体包括以下步骤。

[0070] 步骤1:在第一个时钟周期,SW1导通,像素电压A+,被LATCH11锁存;

[0071] 步骤2:在第二个时钟周期,SW2导通,像素电压B-,被LATCH12锁存;

[0072] 步骤3:在第三个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G1,导通G1上的薄膜晶体管,此时SW3导通,LATCH11中的A+被LATCH2锁存并被驱动到对应的像素单元上(对应图6c的第一行),同时SW1导通,C+被LATCH11锁存;

[0073] 步骤4:在第四个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G2,导通G2上的薄膜晶体管,同时SW4导通,LATCH12中的B-被LATCH2锁存并被驱动到对应的像素单元上(对应图6c的第二行),同时SW2导通,D-被LATCH12锁存;

[0074] 步骤5:在第五个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G4,导通G4上的薄膜晶体管,同时SW4导通,LATCH12中的D-被LATCH2锁存并被驱动到对应的像素单元上(对应图6c的第四行),同时SW2导通,E+被LATCH12锁存;

[0075] 步骤6:在第六个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G3,导通G3上的薄膜晶体管,同时SW3导通,LATCH11中的C+被LATCH2锁存并被驱动到对应的像素单元上(对应图6c的第三行),同时SW1导通,F-被LATCH11锁存;

[0076] 步骤7:在第七个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G5,导通G5上的薄膜晶体管,同时SW4导通,LATCH12中的E+被LATCH2锁存并被驱动到对应的像素单元上(对应图6c的第五行),同时SW2导通,G+被LATCH12锁存;

[0077] 步骤8:在第八个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G6,导通G6上的薄膜晶体管,同时SW3导通,LATCH11中的F-被LATCH2锁存并被驱动到对应的像素单元上(对应图6c的第六行),同时SW1导通,H-被LATCH11锁存;

[0078] 步骤9:在第九个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G8,导通G8上的薄膜晶体管,同时SW3导通,LATCH11中的H-被LATCH2锁存并被驱动到对应的像素单元上(对应图6c的第八行),同时SW1导通,I+被LATCH11锁存;

[0079] 步骤10:在第十个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G7,导通G7上的薄膜晶体管,同时G7打开,SW4打开,LATCH12中的G+被LATCH2锁存并被驱动到对应的像素单元上(对应图6c的第七行),同时SW2打开,J-被LATCH12锁存。依次类推。

[0080] 图6c是图5所示的源极驱动器的像素数据对应的像素电压的示意图。继续参考图6c,在第N帧数据显示时,在第三个时钟周期期间,第一行第一列的像素单元的像素电压为A+,在第四个时钟周期期间,第二行第一列的像素单元的像素电压为B-,在第五个时钟周期

期间,第四行第一列的像素单元的像素电压为D-,在第六个时钟周期期间,第三行第一列的像素单元的像素电压为C+,在第七个时钟周期期间,第五行第一列的像素单元的像素电压为E+,在第八个时钟周期期间,第六行第一列的像素单元的像素电压为F-,在第九个时钟周期期间,第八行第一列的像素单元的像素电压为H-,第十个时钟周期期间,第七行第一列的像素单元的像素电压为G+。由此,虽然每一个像素单元只在一个时钟周期存在像素电压,但由于人眼的视觉暂停效应和超过一定的刷新率,使得人眼看到的是整帧数据的显示画面。

[0081] 在本实施例中,栅极驱动器按照G1,G2,G4,G3,G5,G6,G8,G7 的行顺序依次导通栅极扫描线上的薄膜晶体管,相应地,源极驱动器的像素电压的输送顺序为A+,B-,D-,C+,E+,F-,H-,G+。经过计算可知,在此过程中源极驱动器的像素电压反转了4次,而传统源极驱动器在相同情况下像素电压需要反转7次,即,应用本发明实施例的源极驱动器的驱动方法能够减少3次反转,由此,减少了功率消耗,但是同样达到了单点反转的驱动方法的显示效果。

[0082] 在本实施例中,其中选择开关可采用各种类型的MOS管及其组合实现。

[0083] 图7示出了图5所示的源极驱动器的驱动通道2201的另一个实施例。

[0084] 在图7中,驱动通道2201包括第一级缓存器LATCH11至LATCH14,第二级缓存器LATCH2,数模转换器DAC,运算放大器OPA,输出开关SWITCH。源极驱动器还包括分别和第一级缓存器LATCH11,LATCH12连接的选择开关SW11至SW14,SW21至SW24。源极驱动器的输入端Sin从数据总线接收表示像素数据的数字信号,根据驱动信号分别控制选择开关SW11至SW14,SW21至SW24的导通和关闭,从而控制第一级缓存器LATCH11至LATCH14,LATCH2的数据锁存和释放,最终控制输出端Sout输出像素电压的极性。数模转换器DAC,运算放大器OPA,输出开关SWITCH的结构和功能和在已知源极驱动器中类似,这里不再赘述。

[0085] 采用图7所示的驱动方法,栅极驱动器可以按照G1,G3,G5,G7, G2,G4,G6,G8,的行顺序依次导通栅极扫描线上的薄膜晶体管,相应地,源极驱动器的像素电压的输送顺序为A+,C+,E+,G+,B-,D-,F-, H-,经过计算可知,在此过程中源极驱动器的像素电压反转了1次,而传统源极驱动器在相同情况下像素电压需要反转7次,即,应用本发明实施例的源极驱动器的驱动方法能够减少6次反转,由此,减少了功率消耗,但是同样达到了单点反转的驱动方法的显示效果。

[0086] 需要指出的是,本发明实施例不局限于上述实施例的电路结构。通过扩展并联锁存器数量并且修改对应栅极驱动信号打开的顺序的电路实现都属于本专利的保护范围。

[0087] 综上,根据本发明实施例,通过扩展并联锁存器数量并且修改对应栅极驱动信号打开的顺序,能够减少像素电压的反转次数,从而在不影响显示效果的条件下,减少功率效果。

[0088] 本发明实施例虽然以较佳实施例公开如上,但其并不是用来限定权利要求,任何本领域技术人员在不脱离本发明的精神和范围内,都可以做出可能的变动和修改,因此本发明的保护范围应当以本发明权利要求所界定的范围为准。

[0089] 以上所述仅为本发明的优选实施例,并不用于限制本发明,对于本领域技术人员而言,本发明可以有各种改动和变化。凡在本发明的精神和原理之内所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

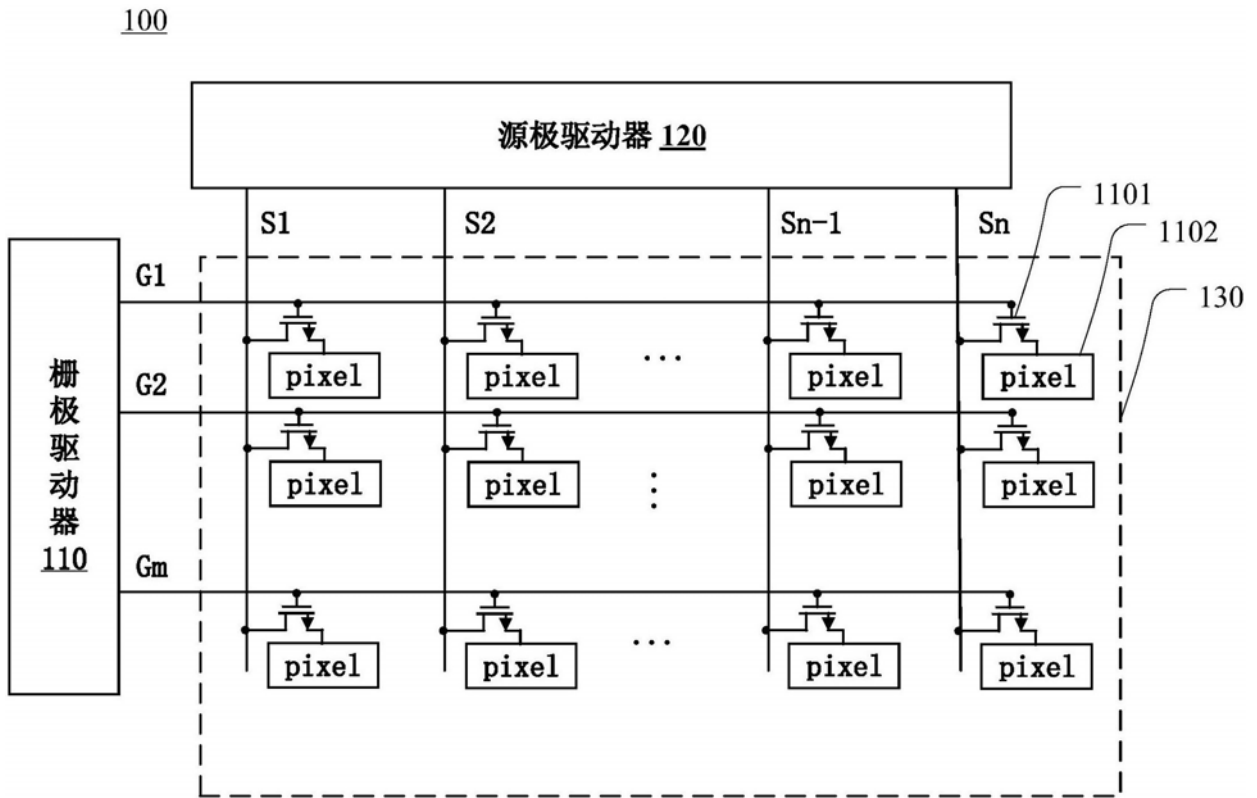


图1

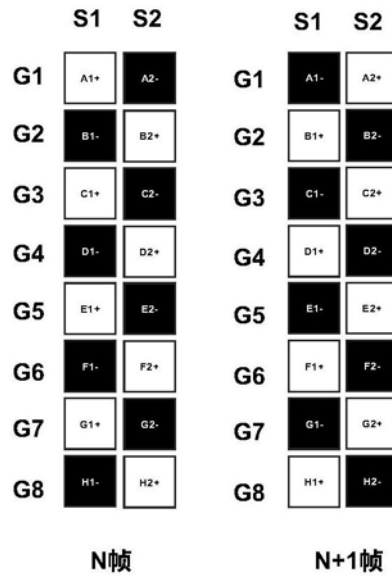


图2a

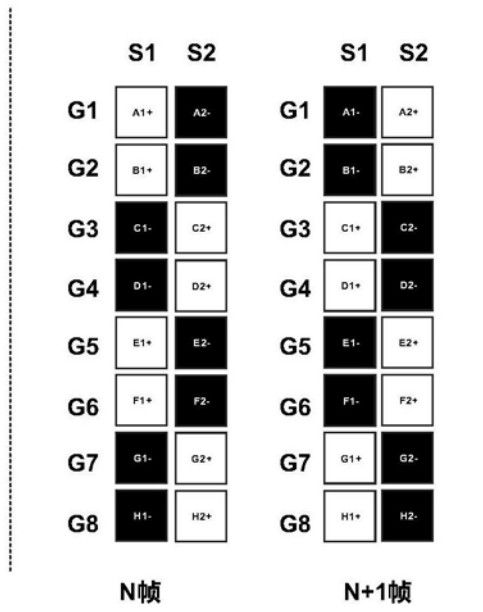


图2b

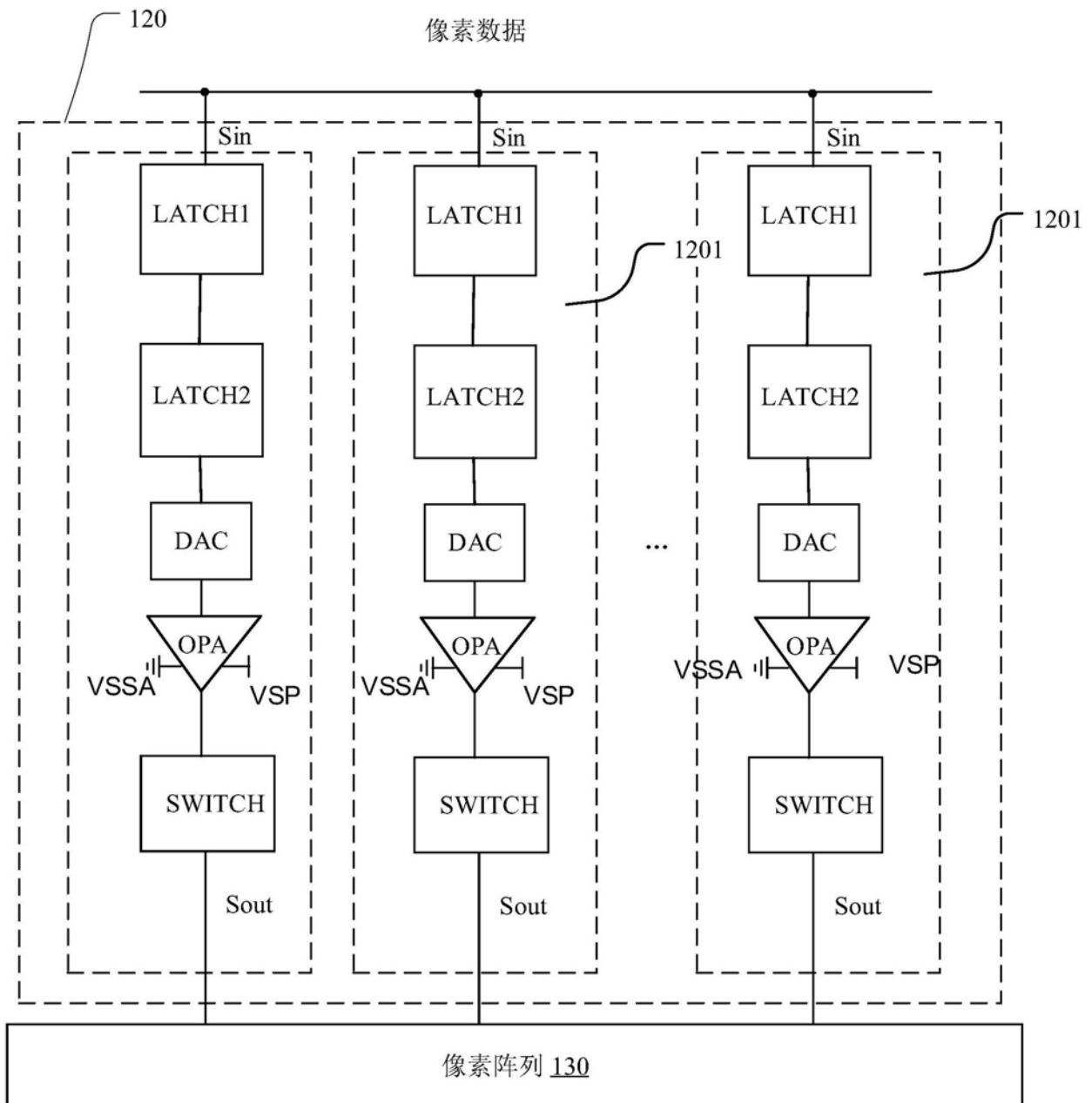


图3

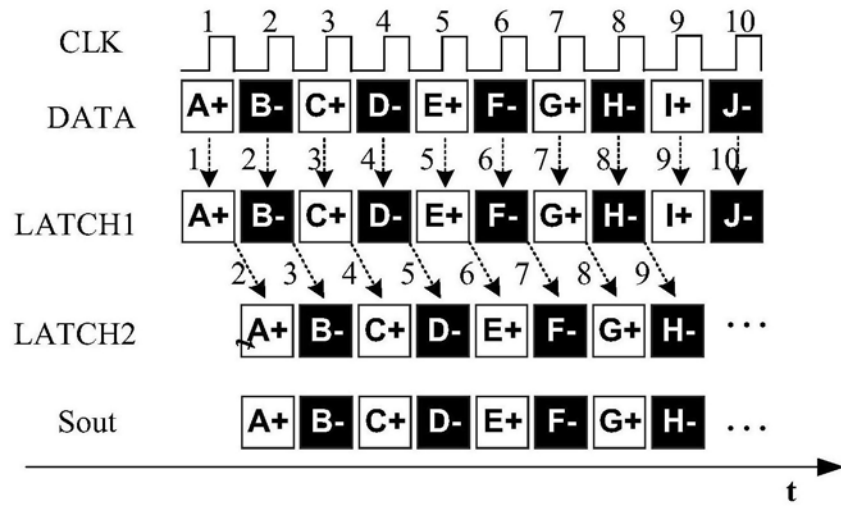


图4a

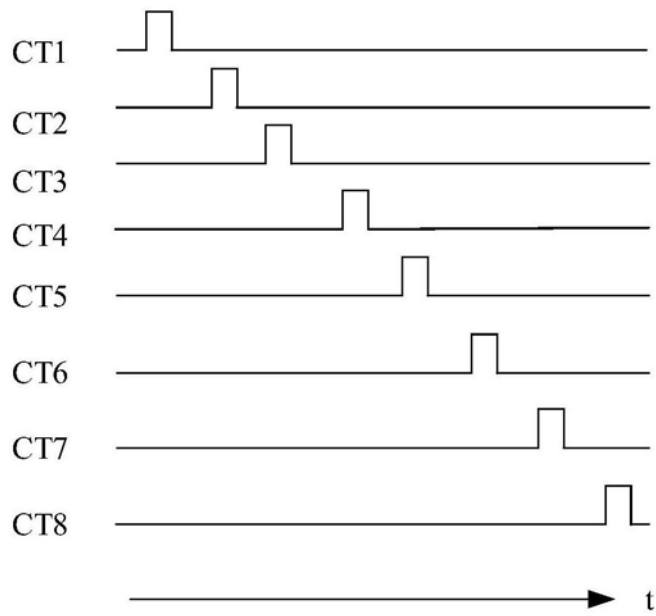


图4b

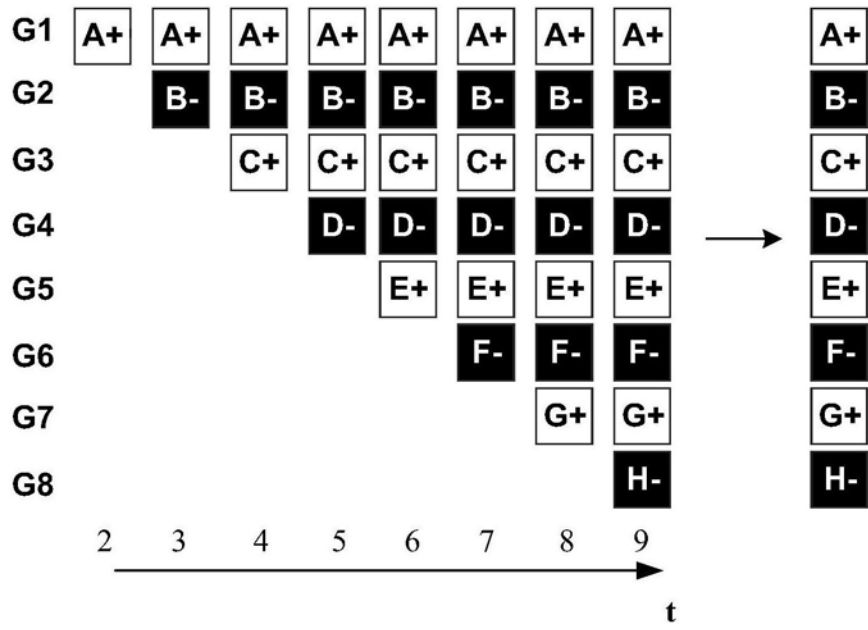


图4c

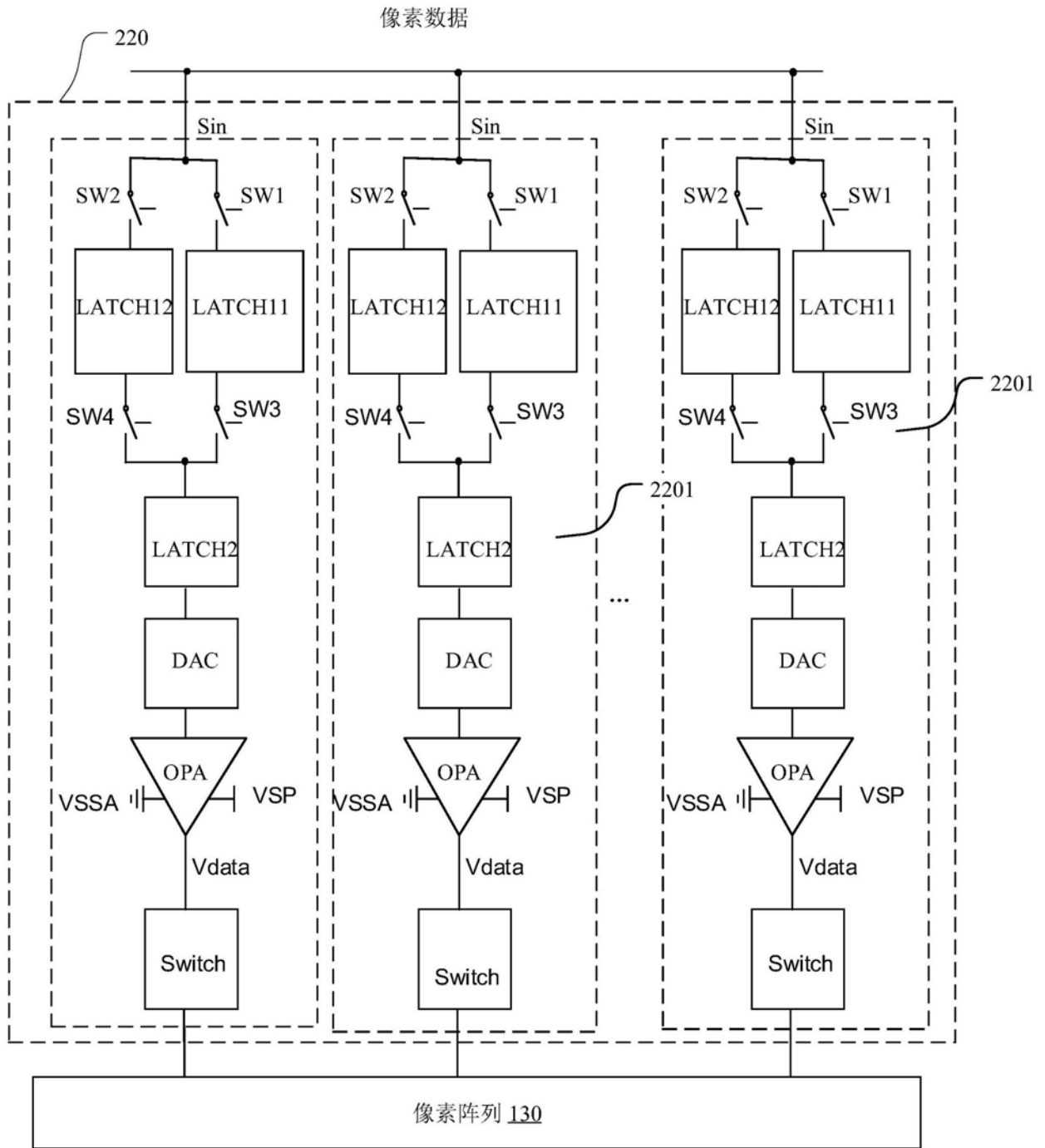


图5

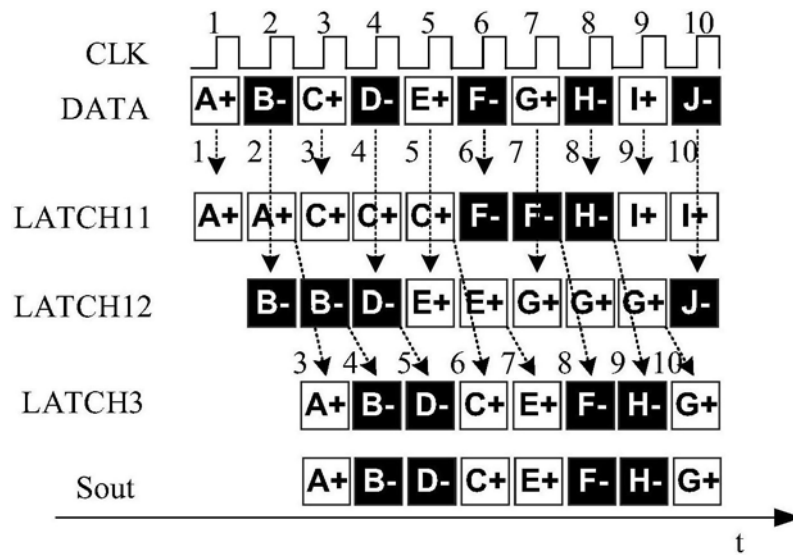


图6a

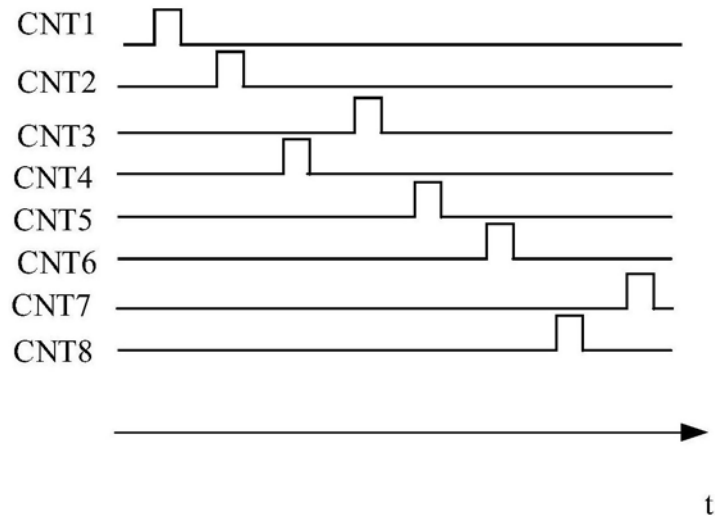


图6b

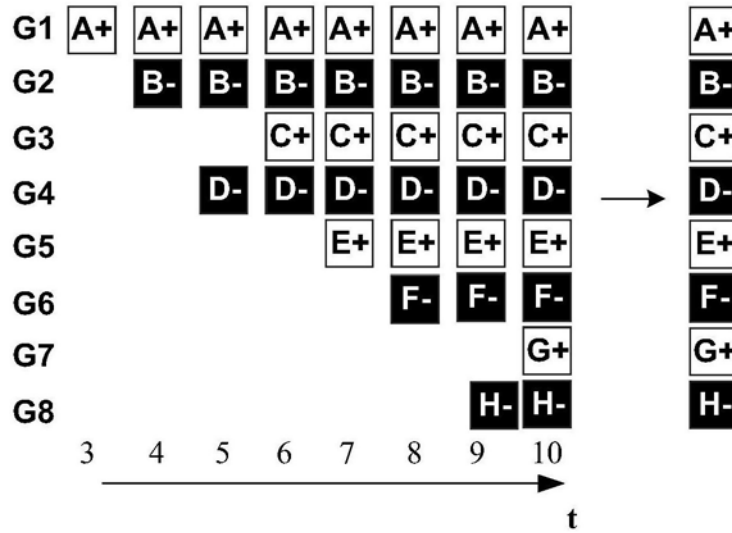


图6c

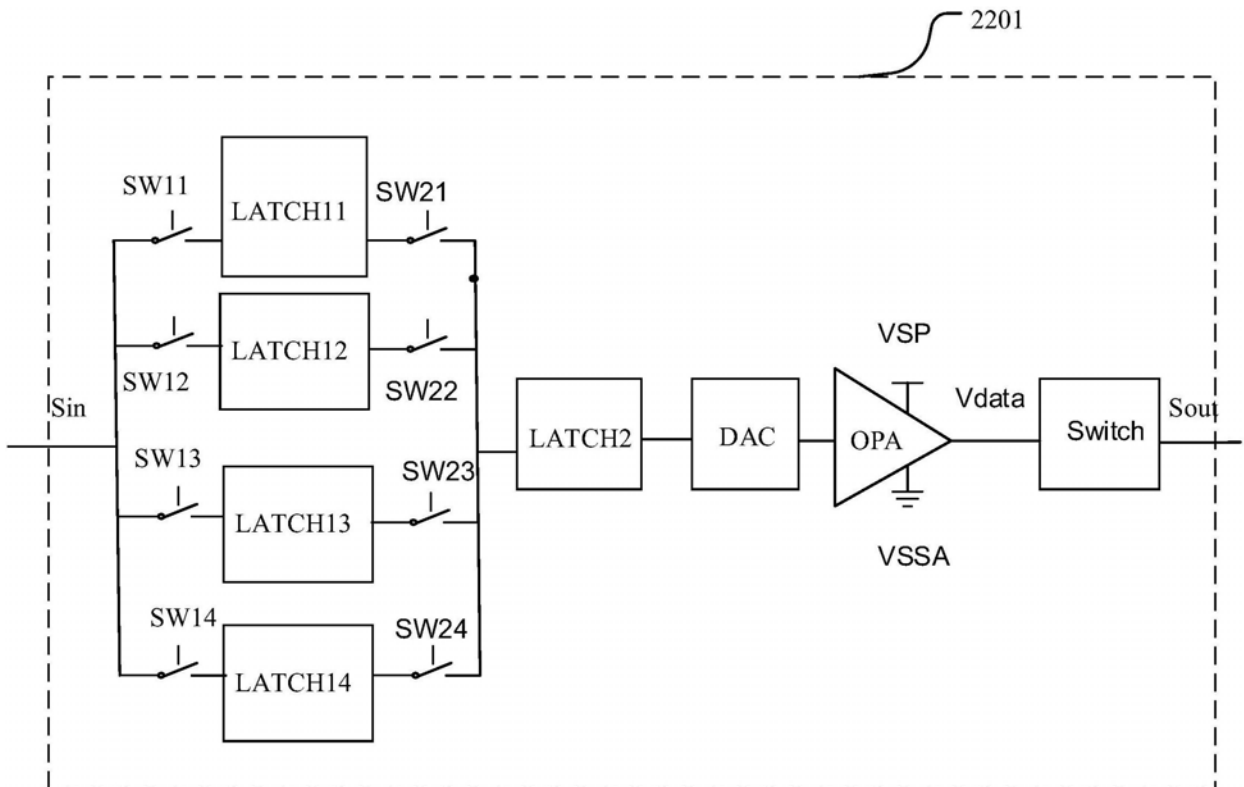


图7

专利名称(译)	源极驱动器、液晶显示装置及驱动方法		
公开(公告)号	CN108335683A	公开(公告)日	2018-07-27
申请号	CN201810207926.6	申请日	2018-03-14
[标]申请(专利权)人(译)	北京集创北方科技股份有限公司		
申请(专利权)人(译)	北京集创北方科技股份有限公司		
当前申请(专利权)人(译)	北京集创北方科技股份有限公司		
[标]发明人	吴昭呈 祝军		
发明人	吴昭呈 祝军		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3607 G09G3/3614		
代理人(译)	蔡纯		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种源极驱动器，包括多个驱动通道，每个驱动通道包括：多个第一选择开关，所述多个第一选择开关的输入端共同连接到驱动通道的输入端；多个第二选择开关，多个第二选择开关的输出端共同连接到驱动通道的输出端；以及和多个第一缓存器，每个第一缓存器连接在一个第一选择开关的输出端和一个第二选择开关的输入端之间，在每个驱动通道中，通过控制多个第一选择开关的开启和关闭，从而使多个第一缓存器按照行顺序接收像素数据，通过控制多个第二选择开关的开启和关闭，调整多个第一缓存器输出像素数据的顺序。本申请同时公开液晶显示装置和驱动方法。本申请能够减少像素电压的反转次数，降低功耗。

