



(12)发明专利申请

(10)申请公布号 CN 109814315 A

(43)申请公布日 2019.05.28

(21)申请号 201910193581.8

(22)申请日 2019.03.14

(71)申请人 电子科技大学

地址 611731 四川省成都市高新区(西区)  
西源大道2006号

(72)发明人 尚飞 向勇

(74)专利代理机构 电子科技大学专利中心  
51203

代理人 吴姗霖

(51) Int. Cl.

G02F 1/1362(2006.01)

G09G 3/36(2006.01)

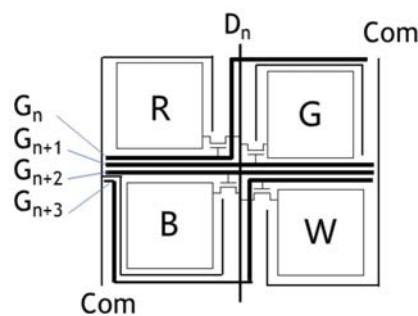
权利要求书1页 说明书3页 附图2页

(54)发明名称

一种多栅极像素结构及其驱动方法

(57)摘要

本发明提供一种多栅极像素结构及其驱动方法,属于显示技术领域。该发明针对田字形像素排布方式创新地采用了具有四倍栅走线的像素结构,并调整了栅极驱动信号的驱动方式,实现了多栅极像素结构的液晶显示驱动,既满足了对每一个像素的数据信号写入,4个像素共用数据走线,由于走线共用,使得像素开口率得到提升,使得Source IC数量为常用的单栅极走线像素结构的1/4,进一步节省IC驱动数据信号,降低了工艺成本。并且采用本发明技术方案使W/Y像素和R/G/B像素都由不同的栅极走线控制,利于对W/Y像素显示的控制,使IC算法简单化。



1. 一种多栅极像素结构,包含多个像素重复单元,每一个像素重复单元包括一个像素单元,一条数据线,以及一条COM线,所述像素单元由四个子像素构成,呈2\*2的矩阵排布方式,每个子像素区域内设置一个薄膜晶体管以及像素电极,其特征在于,所述像素重复单元还包括四条栅极线 $G_n$ 、 $G_{n+1}$ 、 $G_{n+2}$ 和 $G_{n+3}$ ,设置于第一行子像素与第二行子像素之间,其中,所述数据线与四个晶体管的漏极相连接,所述像素电极与对应的薄膜晶体管的源极相连接, $G_n$ 栅极线与第一子像素区域内薄膜晶体管的栅极相连接, $G_{n+1}$ 栅极线与第二子像素区域内薄膜晶体管的栅极相连接, $G_{n+2}$ 栅极线与第三子像素区域内薄膜晶体管的栅极相连接, $G_{n+3}$ 栅极线与第四子像素区域内薄膜晶体管的栅极相连接,四条栅极线由直线和Zig zag走线组成。

2. 如权利要求1所述的多栅极像素结构,其特征在于,所述四条栅极线中 $G_n$ 和 $G_{n+3}$ 为Zig zag走线, $G_{n+1}$ 和 $G_{n+2}$ 为直走线。

3. 如权利要求1所述的多栅极像素结构,其特征在于,所述四个子像素为红色子像素R、绿色子像素G、蓝色子像素B和白色子像素W,或者R、G、B和黄色子像素Y两种子像素组合方式。

4. 一种如权利要求1所述的多栅极像素结构的驱动方法,其特征在于,包括以下步骤:

步骤1:在第一时刻, $G_n$ 栅极线为高电平,其余栅极线为低电平,与 $G_n$ 栅极线相连接的薄膜晶体管打开,数据线写入Data信号;

步骤2:第二时刻, $G_{n+1}$ 栅极线为高电平,其余栅极线为低电平,与 $G_{n+1}$ 栅极线相连接的薄膜晶体管打开,数据线写入Data信号;

步骤3:在第三时刻, $G_{n+2}$ 栅极线为高电平,其余栅极线为低电平,与 $G_{n+2}$ 栅极线相连接的薄膜晶体管打开,数据线写入Data信号;

步骤4:在第四时刻, $G_{n+3}$ 栅极线为高电平,其余栅极线为低电平,与 $G_{n+3}$ 栅极线相连接的薄膜晶体管打开,数据线写入Data信号。

5. 如权利要求4所述的多栅极像素结构的驱动方法,其特征在于,所述像素驱动顺序依次为 $G_{n+3}$ 、 $G_{n+2}$ 、 $G_{n+1}$ 到 $G_n$ 反方向依次驱动。

6. 一种显示面板,其特征在于,包括如权利要求1所述的多栅极像素结构。

## 一种多栅极像素结构及其驱动方法

### 技术领域

[0001] 本发明属于显示技术领域,具体涉及一种多栅极(multi Gate)像素结构及其驱动方法。

### 背景技术

[0002] 液晶显示器(LCD,Liquid Crystal Display)包含栅极驱动电路、数据驱动电路和像素区域。其中,栅极驱动电路包含多条栅极线,依序产生栅极驱动信号,数据驱动电路包含多条数据线,用于产生数据驱动信号,各栅极线为相互平行的直线,各数据线为相互平行的直线;像素区域中的像素由栅极线和数据线交错形成,且由对应的栅极线所产生的栅极驱动信号所驱动以接收对应数据线所产生的数据驱动信号。为了降低成本,双栅极(Dual gate)像素结构越来越广泛的被应用于LCD中,但双栅极像素仍然需要二分之一的驱动IC(集成电路)数据线,降低成本的程度有限。

### 发明内容

[0003] 针对背景技术所存在的问题,本发明的目的在于提供一种多栅极像素结构及其驱动方法,实现4倍栅极像素结构的液晶显示驱动,进一步节省IC驱动数据信号,进一步降低成本。

[0004] 为实现上述目的,本发明的技术方案如下:

[0005] 一种多栅极像素结构,包含多个像素重复单元,每一个像素重复单元包括一个像素单元,一条数据线,以及一条COM线,所述像素单元由四个子像素构成,呈2\*2的矩阵排布方式,每个子像素区域内设置一个薄膜晶体管以及像素电极,其特征在于,还包括四条栅极线 $G_n$ 、 $G_{n+1}$ 、 $G_{n+2}$ 和 $G_{n+3}$ ,设置于第一行子像素与第二行子像素之间,其中,所述数据线与四个晶体管的漏极相连接,所述像素电极与对应的薄膜晶体管的源极相连接, $G_n$ 栅极线与第一子像素区域内薄膜晶体管的栅极相连接, $G_{n+1}$ 栅极线与第二子像素区域内薄膜晶体管的栅极相连接, $G_{n+2}$ 栅极线与第三子像素区域内薄膜晶体管的栅极相连接, $G_{n+3}$ 栅极线与第四子像素区域内薄膜晶体管的栅极相连接,四条栅极线由直线和Zig zag走线组成。

[0006] 进一步地,四条栅极线中 $G_n$ 和 $G_{n+3}$ 为Zig zag走线, $G_{n+1}$ 和 $G_{n+2}$ 为直走线。

[0007] 一种多栅极像素结构的驱动方法,其包括以下步骤:

[0008] 步骤1:在第一时刻, $G_n$ 栅极线为高电平,其余栅极线为低电平,与 $G_n$ 栅极线相连接的薄膜晶体管打开,数据线写入Data信号;

[0009] 步骤2:第二时刻, $G_{n+1}$ 栅极线为高电平,其余栅极线为低电平,与 $G_{n+1}$ 栅极线相连接的薄膜晶体管打开,数据线写入Data信号;

[0010] 步骤3:在第三时刻, $G_{n+2}$ 栅极线为高电平,其余栅极线为低电平,与 $G_{n+2}$ 栅极线相连接的薄膜晶体管打开,数据线写入Data信号;

[0011] 步骤4:在第四时刻, $G_{n+3}$ 栅极线为高电平,其余栅极线为低电平,与 $G_{n+3}$ 栅极线相连接的薄膜晶体管打开,数据线写入Data信号。

[0012] 进一步地,所述四个子像素为红色子像素R、绿色子像素G、蓝色子像素B和白色子像素W,或者R、G、B和黄色子像素Y两种子像素组合方式。

[0013] 进一步地,所述像素驱动顺序还可以依次为 $G_{n+3}$ 、 $G_{n+2}$ 、 $G_{n+1}$ 到 $G_n$ 反方向依次驱动。

[0014] 本发明还提供一种显示面板,包括如上所述四倍栅极驱动的像素结构。

[0015] 其中,COM走线布局与非 $D_n$ 数据信号走线位置,与R、G、B、W像素的像素电极交叠,形成存储电容。

[0016] 综上所述,由于采用了上述技术方案,本发明的有益效果是:

[0017] 1、采用了具有四倍栅走线的像素结构,并调整了栅极驱动信号的驱动方式,实现了多栅极像素结构的液晶显示驱动,既满足了对每一个像素的数据信号写入,4个像素共用数据走线,由于走线共用,使得像素开口率得到提升,进一步节省IC驱动数据信号,降低了工艺成本。

[0018] 2、采用本发明技术方案,使得Source IC数量为常用的单栅极走线像素结构的1/4,能够降低生产工艺成本;并且W/Y像素和R/G/B像素都由不同的栅极走线控制,利于对W/Y像素显示的控制,使IC算法简单化。

## 附图说明

[0019] 图1为背景技术所述双栅(dual gate)像素结构示意图。

[0020] 图2为本发明具有四倍栅极走线的像素重复单元结构示意图。

[0021] 图3为本发明具有四倍栅极走线的像素组结构示意图。

[0022] 图4为本发明具有四倍栅极走线的像素组栅极电路驱动信号时序图。

## 具体实施方式

[0023] 为使本发明的目的、技术方案和优点更加清楚,下面结合实施方式和附图,对本发明作进一步地详细描述。

[0024] 图2为本发明具有四倍栅极走线的像素重复单元结构示意图。如图2所示,每一个像素重复单元有一个像素单元、四条栅极走线、一条数据线、以及一条COM线,该像素单元由R、G、B和W四个子像素构成,为2\*2的矩阵排布方式,呈“田”字形,每个子像素区域内设置一个薄膜晶体管(TFT)以及像素电极,四条栅极(Gate)走线 $G_n$ 、 $G_{n+1}$ 、 $G_{n+2}$ 和 $G_{n+3}$ 为Zig zag走线和直走线组成,设置于第一行子像素与第二行子像素之间,数据( $D_n$ )走线在一个像素重复单元中连接4个TFT,并且给RGBW子像素提供数据信号。

[0025] 其中 $G_n$ 栅极走线连接R像素TFT的栅极, $D_n$ 数据走线连接R像素TFT漏极,R像素TFT源极连接于R像素的像素电极; $G_{n+1}$ 栅极走线连接G像素TFT的栅极, $D_n$ 数据走线连接G像素TFT漏极,G像素TFT源极连接于G像素的像素电极; $G_{n+2}$ 栅极走线连接B像素TFT的栅极, $D_n$ 数据走线连接B像素TFT漏极,B像素TFT源极连接于B像素的像素电极; $G_{n+3}$ 栅极走线连接W像素TFT的栅极, $D_n$ 数据走线连接W像素TFT漏极,W像素TFT源极连接于W像素的像素电极。

[0026] 其中,COM走线布局与非 $D_n$ 数据信号走线位置,与R、G、B、W像素的像素电极交叠,形成存储电容。

[0027] 图3为本发明具有四倍栅极走线的像素组结构示意图。像素组即由多个像素重复单元构成。图4为本发明具有四倍栅极走线的像素组栅极电路驱动信号时序图。 $G_n$ 输入栅极

开启信号后Dn走线输入data信号,data信号写入R像素(red Pixel)。然后Gn关闭,Gn+1输入栅极开启信号,Dn走线输入data信号,data信号写入G像素(Green Pixel)。以此类推,Gn+1关闭,Gn+2输入栅极开启信号,Dn走线输入data信号,data信号写入B像素(Blue Pixel)。以此类推,Gn+2关闭,Gn+3输入栅极开启信号,Dn走线输入data信号,data信号写入W像素(White Pixel)。

[0028] 在上述的驱动显示过程中,是按照Gn、Gn+1、Gn+2、…依次自上而下的驱动顺序,还可以按照…、Gn+3、Gn+2、Gn+1到Gn反方向顺序依次驱动。

[0029] 在TFT-LCD行业中,驱动方式IC成本高,例如FHD分辨率,采用业界已有的dual Gate(双倍栅极)驱动方式,需要 $1920 \times 3/2 = 2880$  channel IC,可以采用2颗1440 channel的IC来驱动。本发明采用4倍栅极驱动方式,需要 $1920 \times 3/4 = 1440$ 个Channel的IC,用1颗1440 channel的IC即可,IC成本降低一倍。

[0030] 以上所述,仅为本发明的具体实施方式,本说明书中所公开的任一特征,除非特别叙述,均可被其他等效或具有类似目的的替代特征加以替换;所公开的所有特征、或所有方法或过程中的步骤,除了互相排斥的特征和/或步骤以外,均可以任何方式组合。

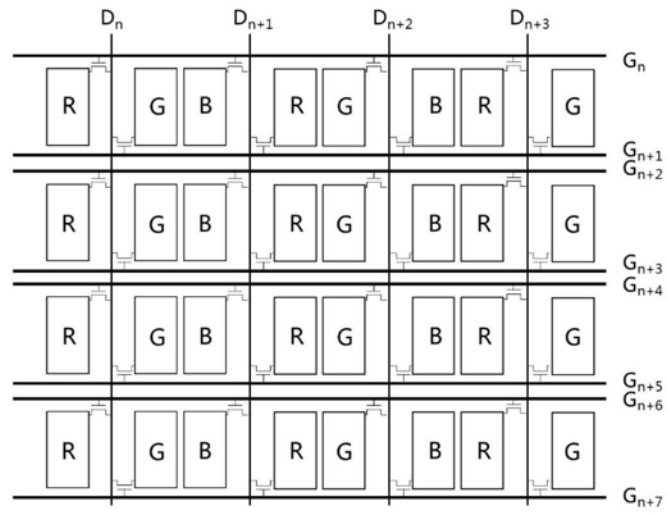


图1

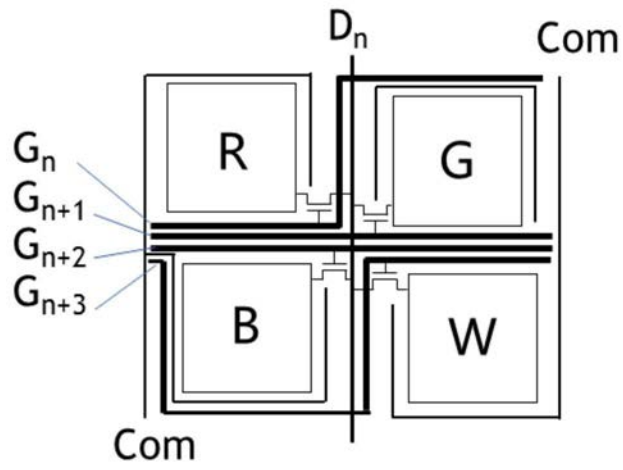


图2

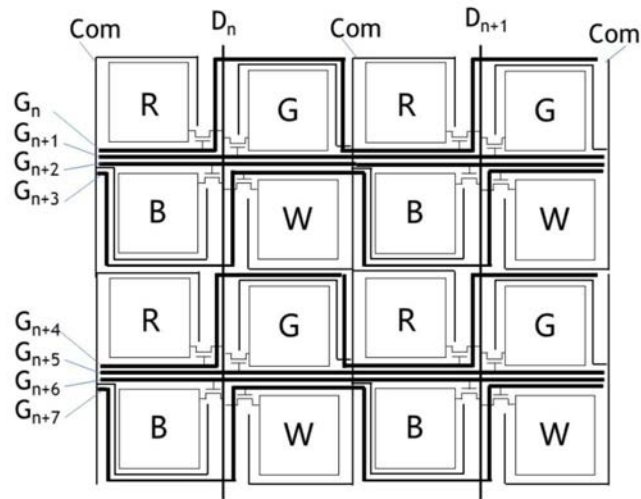


图3

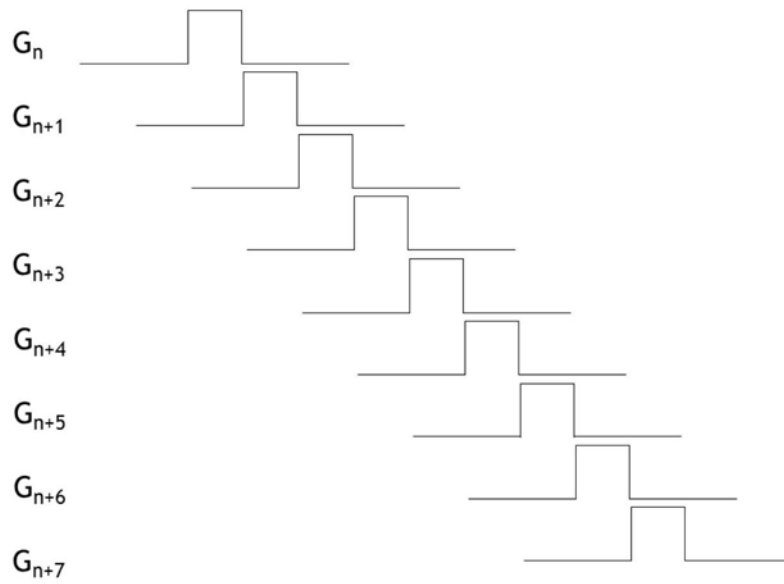


图4

专利名称(译)	一种多栅极像素结构及其驱动方法		
公开(公告)号	<a href="#">CN109814315A</a>	公开(公告)日	2019-05-28
申请号	CN201910193581.8	申请日	2019-03-14
[标]申请(专利权)人(译)	电子科技大学		
申请(专利权)人(译)	电子科技大学		
当前申请(专利权)人(译)	电子科技大学		
[标]发明人	尚飞 向勇		
发明人	尚飞 向勇		
IPC分类号	G02F1/1362 G09G3/36		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明提供一种多栅极像素结构及其驱动方法，属于显示技术领域。该发明针对田字形像素排布方式创新地采用了具有四倍栅走线的像素结构，并调整了栅极驱动信号的驱动方式，实现了多栅极像素结构的液晶显示驱动，既满足了对每一个像素的数据信号写入，4个像素共用数据走线，由于走线共用，使得像素开口率得到提升，使得Source IC数量为常用的单栅极走线像素结构的1/4，进一步节省IC驱动数据信号，降低了工艺成本。并且采用本发明技术方案使W/Y像素和R/G/B像素都由不同的栅极走线控制，利于对W/Y像素显示的控制，使IC算法简单化。

