



(12) 实用新型专利

(10) 授权公告号 CN 203982045 U

(45) 授权公告日 2014. 12. 03

(21) 申请号 201420467314. 8

(22) 申请日 2014. 08. 18

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 李文波 程鸿飞 乔勇 李盼
先建波

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51) Int. Cl.

G02F 1/1343(2006. 01)

G02F 1/1362(2006. 01)

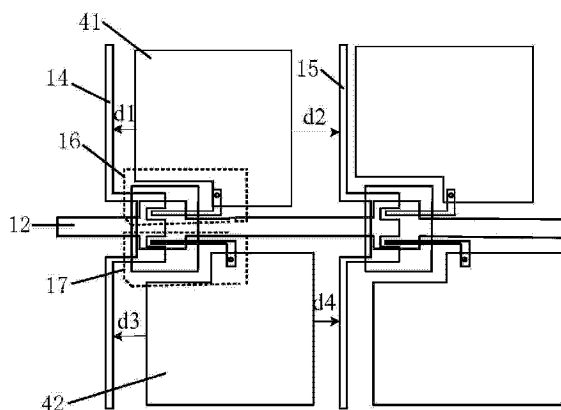
权利要求书1页 说明书7页 附图4页

(54) 实用新型名称

阵列基板和显示装置

(57) 摘要

本实用新型实施例公开了一种阵列基板和显示装置,涉及显示领域,能够解决现有液晶显示器视角狭窄的问题,提高显示效果。本实用新型提供的阵列基板,包括:交叉设置的数据线和栅线,以及像素电极;所述像素电极至少包括第一像素电极和第二像素电极,且,所述第一像素电极、所述第二像素电极与同一所述数据线的距离不相等。本实用新型用于改进液晶显示器显示效果。



1. 一种阵列基板,包括:交叉设置的数据线和栅线,以及像素电极;其特征在于,所述像素电极至少包括第一像素电极和第二像素电极,且,
所述第一像素电极、所述第二像素电极与同一所述数据线的距离不相等。
2. 根据权利要求1所述的阵列基板,其特征在于,
所述第一像素电极在数据线延伸方向上的对称轴线与所述第二像素电极在数据线延伸方向上的对称轴线相互平行但不在同一直线上。
3. 根据权利要求1所述的阵列基板,其特征在于,所述像素电极设置在第一数据线和第二数据线之间;
所述第一像素电极与所述第一数据线、所述第二数据线的距离为 d_1 、 d_2 ,所述第二像素电极与所述第一数据线、所述第二数据线的距离为 d_3 、 d_4 ,其中, d_1 、 d_2 、 d_3 、 d_4 的取值不完全相等。
4. 根据权利要求1-3任一项所述的阵列基板,其特征在于,还包括:用于驱动所述第一像素电极的第一薄膜晶体管,和,用于驱动所述第二像素电极的第二薄膜晶体管;
所述第一薄膜晶体管和第二薄膜晶体管共用同一数据线和同一栅线。
5. 根据权利要求4所述的阵列基板,其特征在于,
所述第一像素电极和第二像素电极分别位于所共用的栅线的两侧。
6. 根据权利要求1-3任一项所述的阵列基板,其特征在于,还包括:
所述第一像素电极和第二像素电极在邻近边缘相连接。
7. 根据权利要求6所述的阵列基板,其特征在于,还包括:公共电极线,
所述公共电极线位于所述第一像素电极与所述第二像素电极连接处的下方。
8. 一种显示装置,其特征在于,包括:权利要求1-7任一项所述的阵列基板。

阵列基板和显示装置

技术领域

[0001] 本实用新型涉及显示领域,尤其涉及一种阵列基板和显示装置。

背景技术

[0002] 液晶显示器因其具有体积小、重量轻、功耗低、驱动电压低以及无辐射等优点,已广泛应用于电视、手机以及公共信息的显示,是目前使用最广泛的显示技术。

[0003] 典型的液晶显示器(LCD,Liquid Crystal Display)包括:设置有公共电极和彩色滤光片的彩膜基板,设置有薄膜晶体管和像素电极的阵列基板,以及夹置在彩膜基板和阵列基板之间的液晶层。如图1所示,阵列基板上的像素结构由数据线11、栅线12、像素电极50和薄膜晶体管13组成,数据线11与栅线12纵横交叉,限定出像素区域,像素电极50设置于该像素区域内,薄膜晶体管13位于数据线11和栅线12的交叉点附近,薄膜晶体管13的栅极与栅线12相连,薄膜晶体管13的源极与数据线11相连,薄膜晶体管13的漏极与像素电极50相连。工作时,像素电极50和公共电极(位于彩膜基板上,图中未示出)被施以电压,其间的压差造成电场,电场的变化改变液晶层中液晶分子的取向,进而改变光通过液晶层的透射率,上述即为LCD的显示原理,但众所周知上述结构的液晶显示器的缺点在于视角狭窄,而且从不同视角观看存在色差,影响显示效果。

实用新型内容

[0004] 本实用新型实施例提供一种阵列基板和显示装置,能够解决现有液晶显示器视角狭窄的问题,提高显示效果。

[0005] 为达到上述目的,本实用新型的实施例采用如下技术方案:

[0006] 一方面,本实用新型实施例提供一种阵列基板,包括:交叉设置的数据线和栅线,以及像素电极;所述像素电极至少包括第一像素电极和第二像素电极,且,所述第一像素电极、所述第二像素电极与同一所述数据线的距离不相等。

[0007] 可选的,所述第一像素电极在数据线延伸方向上的对称轴线与所述第二像素电极在数据线延伸方向上的对称轴线相互平行但不在同一直线上。

[0008] 优选的,所述像素电极设置在第一数据线和第二数据线之间;所述第一像素电极与所述第一数据线、所述第二数据线的距离为 d_1 、 d_2 ,所述第二像素电极与所述第一数据线、所述第二数据线的距离为 d_3 、 d_4 ,其中, d_1 、 d_2 、 d_3 、 d_4 的取值不完全相等。

[0009] 进一步地,所述阵列基板,还包括:用于驱动所述第一像素电极的第一薄膜晶体管,和,用于驱动所述第二像素电极的第二薄膜晶体管;所述第一薄膜晶体管和第二薄膜晶体管共用同一数据线和同一栅线。

[0010] 可选的,所述第一像素电极和第二像素电极分别位于所共用的栅线的两侧。

[0011] 可选的,所述第一像素电极和第二像素电极位于同一栅线的一侧,所述第一像素电极和第二像素电极在邻近边缘相连接。

[0012] 可选的,所述阵列基板,还包括:公共电极线,所述公共电极线位于所述第一像素

电极与所述第二像素电极连接处的下方。

[0013] 本实用新型实施例还提供一种显示装置,包括上述的阵列基板。

[0014] 数据线及数据线上的信号会对像素电极、公共电极间的驱动电场(尤其是像素电极边缘部分对应的驱动电场)产生影响,进而影响液晶分子的偏转。本实用新型提供的方案中,将像素电极至少分成第一、第二像素电极,并且将第一像素电极、第二像素电极与同一数据线的距离设置为不同值,这样数据线及数据线上的信号对第一像素电极处的驱动电场以及第二像素电极处的驱动电场的影 响也会存在差别,其结果是像素中的液晶分子存在多个取向不同的畴区(以下简称畴区),而多个畴区可实现液晶的宽视角显示,从而解决了现有液晶显示器视角狭窄的技术问题。其中,上述的像素对应包括第一像素电极及第二像素电极在内的整个区域。

附图说明

[0015] 为了更清楚地说明本实用新型实施例中的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本实用新型的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它的附图。

[0016] 图 1 为现有技术中阵列基板的结构示意图;

[0017] 图 2 为本实用新型的实施例 1 提供的阵列基板的结构示意图;

[0018] 图 3 为本实用新型的实施例 1 提供的阵列基板的另一种结构示意图;

[0019] 图 4 为本实用新型的实施例 2 提供的阵列基板的结构示意图;

[0020] 图 5 为本实用新型的实施例 3 提供的阵列基板的结构示意图;

[0021] 图 6 为本实用新型的实施例 3 中两个像素电极连接方式的示意图;

[0022] 图 7 为本实用新型的实施例 6 中阵列基板的结构示意图;

[0023] 图 8 为图 7 所示阵列基板结构沿 A1-A2 方向的剖面结构示意图;

[0024] 图 9 为本实用新型的实施例 6 提供的阵列基板制造方法流程图。

[0025] 附图标记

[0026] 11- 数据线,12- 栅线,13- 薄膜晶体管,50- 像素电极,

[0027] 14- 第一数据线,15- 第二数据线,16- 第一薄膜晶体管,17- 第二薄膜晶体管,

[0028] 21- 栅极绝缘层,22- 有源层,23- 钝化层,30- 栅极,31- 源极,32- 漏极,

[0029] 33- 过孔,40- 公共电极线,41- 第一像素电极,42- 第二像素电极。

具体实施方式

[0030] 下面将结合本实用新型实施例中的附图,对本实用新型实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本实用新型一部分实施例,而不是全部的实施例。

[0031] 实施例 1:

[0032] 本实用新型实施例提供一种阵列基板,如图 2 所示,该阵列基板包括:交叉设置的数据线 11 和栅线 12,以及像素电极;像素电极至少包括第一像素电极 41 和第二像素电极 42 两部分,第一像素电极 41、第二像素电极 42 与同一数据线 11 的距离不相等。

[0033] 参照图 2 中所示,第一像素电极 41 与数据线 11 的距离为 d_1 ,第二像素电极 42 与数据线 11 的距离 d_3 , $d_1 \neq d_3$,因此数据线 11 对第一像素电极 41 处的驱动电场和对第二像素电极 42 处的驱动电场的影响存在差别,使得液晶分子存在多个取向畴区,而畴区越多,越有助于改善液晶视角狭窄问题。

[0034] 本实施例中,我们定义上述的距离为像素电极(第一像素电极 41 或第二像素电极 42)的边缘,到与该边缘最邻近的数据线的有向线段。线段的长度即像素电极的边缘到该数据线的最短长度。

[0035] 像素电极与数据线 11 位于不同层,当像素电极的边界可以向外延伸超出相邻两个数据线的限定区域,如图 3 中所示的第一像素电极 41,这时,第一像素电极 41 到数据线 11(本像素的数据线)的距离为 d_1' , d_1' 即第一像素电极 41 的左边缘到左侧最邻近的数据线 11 的距离,如果我们规定图 3 中水平向左的方向为正方向,此时 d_1' 为负值,而第二像素电极 42 到数据线 11 的距离 d_3' 为正值。一种可选的实施方式中, $d_1' \neq d_3'$,但 d_1' 与 d_3' 的绝对值相等。

[0036] 上述实施例中是通过将像素电极分成至少两部分,且,该至少两部分与同一数据线 11 的距离不同,藉此来形成多畴区,具体实施中,本领域技术人员可以根据需要将像素电极分成三、四甚至更多部分,从而获得更多畴区,针对液晶显示器视角狭窄问题的改善效果更好。

[0037] 上述实施例中,我们没有考虑栅线对像素电极处的驱动电场的影响,实际上,第一、第二像素电极与栅线的距离也不相等,栅线对第一、第二像素电极处的驱动电场的影响也不同,最终会形成更多个畴区。

[0038] 本实用新型实施例提供的阵列基板,可以实现多畴区,从而解决现有液晶显示器视角狭窄的技术问题。

[0039] 上述方案适用于 TN(Twisted Nematic,扭曲向列)型液晶显示器,也适用于 IPS(In-Plane Switching,平面转换技术),ADS(Advanced super Dimension Switch,高级超维场转换)和 VA(Vertical Alignment,垂直排列)等类型的液晶显示器。

[0040] 实施例 2:

[0041] 本实用新型实施例提供一种阵列基板,与实施例 1 的区别之处如图 4 所示,数据线与栅线 12 交叉设置,图中示出数据线中的第一数据线 14 和第二数据线 15,像素电极设置在第一数据线 14 和第二数据线 15 之间,该像素电极包括第一像素电极 41 和第二像素电极 42 两部分,这两部分分别位于栅线 12 的两侧,且,第一像素电极 41 与第一数据线 14、第二数据线 15 的距离分别为 d_1 、 d_2 ,第二像素电极 42 与第一数据线 14、第二数据线 15 的距离分别为 d_3 、 d_4 ,其中, d_1 、 d_2 、 d_3 、 d_4 的取值不完全相等。

[0042] 上述阵列基板还包括:用于驱动第一像素电极 41 的第一薄膜晶体管 16,和,用于驱动第二像素电极 42 的第二薄膜晶体管 17,第一薄膜晶体管 16 和第二薄膜晶体管 17 共用同一数据线 11 和同一栅线 12,即第一薄膜晶体管 16 的栅极、第二薄膜晶体管 17 的栅极均与栅线 12 连接,第一薄膜晶体管 16 的源极、第二薄膜晶体管 17 的源极均与数据线 11 连接,第一薄膜晶体管 16 的漏极与第一像素电极 41 连接,第二薄膜晶体管 17 的漏极与第二像素电极 42 连接。通过增设薄膜晶体管,对第一像素电极 41、第二像素电极 42 分别进行驱动,提高了像素的驱动能力,从而使液晶显示器具有更好的显示效果。

[0043] 实际上,对于本实施例中的第一像素电极 41 与第二像素电极 42,可根据像素电容大小设计不同的存储电容。

[0044] 因第一像素电极 41 与第一数据线 14 及第二数据线 14 的距离为 d_1 、 d_2 ,第二像素电极 42 与第一数据线 14 及第二数据线 14 的距离为 d_3 、 d_4 ,且, d_1 、 d_2 、 d_3 、 d_4 的取值不完全相等,最终形成多个畴区,而畴区越多对视角狭窄问题所能达到的改善效果越好。

[0045] 实施例 3:

[0046] 本实用新型实施例提供一种阵列基板,如图 5 所示,数据线与栅线 12 交叉设置,图中示出数据线中的第一数据线 14 和第二数据线 15,像素电极设置在第一数据线 14 和第二数据线 15 之间,该像素电极包括第一像素电极 41 和第二像素电极 42 两部分,这两部分位于栅线 12 的同一侧并在邻近边缘处相连接。

[0047] 图 5 中示出的第一像素电极 41 和第二像素电极 42 的连接方式为直角折线,但本实用新型不限于此,第一像素电极 41 和第二像素电极 42 的连接方式还可以是斜线(如图 6 中的 A)、弧线(如图 6 中的 B)或者其他形式的连接方式。

[0048] 本实施例中的第一像素电极 41 和第二像素电极 42 同层设置,且电性相连,制作时,由同一像素电极膜层刻蚀形成。即对于图 4 所示阵列基板,相当于第一像素电极 41 和第二像素电极 42 还是一整块,仅是图形发生变化,图 2 中这一点体现得更为清楚。

[0049] 进一步地,该阵列基板还包括公共电极线 40,该公共电极线 40 位于第一像素电极 41 与第二像素电极 42 连接处的下方,参照图 8 所示。

[0050] 本实施例中第一数据线 14 和栅线 12 的交叉点附近设置有一薄膜晶体管 13,该薄膜晶体管用于驱动第一像素电极 41 和第二像素电极 42(第一像素电极 41 和第二像素电极 42 电连接),因第一像素电极 41 与第一数据线 14、第二数据线 15 的距离分别为 d_1 、 d_2 ,第二像素电极 42 与第一数据线 14、第二数据线 15 的距离分别为 d_3 、 d_4 ,其中, d_1 、 d_2 、 d_3 、 d_4 的取值不完全相等,数据线对各区域的影响不同,从而使液晶形成多个畴区,可以更好地改善液晶显示器视角狭窄的问题。

[0051] 实施例 4:

[0052] 本实用新型实施例提供一种阵列基板,包括:交叉设置的数据线和栅线,以及像素电极,所述像素电极至少包括第一像素电极和第二像素电极,第一像素电极、第二像素电极与同一所述数据线的距离不相等,且第一像素电极和第二像素电极在数据线延伸方向上错位。

[0053] 第一像素电极在数据线延伸方向上的对称轴线与第二像素电极在数据线延伸方向上的对称轴线相互平行但不在同一直线上,从而使第一像素电极、第二像素电极到同一数据线的距离不相等。所谓对称轴线,即像素电极关于对称轴线接近或完全轴对称,本实施例中的对称轴线平行于数据线延伸方向。

[0054] 本实施例中将像素电极分成至少两部分,且,这两部分错位排列,从而使这两部分与同一数据线的距离不同,藉此来形成多畴区,从而地改善液晶显示器视角狭窄的问题。实际上,本实施例像素电极还可采取更多部分错位排列方式构成。

[0055] 实施例 5:

[0056] 本实用新型实施例还提供一种显示装置,包括实施例 1-4 中的任意一种阵列基板。根据上述实施例中对阵列基板的描述,可知,通过使第一像素电极和第二像素电极距数

据线的远近不同,使得液晶分子存在取向不同的区域,从而形成多个畴区,而畴区越多,显示效果越好,越有助于改善液晶视角狭窄问题,因而采用了上述阵列基板的显示装置视角广,显示效果好。

[0057] 所述显示装置可以为:液晶面板、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0058] 实施例 6:

[0059] 本实用新型实施例还提供一种阵列基板的制造方法,该方法包括:形成像素电极的工序,该形成像素电极的工序中形成的像素电极如图 2 所示,至少包括第一像素电极 41 和第二像素电极 42 两部分,且,第一像素电极 41、第二像素电极 42 与数据线 11 的距离不相等。

[0060] 本实施例提供的阵列基板制造方法和现有技术相比,制作工序大致相同,其不同点在于,形成像素电极的工序中形成的像素电极的图形不同,本实施例中形成的像素电极至少包括两部分,且这两部分同层设置,所以只需更换形成像素电极的工序中使用的掩模板即可。采用此方法制作的阵列基板可使液晶形成多个畴区,从而解决了现有技术中液晶显示器显示视角狭窄的问题。

[0061] 优选的,如图 4 所示,形成像素电极的工序中形成的像素电极设置在第一数据线和第二数据线之间,第一像素电极 41 与第一数据线 14、第二数据线 15 的距离为 d_1 、 d_2 ,第二像素电极 42 与第一数据线 14、第二数据线 15 的距离为 d_3 、 d_4 ,其中, d_1 、 d_2 、 d_3 、 d_4 的取值不完全相等。

[0062] 该工序和上述形成像素电极的工序基本相同,其不同点在于形成的第一像素电极 41 和第二像素电极 42 距离第一数据线 14 和第二数据线 15 的距离 d_1 、 d_2 、 d_3 、 d_4 各不相等,所以只需要对形成像素电极的工序使用的掩模板的图案进行重新设计,使其形成的图形满足上述条件即可。采用此方法制作的液晶显示器可使液晶形成更多个畴区,可以更好地改善现有技术中液晶显示器视角狭窄的问题。

[0063] 进一步,还包括:形成薄膜晶体管的工序;所述形成薄膜晶体管的工序中形成用于驱动第一像素电极 41 的第一薄膜晶体管 16,和用于驱动第二像素电极 42 的第二薄膜晶体管 17,且,第一薄膜晶体管 16 和第二薄膜晶体管 17 共用第一数据线 14 和栅线 12,如图 4 所示。

[0064] 本实施例提供的阵列基板制造方法,与现有技术相比,其制作工序大致相同,其不同点除上面所述形成的像素电极的图形不同外,还在于:现有技术形成薄膜晶体管的工序中一个像素对应形成一个薄膜晶体管,而本实施例中则是一个像素中对应形成两个薄膜晶体管,分别用于驱动第一像素电极 41 和第二像素电极 42,且,这两个薄膜晶体管采用相同工序同步形成,无需因此额外增加工序(或步骤)。

[0065] 本实施例中采用两个薄膜晶体管对第一像素电极 41 和第二像素电极 42 分别进行驱动,提高了像素的驱动能力,从而有更好的图像显示效果。

[0066] 为了本领域技术人员更好的理解本实用新型实施例提供的阵列基板的制造方法,下面通过具体的实施例对本实用新型提供的制造方法进行详细说明。如图 9 所示,本实用新型提供阵列基板的制造方法在具体实施时,具体包括:

[0067] S1:在基板上形成栅线 12、栅极 30 和公共电极线 40 的图形。

[0068] 具体而言,可采用溅射的方法在基板上沉积金属层,该金属层材料可以采用 Cu、Al、Mo、Ti、Cr、W 等金属材料,也可以采用这些材料的合金,栅线可以是单层结构,也可以采用多层结构如 Mo\Al\Mo、Ti\Cu\Ti、MoTi\Cu。

[0069] 然后,在上述金属层上涂覆一层光刻胶,经过曝光并显影之后,在栅线 12、栅极 30 和公共电极线 40 图形所在的预设区域形成光刻胶完全保留区域,其余区域形成光刻胶完全去除区域;再通过刻蚀工艺对光刻胶完全去除区域的金属层进行刻蚀,形成栅线 12、栅极 30 和公共电极线 40 的图形;最后剥离光刻胶完全保留区域剩余的光刻胶,完成阵列基板的第一次构图工艺,如图 7 和图 8 所示。

[0070] S2:如图 7 和图 8 所示,在形成有上述膜层的基板上形成栅极绝缘层 21 和有源层 22。

[0071] 具体的,可以利用等离子体增强化学气相沉积 (PECVD) 的方法,在基板上沉积栅极绝缘层 21;再利用 PECVD 的方法沉积 a-Si(非晶硅),或溅射的方法沉积 IGZO(铟镓锌氧化物)沉积半导体层,然后通过涂覆光刻胶、曝光、显影、刻蚀,形成有源层 22 的图形。

[0072] 其中,栅极绝缘层 21 的材料可以采用氮化硅或氧化硅,栅极绝缘层可以是单层结构,也可以是多层结构,例如氧化硅\氮化硅。有源层 22 可以采用非晶硅材料或氧化物半导体材料。

[0073] S3:形成包括数据线 11、源极 31 和漏极 32 的图形。

[0074] 可采用溅射的方法,沉积用以形成数据线 11,漏极 32 和源极 31 的金属层。其中,该金属层可以采用 Cu、Al、Mo、Ti、Cr、W 等金属材料制备,也可以采用这些材料的合金制备。

[0075] 然后在金属层上涂覆一层光刻胶,经过曝光、显影、刻蚀后,形成包括数据线 11、漏极 32 和源极 31 的图形,如图 7 和图 8 所示。

[0076] S4:形成钝化层 23 及钝化层过孔 33。

[0077] 具体而言,可采用等离子体增强化学气相沉积 (PECVD) 的方法形成钝化层 23,也可以采用其他方法。钝化层 23 可以采用无机物如氮化硅,也可以采用有机物如树脂等。

[0078] 然后,在钝化层上涂覆一层光刻胶,经过曝光、显影、刻蚀后,在钝化层 23 上形成过孔 33 的图形,过孔 33 暴露出薄膜晶体管的漏极 32,如图 7 和图 8 所示。

[0079] S5:形成包括第一像素电极 41 和第二像素电极 42 的像素电极图形。

[0080] 具体的,可采用溅射的方法沉积透明金属氧化物导电材料层,该透明金属氧化物导电材料层可以采用氧化铟锡 (ITO)、氧化铟锌 (IZO) 或其他透明金属氧化物导电材料;然后,在金属氧化物导电材料层上涂覆一层光刻胶,经过曝光、显影、刻蚀后之后,对应在像素区域形成第一像素电极 41 和第二像素电极 42 的图形,且第一像素电极 41 和第二像素电极 42 距离数据线的距离不相等。

[0081] 具体而言,可以如图 7 和图 8 所示,所述第一像素电极 41 和第二像素电极 42 位于栅线 11 的同一侧,第一像素电极 41 和第二像素电极 42 在邻近边缘相连接。栅线 11 和数据线的交叉处设置薄膜晶体,第一像素电极 41 通过过孔 33 与薄膜晶体管 13 的漏极 32 电性连接,其中,第二像素电极 42 与第一像素电极 41 同层设置。

[0082] 也可以如图 5 所示,第一像素电极 41 和第二像素电极 42 分别位于栅线 11 的两侧,且与两个薄膜晶体管 (16 和 17) 的漏极分别通过两个过孔电性连接。

[0083] 本实用新型实施例提供的阵列基板的制造方法,通过对掩膜板进行重新设计,使

形成的像素电极分成至少两部分,且每一部分与数据线的距离各不相同,结果可使液晶形成至少两个以上取向不同的畴区,从而改善液晶显示器的显示效果。

[0084] 本说明书中的各个实施例均采用递进的方式描述,各个实施例之间相同相似的部分互相参见即可,每个实施例重点说明的都是与其他实施例的不同之处。

[0085] 为了便于清楚说明,在本实用新型中采用了第一、第二等字样对相似项进行类别区分,该第一、第二字样并不在数量上对本实用新型进行限制,只是对一种优选的方式的举例说明,本领域技术人员根据本实用新型公开的内容,想到的显而易见的相似变形或相关扩展均属于本实用新型的保护范围内。

[0086] 以上所述,仅为本实用新型的具体实施方式,但本实用新型的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本实用新型揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本实用新型的保护范围之内。因此,本实用新型的保护范围应该以权利要求的保护范围为准。

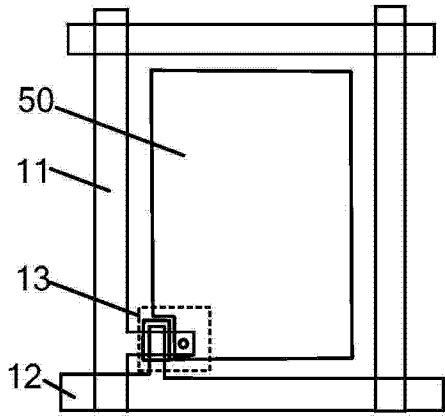


图 1

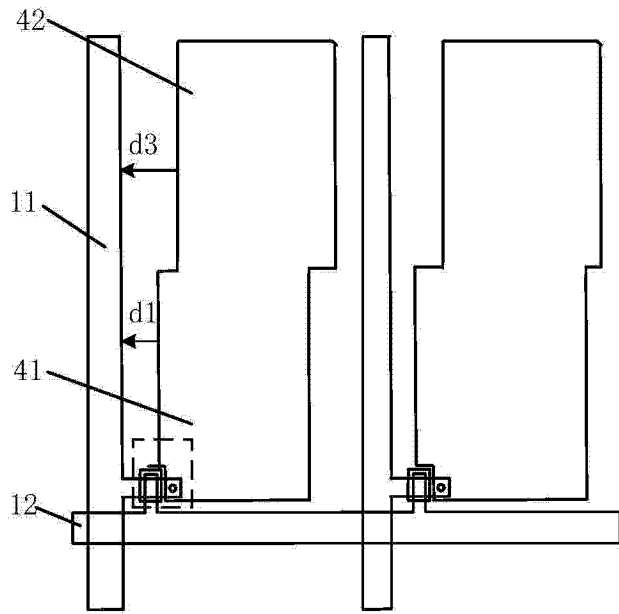


图 2

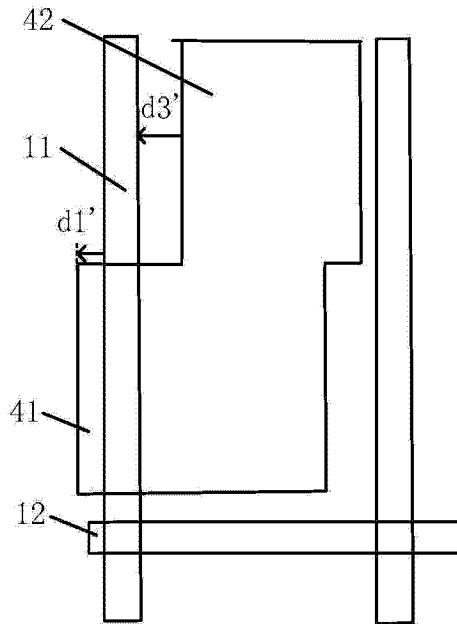


图 3

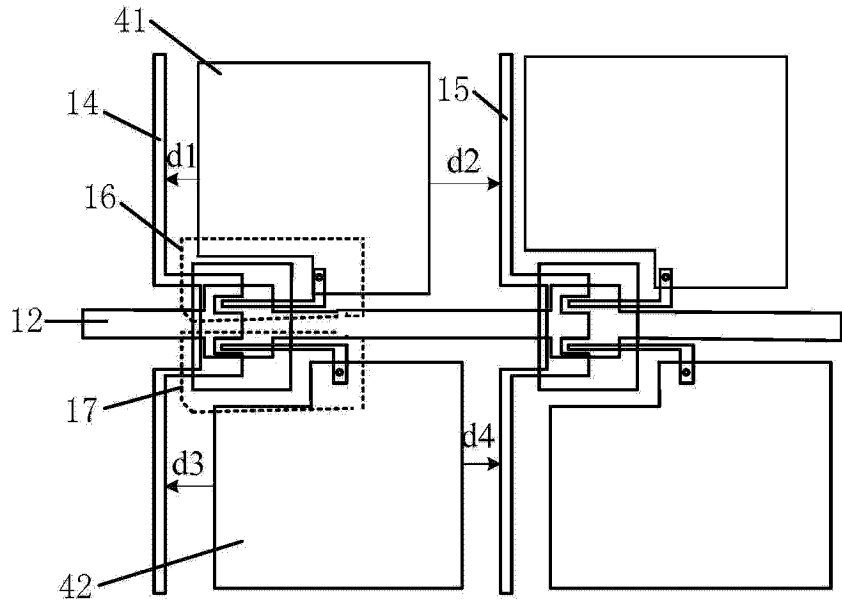


图 4

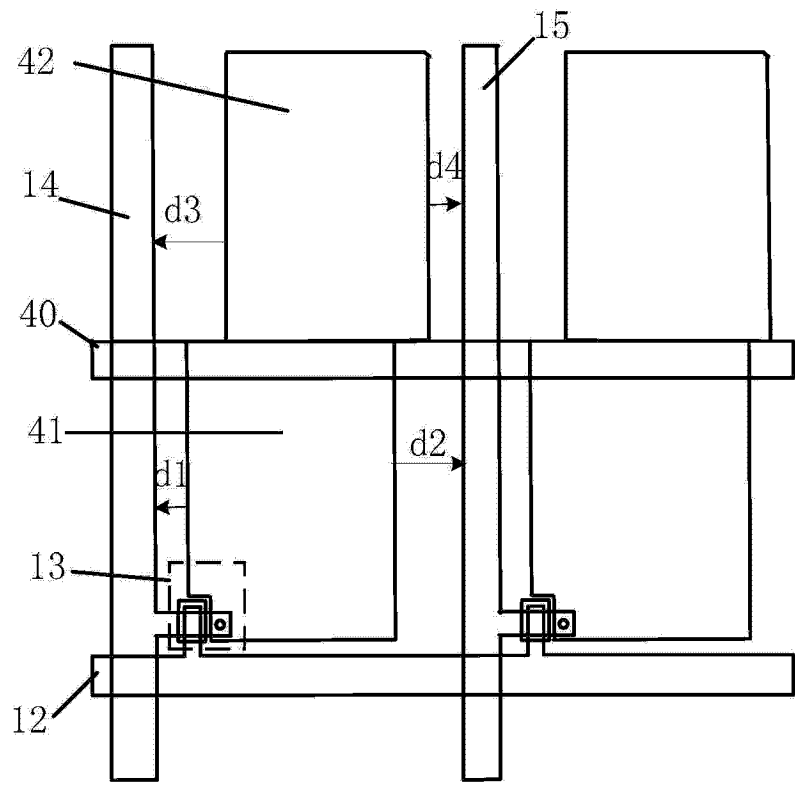


图 5



图 6

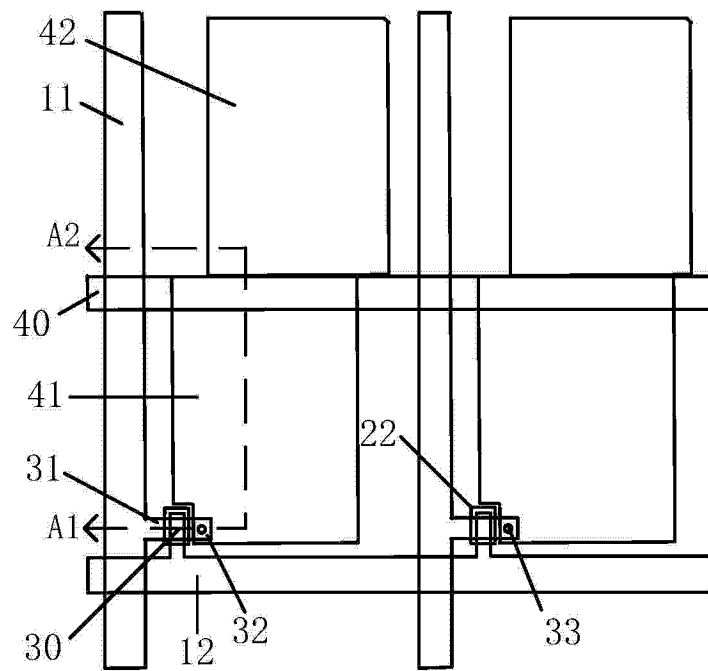


图 7

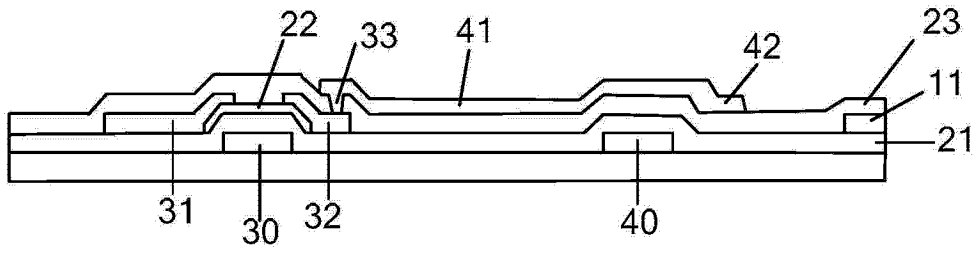


图 8

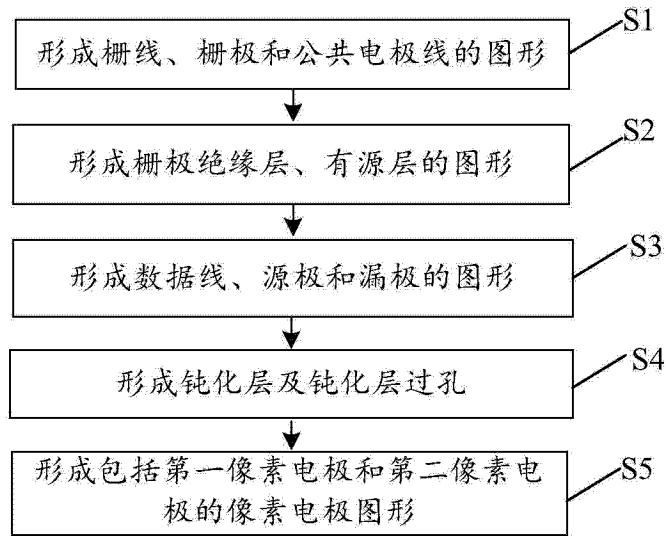


图 9

专利名称(译)	阵列基板和显示装置		
公开(公告)号	CN203982045U	公开(公告)日	2014-12-03
申请号	CN201420467314.8	申请日	2014-08-18
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	李文波 程鸿飞 乔勇 李盼 先建波		
发明人	李文波 程鸿飞 乔勇 李盼 先建波		
IPC分类号	G02F1/1343 G02F1/1362		
代理人(译)	申健		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型实施例公开了一种阵列基板和显示装置，涉及显示领域，能够解决现有液晶显示器视角狭窄的问题，提高显示效果。本实用新型提供的阵列基板，包括：交叉设置的数据线和栅线，以及像素电极；所述像素电极至少包括第一像素电极和第二像素电极，且，所述第一像素电极、所述第二像素电极与同一所述数据线的距离不相等。本实用新型用于改进液晶显示器显示效果。

