



(12)发明专利申请

(10)申请公布号 CN 110837195 A

(43)申请公布日 2020.02.25

(21)申请号 201911005529.1

(22)申请日 2019.10.22

(71)申请人 深圳市华星光电技术有限公司  
地址 518132 广东省深圳市光明新区塘明大道9-2号

(72)发明人 陈亚妮

(74)专利代理机构 深圳紫藤知识产权代理有限公司 44570

代理人 杨艇要

(51)Int.Cl.

G02F 1/1362(2006.01)

G02F 1/1368(2006.01)

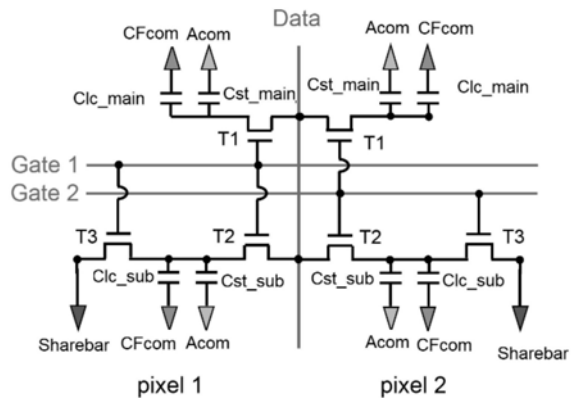
权利要求书1页 说明书5页 附图3页

(54)发明名称

八畴像素结构

(57)摘要

一种八畴像素结构,包括多个子像素在液晶显示面板内呈阵列式排布,每个子像素分为主区和次区,对应每一行子像素分别设置一条扫描线,该扫描线介于该主区和次区之间,相邻两列子像素共享一条数据线;所述子像素的主区还包括第一薄膜晶体管、主区存储电容以及主区液晶电容,每一所述子像素的次区还包括第二薄膜晶体管、第三薄膜晶体管、次区存储电容、次区液晶电容以及共享放电棒;在每一所述子像素内,所述第一薄膜晶体管与所述第二薄膜晶体管之间电性连接对应所述子像素的第一扫描线,并跨过与其相邻所述子像素对应的第二扫描线。本发明在消除八畴像素结构中水平串扰问题的同时,大幅度地提升了八畴像素结构的开口率。



1. 一种八畴像素结构,其特征在于,包括在液晶显示面板内呈阵列式排布的多个子像素,每一所述子像素分为主区和次区,对应每一行所述子像素分别设置一条扫描线,所述扫描线介于该主区和次区之间;

所述子像素的主区还包括第一薄膜晶体管、主区存储电容以及主区液晶电容,每一所述子像素的次区还包括第二薄膜晶体管、第三薄膜晶体管、次区存储电容、次区液晶电容以及共享放电棒;在每一所述子像素内,所述第一薄膜晶体管与所述第二薄膜晶体管之间电性连接对应所述子像素的第一扫描线,并跨过与其相邻所述子像素对应的第二扫描线;

其中,相邻两列所述子像素之间共享一条数据线,所述第三薄膜晶体管的栅极连接所述第一扫描线,所述第三薄膜晶体管的源级连接所述数据线,所述第三薄膜晶体管的漏级连接所述共享放电棒。

2. 根据权利要求1所述的八畴像素结构,其特征在于,所述八畴像素结构包括第一子像素以及与所述第一子像素相邻的第二子像素,所述第一子像素对应于所述第一扫描线,所述第二子像素对应于所述第二扫描线;所述第一子像素中对应的所述第二薄膜晶体管的源级分别跨越所述第一扫描线以及所述第二扫描线,所述第一子像素中对应的所述第三薄膜晶体管的源级分别跨越所述第一扫描线以及所述第二扫描线。

3. 根据权利要求2所述的八畴像素结构,其特征在于,在所述第一子像素内,经过所述第二薄膜晶体管的源级以及所述第三薄膜晶体管的源级的部分所述第二扫描线的边缘形状为削角状。

4. 根据权利要求3所述的八畴像素结构,其特征在于,所述第二子像素对应的所述第三薄膜晶体管的源极的金属层宽度大于所述第一子像素对应的所述第三薄膜晶体管的源极的金属层宽度。

5. 根据权利要求4所述的八畴像素结构,其特征在于,所述第二子像素的寄生电容与所述第一子像素的寄生电容相等。

6. 根据权利要求1所述的八畴像素结构,其特征在于,所述主区和次区各自对应四个畴的液晶分子。

7. 根据权利要求1所述的八畴像素结构,其特征在于,所述主区存储电容由主区存储电极与相对的公共电极形成,所述主区存储电极经由过孔与主区的像素电极相连接;所述次区存储电容由次区存储电极与相对的公共电极形成,所述次区存储电极经由过孔与次区的像素电极相连接。

8. 根据权利要求7所述的八畴像素结构,其特征在于,所述主区的像素电极以及所述次区的像素电极由氧化铟锡制成。

9. 根据权利要求1所述的八畴像素结构,其特征在于,所述第一薄膜晶体管的栅极、所述第二薄膜晶体管的栅极、所述第三薄膜晶体管的栅极、所述第一扫描线以及所述第二扫描线通过第一金属层制作。

10. 根据权利要求1所述的八畴像素结构,其特征在于,所述第一薄膜晶体管的源漏极、所述第二薄膜晶体管的源漏极、所述第三薄膜晶体管的源漏极、所述数据线以及所述共享放电棒通过第二金属层制作。

## 八畴像素结构

### 技术领域

[0001] 本发明涉及显示驱动技术领域,尤其涉及一种八畴像素结构。

### 背景技术

[0002] 液晶显示器包括扭曲向列(TN)模式、电子控制双折射(ECB)模式、共面转换模式(IPS)以及垂直配向(VA)等多种显示模式,其中,VA模式是一种具有高对比度、宽视角、无须摩擦配向等优势常见显示模式。目前一般采用3T\_8domain(8畴3晶体管)的VA像素设计,使同一个子像素(sub pixel)内主(main)区的4个畴与次(sub)区的4个畴的液晶分子的转动角度不一样,从而改善色偏。

[0003] 如图1所示,其为现有的8畴像素结构的等效电路示意图。在一个子像素中,扫描线Gate打开薄膜晶体管T1、薄膜晶体管T2和薄膜晶体管T3,数据线Data信号进入主区子像素(main pixel)和次区子像素(sub pixel)。并通过薄膜晶体管T3,将次区子像素的电压部分释放到阵列基板侧公共电极(Acom)上,以实现主区子像素和次区子像素的电压不同,从而达到八畴显示效果。但是,该像素设计会造成阵列基板侧公共电极的电压不稳,致使水平串扰等问题。为了解决这一问题,近期发展的3T\_plus像素结构特意在薄膜晶体管T3的漏级端加设一条供次区子像素漏电的共享放电棒(sharebar),可以通过共享放电棒单独控制漏电的大小。然而,这大幅度降低了开口率。此外,3T\_plus的8畴像素结构成本较高,无法满足当今TFT-LCD市场激烈的价格竞争。

[0004] 综上所述,现有的八畴像素结构,为了解决水平串扰问题,在次区子像素结构中加设了一条供次区子像素漏电的共享放电棒,大幅度降低了八畴像素结构的开口率。

### 发明内容

[0005] 本发明提供一种八畴像素结构,能够消除水平串扰问题的同时,大幅提高八畴像素结构的开口率,以解决现有的八畴像素结构,为了解决水平串扰问题,在次区子像素结构中加设了一条供次区子像素漏电的共享放电棒,大幅度降低了八畴像素结构开口率的技术问题。

[0006] 为解决上述问题,本发明提供的技术方案如下:

[0007] 本发明提供一种八畴像素结构,包括在液晶显示面板内呈阵列式排布的多个子像素,每一所述子像素分为主区和次区,对应每一行所述子像素分别设置一条扫描线,所述扫描线介于该主区和次区之间;

[0008] 所述子像素的主区还包括第一薄膜晶体管、主区存储电容以及主区液晶电容,每一所述子像素的次区还包括第二薄膜晶体管、第三薄膜晶体管、次区存储电容、次区液晶电容以及共享放电棒;在每一所述子像素内,所述第一薄膜晶体管与所述第二薄膜晶体管之间电性连接对应所述子像素的第一扫描线,并跨过与其相邻所述子像素对应的第二扫描线;

[0009] 其中,相邻两列所述子像素之间共享一条数据线,所述第三薄膜晶体管的栅极连

接所述第一扫描线,所述第三薄膜晶体管的源级连接所述数据线,所述第三薄膜晶体管的漏级连接所述共享放电棒。

[0010] 根据本发明一优选实施例,所述八畴像素结构包括第一子像素以及与所述第一子像素相邻的第二子像素,所述第一子像素对应于所述第一扫描线,所述第二子像素对应于所述第二扫描线;所述第一子像素中对应的所述第二薄膜晶体管的源级分别跨越所述第一扫描线以及所述第二扫描线,所述第一子像素中对应的所述第三薄膜晶体管的源级分别跨越所述第一扫描线以及所述第二扫描线。

[0011] 根据本发明一优选实施例,在所述第一子像素内,经过所述第二薄膜晶体管的源级以及所述第三薄膜晶体管的源级的部分所述第二扫描线的边缘形状为削角状。

[0012] 根据本发明一优选实施例,所述第二子像素对应的所述第三薄膜晶体管的源极的金属层宽度大于所述第一子像素对应的所述第三薄膜晶体管的源极的金属层宽度。

[0013] 根据本发明一优选实施例,所述第二子像素的寄生电容与所述第一子像素的寄生电容相等。

[0014] 根据本发明一优选实施例,所述主区和次区各自对应四个畴的液晶分子。

[0015] 根据本发明一优选实施例,所述主区存储电容由主区存储电极与相对的公共电极形成,所述主区存储电极经由过孔与主区的像素电极相连接;所述次区存储电容由次区存储电极与相对的公共电极形成,所述次区存储电极经由过孔与次区的像素电极相连接。

[0016] 根据本发明一优选实施例,所述主区的像素电极以及所述次区的像素电极由氧化铟锡制成。

[0017] 根据本发明一优选实施例,所述第一薄膜晶体管的栅极、所述第二薄膜晶体管的栅极、所述第三薄膜晶体管的栅极、所述第一扫描线以及所述第二扫描线通过第一金属层制作。

[0018] 根据本发明一优选实施例,所述第一薄膜晶体管的源漏极、所述第二薄膜晶体管的源漏极、所述第三薄膜晶体管的源漏极、所述数据线以及所述共享放电棒通过第二金属层制作。

[0019] 本发明的有益效果为:本发明所提供的八畴像素结构,使相邻两列子像素之间共享一条数据线且共享放电棒放置在另一半数据线的位置,在解决水平串扰问题的同时,大幅地提高了八畴像素结构的开口率。

## 附图说明

[0020] 为了更清楚地说明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单介绍,显而易见地,下面描述中的附图仅仅是发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0021] 图1为现有的八畴像素结构的等效电路示意图。

[0022] 图2A为本发明八畴像素结构的结构示意图。

[0023] 图2B为图2A在a处的放大示意图。

[0024] 图2C为图2A在b处的放大示意图。

[0025] 图3为本发明八畴像素结构的等效电路示意图。

## 具体实施方式

[0026] 以下各实施例的说明是参考附加的图示,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。在图中,结构相似的单元是用以相同标号表示。

[0027] 本发明针对现有的八畴像素结构,为了解决水平串扰问题,在次区子像素结构中加设了一条供次区子像素漏电的共享放电棒,大幅度降低了八畴像素结构的开口率的技术问题,本实施例能够解决该缺陷。

[0028] 如图2A所示,其为本发明八畴像素结构的示意图。本领域技术人员可以理解,本发明重点在于对八畴像素结构的改进,因此以下说明中对液晶显示面板及像素中包含的一般结构不再赘述。

[0029] 本发明的八畴像素结构,包括多个子像素在液晶显示面板内呈阵列式排布,每个子像素分为主区子像素10(main pixel)和次区子像素20(sub pixel);其中,相邻两列所述子像素共享一条数据线40(Data),左侧设置的第一子像素(pixel 1)对应设置第一扫描线31(Gate 1),所述第一扫描线31(Gate 1)介于所述第一子像素的主区子像素和次区子像素之间;右侧设置的第二子像素(pixel 2)对应设置第二扫描线32(Gate 2),所述第二扫描线32(Gate 2)介于所述第二子像素的主区子像素和次区子像素之间。

[0030] 具体地,所述第一子像素(pixel 1)以及所述第二子像素(pixel 2)的主区(main pixel)还包括第一薄膜晶体管(T1)、主区存储电容(Cst\_main)以及主区液晶电容(Clc\_main);所述第一子像素(pixel 1)以及所述第二子像素(pixel 2)的次区(sub pixel)还包括第二薄膜晶体管(T2)、第三薄膜晶体管(T3)、次区存储电容(Cst\_sub)以及次区液晶电容(Clc\_sub)。

[0031] 其中,所述主区存储电容(Cst\_main)由主区存储电极与相对的公共电极(Acom,阵列基板侧的公共电极)形成,所述主区存储电极经由过孔与主区的像素电极相连接;所述次区存储电容(Cst\_sub)由次区存储电极与相对的公共电极(Acom,阵列基板侧的公共电极)形成,所述次区存储电极经由过孔与次区的像素电极相连接。在所述第一子像素(pixel 1)内,所述次区存储电极及所述主区存储电极跨过所述第一扫描线31(Gate 1)相互导通;所述第一薄膜晶体管(T1)的栅极连接所述第一扫描线31(Gate 1),其源极连接所述数据线40,其漏极连接所述主区存储电极或所述主区10的像素电极;所述第二薄膜晶体管(T2)的栅极连接所述第一扫描线31(Gate 1),其源极连接所述数据线40,其漏极连接次区存储电极或次区20的像素电极。在所述第一子像素内(pixel 1),对应的所述第三薄膜晶体管(T3)的栅极连接所述第一扫描线(Gate 1),源极连接所述数据线21(Data),漏极连接第一共享放电棒24(Share bar);在所述第二子像素内(pixel 2),对应的所述第三薄膜晶体管(T3)的栅极连接所述第二扫描线(Gate 2),源极连接所述数据线21(Data),漏极连接第二共享放电棒25(Share bar)。

[0032] 具体地,在所述第一子像素内(pixel 1),所述第一薄膜晶体管(T1)与所述第二薄膜晶体管(T2)之间电性连接所述第一扫描线22(Gate 1),并跨过与其相邻的所述第二子像素(pixel 2)对应的第二扫描线(Gate 2)。

[0033] 具体地,所述主区子像素10和所述次区子像素20分别对应四个畴的液晶分子。制

程中,所述主区存储电极可以经由过孔与主区像素电极相连接;所述次区存储电极可以经由过孔与次区像素电极相连接。所述第一薄膜晶体管T1的栅极、所述第二薄膜晶体管T2的栅极、所述第三薄膜晶体管T3的栅极、第一扫描线31以及所述第二扫描线32通过第一金属层M1制作;所述第一薄膜晶体管T1的源漏极、所述第二薄膜晶体管T2的源漏极、所述第三薄膜晶体管T3的源漏极、所述数据线40、所述第一共享放电棒51以及所述第二共享放电棒52通过第二金属层M2制作。优选地,所述第一金属层M1其含有Ti、Mo、Ta及Nb中的任一种,所述第二金属层M2含有Cu、Al以及Ag中的任一种。所述主区像素电极以及所述次区像素电极可以由氧化铟锡(ITO)制成。

[0034] 具体地,所述八畴像素结构可以为PSVA像素。

[0035] 如图2B所示,为图2A在a处的放大示意图。由于在所述第一子像素(pixel 1)内,所述第二薄膜晶体管T2的源级21和所述第三薄膜晶体管T3的源级22会分别跨越所述第一扫描线31以及所述第二扫描线32,造成二次馈通(Feedthrough),造成所述第一子像素(pixel 1)中的次区像素电压比与其相邻的所述第二子像素(pixel 2)的次区像素电压低,进一步使所述八畴像素结构的显示屏存在亮暗线风险。因此,对所述第二扫描线32与所述第一子像素(pixel 1)内的所述第二薄膜晶体管T2的源级21重叠的部分a以及对所述第二扫描线32与所述第一子像素(pixel 1)内的所述第三薄膜晶体管T3的源级22重叠的部分分别进行削角处理,使得经过所述第二薄膜晶体管T2的源级21以及所述第三薄膜晶体管T3的源级23的部分所述第二扫描线32的边缘形状为削角状,从而分别减少所述第二扫描线32与所述第二薄膜晶体管T2的源级21之间的重叠面积和所述第二扫描线32与所述第三薄膜晶体管T3的源级23之间的重叠面积,进而减少了所述第一子像素(pixel 1)的寄生电容 $C_{gs}$ 。

[0036] 如图2C所示,为图2A在b处的放大示意图。所述第二子像素(pixel 2)中对应的第三薄膜晶体管T3的源级24通过过孔25与次区像素电极相连。

[0037] 将经过所述第二薄膜晶体管T2的源级21以及所述第三薄膜晶体管T3的源级23的部分所述第二扫描线32作削角处理后,同时对靠右侧的所述第二子像素(pixel 2)中对应的第三薄膜晶体管T3的源级24与所述第二扫描线32重叠的部分金属层加宽(即所述第二子像素对应的所述第三薄膜晶体管T3的源极24的金属层宽度大于所述第一子像素对应的所述第三薄膜晶体管T3的源极的金属层宽度),增大其与所述第二扫描线32的重叠面积,进而增加了所述第二子像素(pixel 2)的寄生电容 $C_{gs}$ 。最终,使所述第二子像素(pixel 2)的寄生电容 $C_{gs}$ 与所述第一子像素(pixel 1)的寄生电容 $C_{gs}$ 相等,以降低所述八畴像素结构的亮暗线风险。

[0038] 如图3所示,为本发明八畴像素结构的等效电路示意图。结合图2A、图2B、图2C以及图3可进一步理解本发明,具体如下:

[0039] 液晶显示面板内多个子像素呈阵列式排布,每个子像素可分为主区子像素(main pixel)和次区子像素(sub pixel),包括第一薄膜晶体管T1、主区液晶电容 $C_{lc\_main}$ 、主区存储电容 $C_{st\_main}$ ,第二薄膜晶体管T2、第三薄膜晶体管T3、次区液晶电容 $C_{lc\_sub}$ 以及次区存储电容 $C_{st\_sub}$ ;第一子像素(pixel 1)对应设置第一扫描线(Gate 1),第二子像素(pixel 2)对应设置第二扫描线(Gate 2),所述第一子像素(pixel 1)与所述第二子像素(pixel 2)共享一条数据线(Data)。

[0040] 所述主区存储电容( $C_{st\_main}$ )由主区存储电极与相对的公共电极(Acom,阵列基

板侧的公共电极)形成,所述主区存储电极经由过孔与主区的像素电极相连接;所述次区存储电容(Cst\_sub)由次区存储电极与相对的公共电极(Acom,阵列基板侧的公共电极)形成,所述次区存储电极经由过孔与次区的像素电极相连接。在所述第一子像素(pixel 1)内,所述次区存储电极及所述主区存储电极跨过所述第一扫描线(Gate 1)相互导通;所述第一薄膜晶体管(T1)的栅极连接所述第一扫描线(Gate 1),其源极连接所述数据线,其漏极连接所述主区存储电极或所述主区的像素电极;所述第二薄膜晶体管(T2)的栅极连接所述第一扫描线(Gate 1),其源极连接所述数据线(Data),其漏极连接次区存储电极或次区的像素电极。在所述第一子像素内(pixel 1),对应的所述第三薄膜晶体管(T3)的栅极连接所述第一扫描线(Gate 1),源级连接所述数据线(Data),漏级连接第一共享放电棒(Share bar);在所述第二子像素内(pixel 2),对应的所述第三薄膜晶体管(T3)的栅极连接所述第二扫描线(Gate 2),源级连接所述数据线(Data),漏级连接第二共享放电棒(Share bar)。

[0041] 具体地,在所述第一子像素内(pixel 1),所述第一薄膜晶体管(T1)与所述第二薄膜晶体管(T2)之间电性连接所述第一扫描线(Gate 1),并跨过与其相邻的所述第二子像素(pixel 2)对应的第二扫描线(Gate 2)。

[0042] 当所述第一扫描线(Gate 1)分别打开所述第一子像素内(pixel 1)的3个薄膜晶体管时,所述数据线(Data)的信号通过所述第一子像素内(pixel 1)的所述第一薄膜晶体管(T1)和所述第二薄膜晶体管(T2)进入相应的主区子像素(main pixel)和次区子像素(sub pixel),并通过所述第一子像素内(pixel 1)的所述第三薄膜晶体管(T3)将所述次区子像素(sub pixel)的部分电压释放到共享放电棒(Sharebar)上,避免了所述第一子像素内(pixel 1)的水平串扰等问题。

[0043] 之后,将所述第二扫描线(Gate2)分别打开所述第二子像素内(pixel 2)的3个薄膜晶体管,所述数据线(Data)的信号通过所述第二子像素内(pixel 2)的所述第一薄膜晶体管(T1)和所述第二薄膜晶体管(T2)进入相应的主区子像素(main pixel)和次区子像素(sub pixel),并通过所述第二子像素内(pixel 2)的所述第三薄膜晶体管(T3)将所述次区子像素(sub pixel)的部分电压释放到对应的所述共享放电棒(Sharebar)上。

[0044] 本发明通过将一根数据线同时给两列八畴像素充电,节省了一半的数据线数目,降低了生产成本;另外,在像素内部设计共享放电棒,且共享放电棒分布在像素的侧边,占据了原先另一半数据线的位置,在解决水平串扰问题的同时,大大提高了八畴像素的开口率;此外,本发明的八畴像素结构还分别对相邻两列的子像素进行寄生电容补偿,使得相邻两列子像素的寄生电容大小一致,进一步降低了八畴像素结构的亮暗线风险。

[0045] 本发明的有益效果为:本发明所提供的八畴像素结构,使相邻两列子像素之间共享一条数据线且共享放电棒放置在另一半数据线的位置,在解决水平串扰问题的同时,大幅地提高了八畴像素结构的开口率。

[0046] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

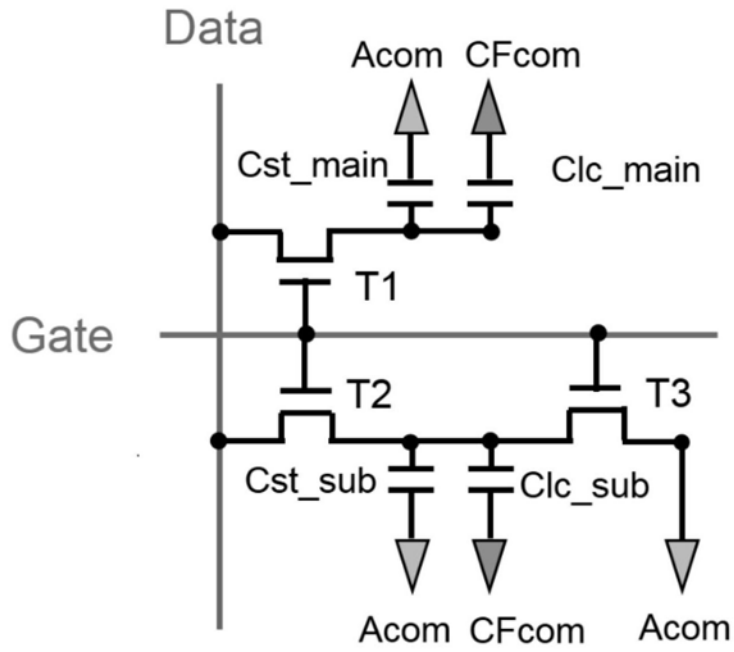


图1

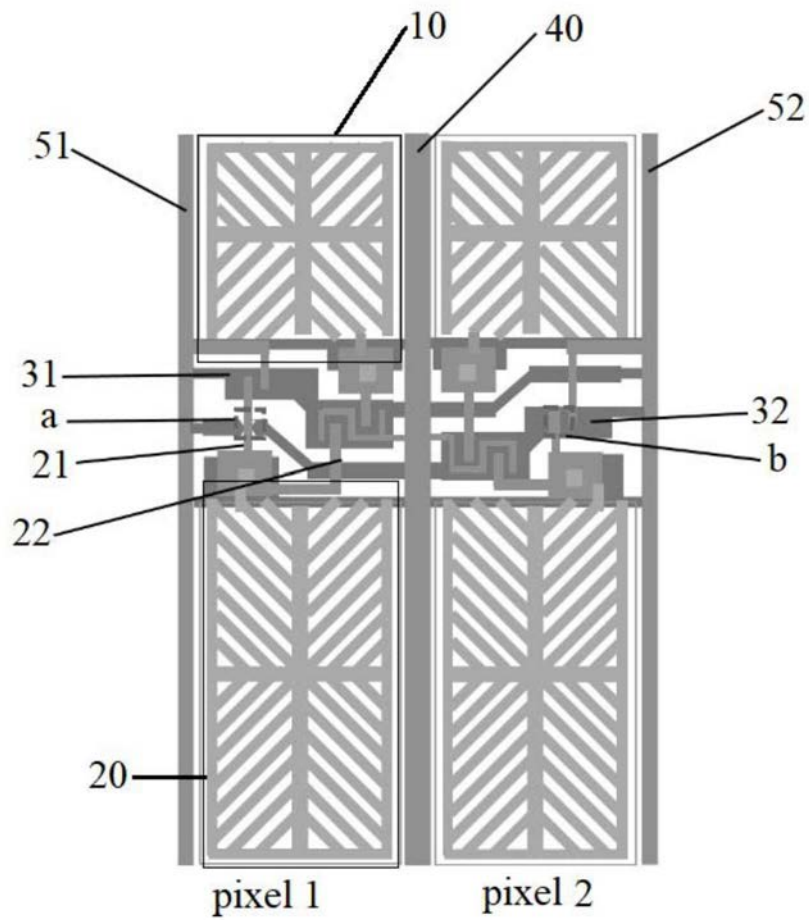


图2A

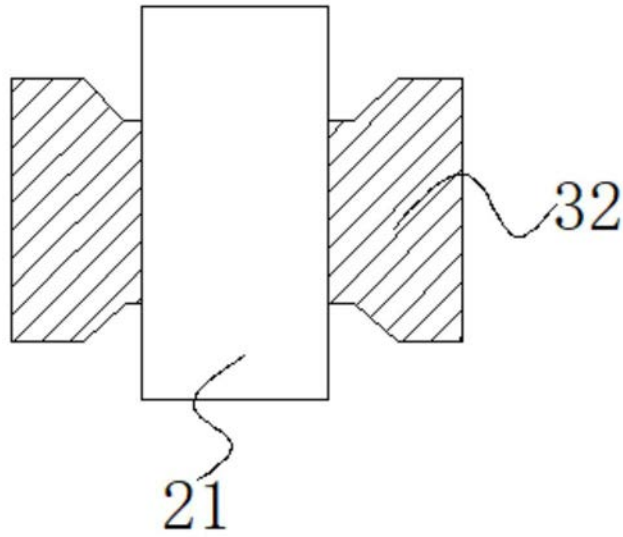


图2B

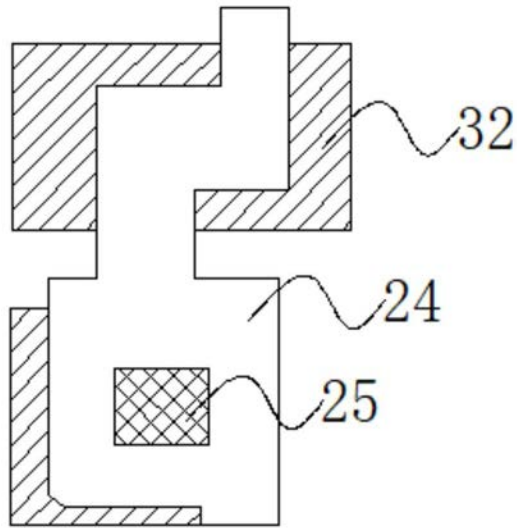


图2C



专利名称(译)	八畴像素结构		
公开(公告)号	<a href="#">CN110837195A</a>	公开(公告)日	2020-02-25
申请号	CN201911005529.1	申请日	2019-10-22
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	陈亚妮		
发明人	陈亚妮		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	G02F1/13624 G02F1/136286 G02F1/1368		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

一种八畴像素结构，包括多个子像素在液晶显示面板内呈阵列式排布，每个子像素分为主区和次区，对应每一行子像素分别设置一条扫描线，该扫描线介于该主区和次区之间，相邻两列子像素共享一条数据线；所述子像素的主区还包括第一薄膜晶体管、主区存储电容以及主区液晶电容，每一所述子像素的次区还包括第二薄膜晶体管、第三薄膜晶体管、次区存储电容、次区液晶电容以及共享放电棒；在每一所述子像素内，所述第一薄膜晶体管与所述第二薄膜晶体管之间电性连接对应所述子像素的第一扫描线，并跨过与其相邻所述子像素对应的第二扫描线。本发明在消除八畴像素结构中水平串扰问题的同时，大幅度地提升了八畴像素结构的开口率。

