



(12) 实用新型专利

(10) 授权公告号 CN 203745776 U

(45) 授权公告日 2014. 07. 30

(21) 申请号 201420117363. 9

(22) 申请日 2014. 03. 14

(73) 专利权人 北京京东方显示技术有限公司

地址 100176 北京市经济技术开发区经海一
路 118 号

专利权人 京东方科技集团股份有限公司

(72) 发明人 冯博 马禹 王骁 闫岩

(74) 专利代理机构 北京银龙知识产权代理有限
公司 11243

代理人 许静 安利霞

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

G02F 1/1343(2006. 01)

H01L 27/12(2006. 01)

H01L 23/50(2006. 01)

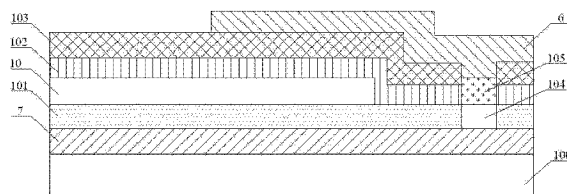
权利要求书1页 说明书6页 附图2页

(54) 实用新型名称

阵列基板、液晶面板及显示装置

(57) 摘要

本实用新型涉及液晶显示技术领域，公开了一种阵列基板、液晶面板及显示装置。所述阵列基板包括栅线和数据线，以及由栅线和数据线限定的多个像素单元，所述像素单元包括薄膜晶体管、像素电极和耦合电极。其中，像素电极的一部分与所述栅线位置对应，形成第一存储电容。耦合电极与像素电极电性连接，其至少一部分与所述栅线位置对应，形成第二存储电容，且所述耦合电极和像素电极分别位于所述栅线的两侧，则阵列基板的像素存储电容的电容量为第一存储电容和第二存储电容的电容量之和，大大提高了Cst on gate的电荷存储能力，从而提高了画面显示的质量。



1. 一种阵列基板,包括栅线和数据线,以及由栅线和数据线限定的多个像素单元,所述像素单元包括薄膜晶体管和像素电极,所述像素电极与栅线之间形成有第一绝缘层,且所述像素电极的一部分与所述栅线位置对应,形成第一交叠区域,所述像素电极和栅线在所述第一交叠区域形成第一存储电容,其特征在于,

所述像素单元还包括一耦合电极,所述耦合电极与所述像素电极电性连接,所述耦合电极与所述像素电极分别位于所述栅线的两侧;

所述耦合电极与栅线之间形成有第二绝缘层,且所述耦合电极的至少一部分与所述栅线位置对应,形成第二交叠区域,所述耦合电极和栅线在所述第二交叠区域形成第二存储电容。

2. 根据权利要求1所述的阵列基板,其特征在于,所述耦合电极为透明电极。

3. 根据权利要求1或2所述的阵列基板,其特征在于,所述耦合电极通过第一绝缘层过孔和第二绝缘层过孔与所述像素电极电性连接,其中,所述第一绝缘层过孔和第二绝缘层过孔的位置对应,位于所述耦合电极的上方且不与所述栅线相对的位置。

4. 根据权利要求3所述的阵列基板,其特征在于,所述像素电极位于所述栅线的上方,所述耦合电极位于所述栅线的下方;

所述第一绝缘层包括栅绝缘层和钝化层;

所述第一绝缘层过孔包括栅绝缘层过孔和钝化层过孔;

所述栅绝缘层在所述耦合电极的上方,与所述第二绝缘层过孔相对的位置形成所述栅绝缘层过孔,所述钝化层在所述耦合电极的上方,与所述栅绝缘层过孔相对的位置形成所述钝化层过孔;

所述耦合电极通过第二绝缘层过孔、栅绝缘层过孔和钝化层过孔与所述像素电极电性连接。

5. 根据权利要求4所述的阵列基板,其特征在于,所述第二绝缘层过孔中填充有形成栅线的栅金属。

6. 根据权利要求5所述的阵列基板,其特征在于,所述栅金属的材料为Al、Cu、Ta或MO/AL/MO合金。

7. 根据权利要求4所述的阵列基板,其特征在于,所述栅绝缘层过孔中填充有形成数据线的源漏金属。

8. 根据权利要求7所述的阵列基板,其特征在于,,所述源漏金属的材料为Al、Cu、Ta或MO/AL/MO合金。

9. 一种液晶面板,包括对盒设置的阵列基板和彩膜基板,所述阵列基板包括像素电极,所述彩膜基板包括公共电极,其特征在于,所述阵列基板采用权利要求1-8任一项所述的阵列基板。

10. 一种显示装置,采用权利要求9所述的液晶面板。

阵列基板、液晶面板及显示装置

技术领域

[0001] 本实用新型涉及液晶显示技术领域,特别是涉及一种阵列基板、液晶面板及显示装置。

背景技术

[0002] 薄膜晶体管液晶显示器(Thin Film Transistor-Liquid Crystal Display,简称 TFT-LCD)具有体积小,功耗低,无辐射等特点,近年来得到迅速发展,在当前的平板显示器市场中占据主导地位。TFT-LCD 的主体结构为由阵列基板和彩膜基板对盒形成的液晶面板。其中,阵列基板包括栅线、数据线和为阵列基板提供基准电压的公共电极线,栅线和数据线横纵交叉分布,限定多个像素单元,每个像素单元包括薄膜晶体管(Thin Film Transistor,简称 TFT)和像素电极。TFT 包括栅电极、源电极和漏电极,以及位于源电极和漏电极之间的有源层(形成 TFT 的沟道),漏电极与像素电极电性连接。栅线、公共电极线与栅电极由同一栅金属层形成,数据线与源电极和漏电极由同一源漏金属层形成。

[0003] 液晶面板还包括透明公共电极,其与像素电极位置对应,形成驱动液晶旋转的电场。TFT-LCD 的显示原理为:通过栅线传输扫描信号,逐行打开 TFT,然后通过数据线向像素电极传输像素电压,驱动液晶旋转,实现对应灰阶的显示。为了在下一扫描信号开启薄膜晶体管之前,保持原先写入像素电极的电压,需要设置存储电容(Storage Capacitor, Cst)来增加整体的电容量,使得写入像素电极的电压能够保持一较长时间,具体为一帧画面的显示时间。

[0004] 根据驱动电场的方向,将 TFT-LCD 分为以横向电场作为驱动电场的 TFT-LCD(如:IPS 型 TFT-LCD)、以纵向电场作为驱动电场的 TFT-LCD(如:TN 型 TFT-LCD 和 ITN 型 TFT-LCD)、以及以多维电场作为驱动电场的 TFT-LCD(如:ADS 型 TFT-LCD)。对于以横向电场和多维电场作为驱动电场的 TFT-LCD,其透明公共电极形成在阵列基板上,其存储电容 Cst 由像素电极和透明公共电极之间的耦合电容提供,电容量较大,能够满足时间上的需求。

[0005] 而对于以纵向电场作为驱动电场的 TFT-LCD,其透明公共电极形成在彩膜基板上,可以通过像素电极和栅线之间的耦合电容来提供存储电容 Cst,即 Cst on gate,但是由于栅线与像素电极的交叠面积较小,导致 Cst on gate 的储存电荷能力较弱。为了解决 Cst on gate 的储存电荷能力较弱的问题,现有技术中,一般是在像素区域增加公共电极线布线,通过公共电极线和像素电极之间的耦合电容来提供存储电容 Cst,即 Cst on com,由于公共电极线和像素电极交叠面积较大,使得 Cst on com 的储存电荷能力较强。但是由于公共电极线是由栅金属形成的,不透光,因此势必会损失像素单元的开口率。

实用新型内容

[0006] 本实用新型提供一种阵列基板,用以解决 Cst on gate 的储存电荷能力较弱的问题。

[0007] 本实用新型还提供一种液晶面板及显示装置,采用上述的阵列基板,用于提高显

示品质。

[0008] 为解决上述技术问题,本实用新型提供一种阵列基板,包括栅线和数据线,以及由栅线和数据线限定的多个像素单元,所述像素单元包括薄膜晶体管和像素电极,所述像素电极与栅线之间形成有第一绝缘层,且所述像素电极的一部分与所述栅线位置对应,形成第一交叠区域,所述像素电极和栅线在所述第一交叠区域形成第一存储电容,其中,

[0009] 所述像素单元还包括一耦合电极,所述耦合电极与所述像素电极电性连接,所述耦合电极与所述像素电极分别位于所述栅线的两侧;

[0010] 所述耦合电极与栅线之间形成有第二绝缘层,且所述耦合电极的至少一部分与所述栅线位置对应,形成第二交叠区域,所述耦合电极和栅线在所述第二交叠区域形成第二存储电容。

[0011] 进一步地,所述耦合电极为透明电极。

[0012] 进一步地,所述耦合电极通过第一绝缘层过孔和第二绝缘层过孔与所述像素电极电性连接,其中,所述第一绝缘层过孔和第二绝缘层过孔的位置对应,位于所述耦合电极的上方且不与所述栅线相对的位置。

[0013] 进一步地,所述像素电极位于所述栅线的上方,所述耦合电极位于所述栅线的下方;

[0014] 所述第一绝缘层包括栅绝缘层和钝化层;

[0015] 所述第一绝缘层过孔包括栅绝缘层过孔和钝化层过孔;

[0016] 所述栅绝缘层在所述耦合电极的上方,与所述第二绝缘层过孔相对的位置形成所述栅绝缘层过孔,所述钝化层在所述耦合电极的上方,与所述栅绝缘层过孔相对的位置形成所述钝化层过孔;

[0017] 所述耦合电极通过第二绝缘层过孔、栅绝缘层过孔和钝化层过孔与所述像素电极电性连接。

[0018] 进一步地,所述第二绝缘层过孔中填充有形成栅线的栅金属。

[0019] 进一步地,所述栅金属的材料为 Al、Cu、Ta 或 MO/AL/MO 合金。

[0020] 进一步地,所述栅绝缘层过孔中填充有形成数据线的源漏金属。

[0021] 进一步地,所述源漏金属的材料为 Al、Cu、Ta 或 MO/AL/MO 合金。

[0022] 本实施例还提供一种液晶面板,包括对盒设置的阵列基板和彩膜基板,所述阵列基板包括像素电极,所述彩膜基板包括公共电极,其中,所述阵列基板采用如上所述的阵列基板。

[0023] 本实施例还提供一种显示装置,采用如上所述的液晶面板。

[0024] 本实用新型的上述技术方案的有益效果如下:

[0025] 上述技术方案中,阵列基板上的像素电极和栅线在交叠区域形成第一存储电容,在阵列基板上还设置一与像素电极电性连接的耦合电极,且其至少一部分与所述栅线位置对应,形成交叠区域,所述耦合电极和栅线在交叠区域形成第二存储电容。其中,所述耦合电极和像素电极位于所述栅线的两侧,则阵列基板的像素存储电容的电容量为第一存储电容和第二存储电容的电容量之和,大大提高了 Cst on gate 的电荷存储能力。

附图说明

[0026] 为了更清楚地说明本实用新型实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本实用新型的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0027] 图 1 表示本实用新型实施例中阵列基板的局部结构示意图;

[0028] 图 2 表示图 1 沿 A-A 方向的剖视图;

[0029] 图 3-6 表示本实用新型实施例中阵列基板的制备过程示意图。

具体实施方式

[0030] 本实用新型针对现有技术中 Cst on gate 的储存电荷能力较弱的问题,提供一种阵列基板、液晶面板及显示装置。所述阵列基板包括一与像素电极电性连接的耦合电极,且所述耦合电极和像素电极分别位于栅线的两侧,其中,像素电极和栅线之间形成有第一绝缘层,且像素电极的一部分与所述栅线位置对应,形成第一交叠区域。耦合电极和栅线之间形成有第二绝缘层,且所述耦合电极的至少一部分与所述栅线位置对应,形成第二交叠区域。则 Cst on gate 的电容量为像素电极和栅线在交叠区域形成的第一存储电容的电容量,与耦合电极和栅线在交叠区域形成的第二存储电容的电容量之和,从而大大增加了 Cst on gate 的电荷存储能力,提高了画面显示的质量。

[0031] 本实用新型的技术方案,通过设置与像素电极电性连接的耦合电极,且像素电极与耦合电极位于栅线两侧,使得像素电极与栅线的有效正对面积可以翻倍,从而增加了 Cst on gate 的电容量,能够满足像素电极在一定的时间内维持像素电压的需求,提高画面显示的质量。

[0032] 下面将结合附图和实施例,对本实用新型的具体实施方式作进一步详细描述。以下实施例用于说明本实用新型,但不用来限制本实用新型的范围。显然,所描述的实施例是本发明的一部分实施例,而不是全部的实施例。基于所描述的本发明的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0033] 需要说明的是,以下内容中涉及的第一膜层的图案位于第二膜层的图案的上方,是指:第一膜层先于第二膜层形成在基板上。相应的,第一膜层的图案位于第二膜层的图案的下方,是指:第二膜层先于第一膜层形成在基板上。

[0034] 实施例一

[0035] 结合图 1 和图 2 所示,本发明实施例中提供一种阵列基板,具体为以纵向电场作为驱动电场的薄膜晶体管阵列基板。所述阵列基板包括栅线 10 和数据线 20,以及由栅线 10 和数据线 20 限定的多个像素单元,所述像素单元包括薄膜晶体管 1 和像素电极 6。像素电极 6 与栅线 10 之间形成有第一绝缘层,且像素电极 6 的一部分与栅线 10 位置对应,形成第一交叠区域,像素电极 6 和栅线 10 在所述第一交叠区域形成第一存储电容。

[0036] 其中,所述像素单元还包括一耦合电极 7。耦合电极 7 与栅线 10 之间形成有第二绝缘层 101,且耦合电极 7 的至少一部分与栅线 10 位置对应,形成第二交叠区域,耦合电极 7 和栅线在所述第二交叠区域形成第二存储电容。通过设置耦合电极 7 与像素电极 6 分别位于栅线 10 的上下两侧,并将耦合电极 7 与像素电极 6 电性连接,使得 Cst on gate 的电

容量为第一存储电容和第二存储电容的电容量之和,大大提高了 Cst on gate 的电荷存储能力,能够满足像素电极 6 在一定的时间内维持像素电压的需求,提高画面显示的质量。

[0037] 优选地,耦合电极 7 为透明电极,不会对像素单元的开口率产生影响。

[0038] 在一个具体的实施方式中,耦合电极 7 通过第一绝缘层过孔和第二绝缘层过孔与像素电极 6 电性连接,其中,所述第一绝缘层过孔和第二绝缘层过孔的位置对应,位于耦合电极 7 的上方且不与栅线 10 相对的位置。

[0039] 对于以纵向电场作为驱动电场的薄膜晶体管显示面板(如:TN 型、ITN 型),公共电极位于彩膜基板上,阵列基板上的像素电极 6 位于最上方,则耦合电极 7 位于栅线 10 的下方。当薄膜晶体管 1 为底栅薄膜晶体管时,形成在栅线 10 和像素电极 6 之间的第一绝缘层包括栅绝缘层 102 和钝化层 103,所述第一绝缘层过孔包括栅绝缘层过孔 12 和钝化层过孔 13。具体的,在耦合电极 7 和栅线 10 之间形成有第二绝缘层 101,第二绝缘层 101 在耦合电极 7 的上方形成有第二绝缘层过孔 11,结合图 3 所示。在像素电极 6 和栅线 10 之间形成有栅绝缘层 102 和钝化层 103,钝化层 103 覆盖在薄膜晶体管 1 的上方。其中,栅绝缘层 102 在耦合电极 7 的上方形成有栅绝缘层过孔 12,结合图 5 所示,钝化层 103 在耦合电极 7 的上方形成有钝化层过孔 13,结合图 6 所示。且第二绝缘层过孔 11、栅绝缘层过孔 12 和钝化层过孔 13 的位置对应,位于耦合电极 7 的上方且不与栅线 10 相对的位置,耦合电极 7 通过第二绝缘层过孔 11、栅绝缘层过孔 12 和钝化层过孔 13 与像素电极 6 电性连接。

[0040] 在实际制备工艺中,第二绝缘层过孔 11、栅绝缘层过孔 12 和钝化层过孔 13 可以通过一次构图工艺形成,也可以通过不同构图工艺分别形成。当第二绝缘层过孔 11、栅绝缘层过孔 12 和钝化层过孔 13 通过三次构图工艺分别形成时,第二绝缘层过孔 11 中可以填充有形成栅线 10 的栅金属 104,其中,栅金属的材料为 Al、Cu、Ta 或 Mo/Al/Mo 合金。栅绝缘层过孔 12 中可以填充有形成数据线 20 的源漏金属 105,其中,源漏金属的材料为 Al、Cu、Ta 或 Mo/Al/Mo 合金。则像素电极 6 依次通过钝化层过孔 13、栅绝缘层过孔 12 中形成数据线 20 的金属材料 105 和第二绝缘层过孔 11 中形成栅线 10 的金属材料 104,与耦合电极 7 电性连接。

[0041] 本实施例中的阵列基板具体包括:

[0042] 基板 100,一般为透明的玻璃基板、石英基板或有机树脂基板;

[0043] 形成在基板 100 上的耦合电极 7;

[0044] 形成在耦合电极 7 上的第二绝缘层 101,具有位于耦合电极 7 上方且不与栅线 10 相对的第二绝缘层过孔 11;

[0045] 形成在第二绝缘层 101 上的栅线 10 和栅电极(图中未示出),以及填充在第二绝缘层过孔 11 中形成栅线 10 的栅金属 104;

[0046] 形成在栅线 10 和栅电极上的栅绝缘层 102,具有位于耦合电极 7 上方且不与栅线 10 相对的栅绝缘层过孔 12,与第二绝缘层过孔 11 的位置对应;

[0047] 形成在栅绝缘层 102 上的有源层图案 5,位于栅电极上方;

[0048] 形成在栅绝缘层 102 上的数据线 20、源电极 3 和漏电极 4,以及填充在栅绝缘层过孔 12 中形成数据线 20 的源漏金属 105,源电极 3 和漏电极 4 搭接在有源层图案 5 的上方;

[0049] 形成在数据线 20、源电极 3 和漏电极 4 上的钝化层 103,具有位于耦合电极 7 上方且不与栅线 10 相对的钝化层过孔 13,与栅绝缘层过孔 12 的位置对应;

[0050] 形成在第二钝化层 103 上方的像素电极 6,依次通过钝化层过孔 13、栅绝缘层过孔 12 中形成数据线 20 的源漏金属 105 和第二绝缘层过孔 11 中形成栅线 10 的栅金属 104,与耦合电极 7 电性连接。像素电极 6 还通过钝化层 103 的过孔与漏电极 4 连接。

[0051] 结合图 1- 图 6 所示,本实施例中阵列基板的具体制备过程为:

[0052] 步骤 S1、结合图 3 所示,采用沉积、溅射等成膜工艺在基板 100 上形成第一透明导电层,如氧化铟锡、氧化铟锌,对所述第一透明导电层进行构图工艺(包括光刻胶的涂覆、曝光和显影,以及刻蚀等工艺,以下内容中的构图工艺,如无特殊声明,均包括上述工艺过程),形成耦合电极 7。

[0053] 步骤 S2、如图 3 所示,在完成步骤 S1 的基板 100 上沉积第二绝缘层 101,对第二绝缘层 101 进行构图工艺,形成第二绝缘层过孔 11,位于耦合电极 7 的上方且不与栅线 10 相对的位置,暴露出耦合电极 7。

[0054] 步骤 S3、结合图 3 和图 4 所示,采用沉积、溅射等成膜工艺在完成步骤 S2 的基板 100 上形成栅金属层,如铜,对所述栅金属层进行构图工艺,形成栅电极(图中未示出)和栅线 10,以及填充在第二绝缘层过孔 11 中的栅金属 104。其中,耦合电极 7 的至少一部分与栅线 10 的位置对应,位于栅线 10 下方的一侧。

[0055] 步骤 S4、如图 5 所示,在完成步骤 S3 的基板 100 上沉积栅绝缘层 102,对栅绝缘层 10 进行构图工艺,形成栅绝缘层过孔 12,位于耦合电极 7 的上方且不与栅线 10 相对的位置,与第二绝缘层过孔 11 的位置对应,暴露出填充在第二绝缘层过孔 11 中的栅金属 104。

[0056] 步骤 S5、结合图 1 所示,在完成步骤 S4 的基板 100 上沉积有源层,对所述有源层进行构图工艺,形成位于栅电极上方的有源层图案 5。

[0057] 步骤 S6、结合图 1 和图 5 所示,采用沉积、溅射等成膜工艺在完成步骤 S5 的基板 100 上沉积源漏金属层,如铜,对所述源漏金属层进行构图工艺,形成源电极 3 和漏电极 4,以及填充在栅绝缘层过孔 12 中的源漏金属 105,其中,源电极 3 和漏电极 4 搭接在有源层图案 5 的上方。

[0058] 步骤 S7、如图 6 所示,在完成步骤 S6 的基板 100 上沉积钝化层 103,对钝化层 103 进行构图工艺,形成钝化层过孔 13,位于耦合电极 7 的上方且不与栅线 10 相对的位置,与栅绝缘层过孔 12 的位置对应,暴露出填充在栅绝缘层过孔 12 中的源漏金属 105。

[0059] 步骤 S8、结合图 1 和图 2 所示,采用沉积、溅射等成膜工艺在基板 100 上形成第二透明导电层,如氧化铟锡、氧化铟锌,对所述第二透明导电层进行构图工艺,形成像素电极 6。其中,像素电极 6 的一部分与栅线 10 的位置对应,位于栅线 10 上方的一侧,并通过钝化层过孔 13、栅绝缘层过孔 12 中的源漏金属 105、第二绝缘层过孔 11 中的栅金属 104,与耦合电极 7 电性连接。像素电极 6 还通过钝化层 103 的过孔与漏电极 4 连接。

[0060] 上述只是举例具体说明本实施例中阵列基板的结构和制备过程,并不是一种限定。本发明中的薄膜晶体管还可以为顶栅结构或共面结构。

[0061] 实施例二

[0062] 本实施例中提供一种液晶面板,具体为以纵向电场作为驱动电场的薄膜晶体管液晶面板。所述液晶面板包括对盒设置的阵列基板和彩膜基板,所述阵列基板包括像素电极,所述彩膜基板包括公共电极。其中,所述阵列基板采用实施例一中的阵列基板。

[0063] 由于提高了 Cst on gate 的电荷存储能力,满足像素电极在一帧画面的显示时间

内维持像素电压的需求,能够实现稳定的画面显示,提高显示质量。

[0064] 实施例三

[0065] 本实施例中提供一种显示装置,其采用实施例二中的液晶面板,提高 Cst ongate 时的画面显示质量。

[0066] 以上所述仅是本实用新型的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本实用新型技术原理的前提下,还可以做出若干改进和替换,这些改进和替换也应视为本实用新型的保护范围。

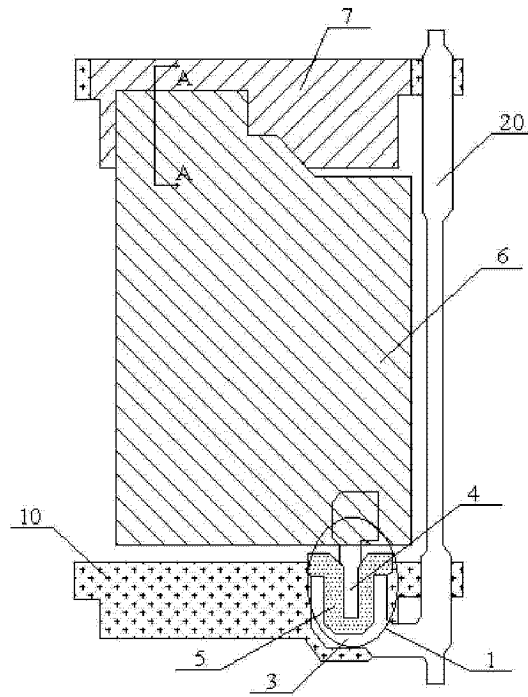


图 1

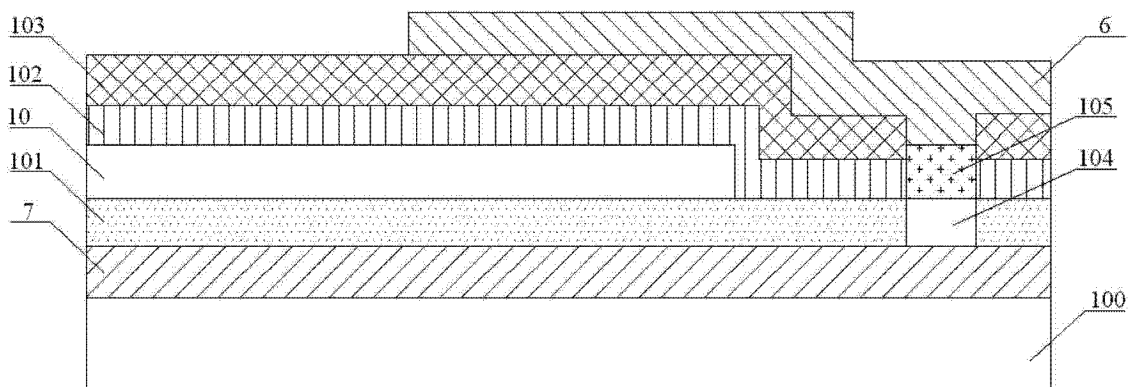


图 2

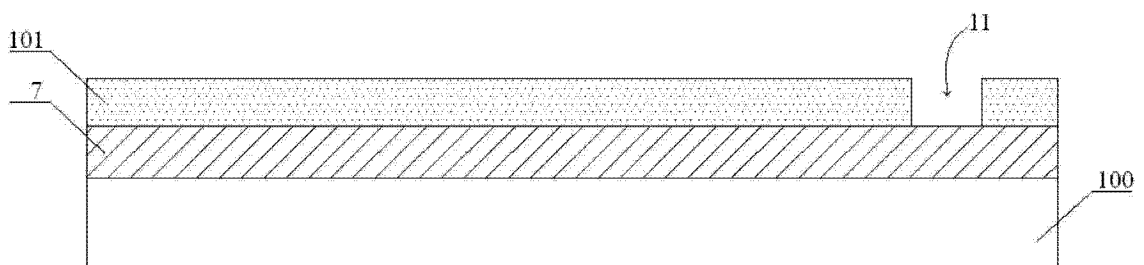


图 3

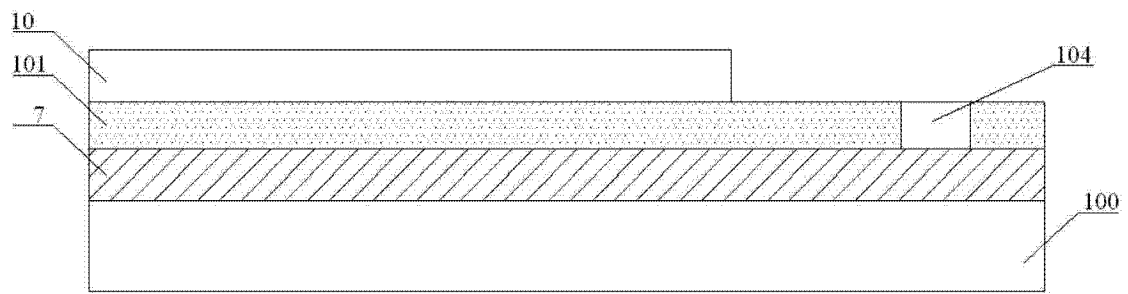


图 4

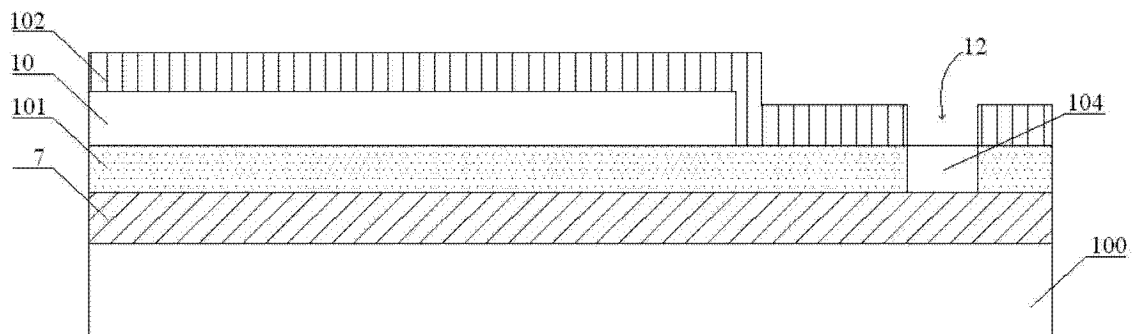


图 5

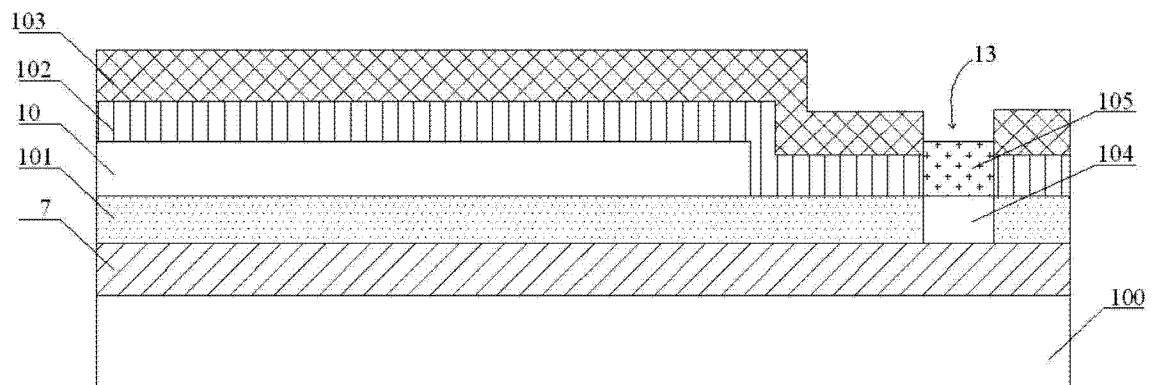


图 6

专利名称(译)	阵列基板、液晶面板及显示装置		
公开(公告)号	CN203745776U	公开(公告)日	2014-07-30
申请号	CN201420117363.9	申请日	2014-03-14
[标]申请(专利权)人(译)	北京京东方显示技术有限公司 京东方科技集团股份有限公司		
申请(专利权)人(译)	北京京东方显示技术有限公司 京东方科技集团股份有限公司		
当前申请(专利权)人(译)	北京京东方显示技术有限公司 京东方科技集团股份有限公司		
[标]发明人	冯博 马禹 王骁 闫岩		
发明人	冯博 马禹 王骁 闫岩		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/1343 H01L27/12 H01L23/50		
代理人(译)	许静		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型涉及液晶显示技术领域，公开了一种阵列基板、液晶面板及显示装置。所述阵列基板包括栅线和数据线，以及由栅线和数据线限定的多个像素单元，所述像素单元包括薄膜晶体管、像素电极和耦合电极。其中，像素电极的一部分与所述栅线位置对应，形成第一存储电容。耦合电极与像素电极电性连接，其至少一部分与所述栅线位置对应，形成第二存储电容，且所述耦合电极和像素电极分别位于所述栅线的两侧，则阵列基板的像素存储电容的电容量为第一存储电容和第二存储电容的电容量之和，大大提高了Cst on gate的电荷存储能力，从而提高了画面显示的质量。

