

(12) 实用新型专利

(10) 授权公告号 CN 203324620 U

(45) 授权公告日 2013. 12. 04

(21) 申请号 201320448501. 7

(22) 申请日 2013. 07. 25

(73) 专利权人 合肥京东方光电科技有限公司
地址 230011 安徽省合肥市铜陵北路 2177 号

专利权人 京东方科技集团股份有限公司

(72) 发明人 王凯 金玟秀 王国磊

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 韩国胜

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1343(2006. 01)

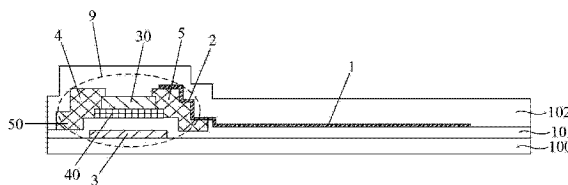
权利要求书1页 说明书4页 附图2页

(54) 实用新型名称

阵列基板及液晶显示装置

(57) 摘要

本实用新型属于液晶显示技术领域，公开了一种阵列基板及液晶显示装置，阵列基板，其包括纵横交叉分布的多条栅线和多条数据线，以及由栅线和所述数据线限定的多个像素区域，像素区域内形成有薄膜晶体管和像素电极，薄膜晶体管的源电极与数据线连接，像素电极通过图案化的导电连接层与薄膜晶体管的漏电极连接；从靠近数据线的信号输入端到远离数据线信号输入端的方向，导电连接层的电阻值逐行递减。本实用新型还提供了一种包括上述的阵列基板的显示装置。本实用新型从靠近数据线的信号输入端到远离数据线的信号输入端的方向，导电连接层的电阻逐行递增，解决了阵列基板上数据线信号传输方向上出现的信号衰减等延迟现象，确保了显示面板内同一灰阶的显示效果相同。



1. 一种阵列基板,包括横纵交叉分布的多条栅线和多条数据线,以及由所述栅线和所述数据线限定的多个像素区域,所述像素区域内形成有薄膜晶体管和像素电极,所述薄膜晶体管的源电极与数据线连接,其特征在于,所述像素电极通过图案化的导电连接层与所述薄膜晶体管的漏电极连接;从靠近所述数据线的信号输入端到远离所述数据线信号输入端的方向,所述导电连接层的电阻值逐行递减。

2. 根据权利要求1所述的阵列基板,其特征在于,所述导电连接层的阻值大于50欧姆每方块。

3. 根据权利要求1或2所述的阵列基板,其特征在于,所述导电连接层包括第一图案;从靠近所述数据线的信号输入端到远离所述数据线信号输入端的方向,所述第一图案的宽度逐行递增。

4. 根据权利要求3所述的阵列基板,其特征在于,所述第一图案至少由两个第二图案组成;从靠近所述数据线的信号输入端到远离所述数据线信号输入端的方向,所述第二图案的宽度逐行递增。

5. 如权利要求4所述的阵列基板,其特征在于,从靠近所述数据线的信号输入端到远离所述数据线信号输入端的方向,所述第一图案中至少有一个第二图案的宽度逐行递增。

6. 根据权利要求3所述的阵列基板,其特征在于,所述第一图案位于所述栅线的上方。

7. 如权利要求1或2所述的阵列基板,其特征在于,所述导电连接层由透明导电材料制成。

8. 根据权利要求1或2所述的阵列基板,其特征在于,所述导电连接层与所述像素电极同层设置。

9. 如权利要求3所述的阵列基板,其特征在于,所述导电连接层与所述像素电极同层设置。

10. 一种液晶显示装置,其特征在于,包括如权利要求1-9任一项所述的阵列基板。

阵列基板及液晶显示装置

技术领域

[0001] 本实用新型涉及液晶显示技术领域,特别是涉及一种阵列基板及液晶显示装置。

背景技术

[0002] 近年来随着液晶显示器尺寸的不断增大,驱动电路的频率不断提高,相应地,对薄晶体管迁移率的要求也不断提高。如:液晶显示器尺寸超过 80 英寸,驱动电路的频率为 120Hz 时,需要薄晶体管具有 $1\text{cm}^2/\text{V}\cdot\text{S}$ 以上的迁移率。现有的非晶硅薄膜晶体管的迁移率一般在 $0.5\text{cm}^2/\text{V}\cdot\text{S}$ 左右,很难满足显示需求。高迁移率的薄膜晶体管有多晶硅薄膜晶体管和金属氧化物薄膜晶体管,尽管对多晶硅薄膜晶体管研究比较早,但是多晶硅薄膜晶体管的均一性差,制作工艺复杂。而金属氧化物薄膜晶体管不但迁移率高,而且均一性好、透明、制作工艺简单,可以更好地满足大尺寸液晶显示器的需求,得到越来越广泛的应用。

[0003] 同时,在现有工艺设计中,一个基本的显示单元包括三个像素单元,分别来代表 RGB 三原色,以一个 3840×2160 分辨率的薄膜晶体管液晶显示器来说,共需要 $3840\times 2160\times 3$ 个像素单元组合而成。对于显示器,其具体的显示过程为:首先通过栅线驱动电路生成栅线扫描信号,再经过栅线的传输,依序逐行将每一行的薄膜晶体管打开;然后数据线驱动电路生成所需的显示信号,再经过数据线的传输,同时将一整行像素单元的像素电极充电到各自所需的电压,显示不同的灰阶。但随着显示器尺寸的增加,显示面板内部的数据线的长度大大增加,对于靠近数据线信号输入端的第一行像素单元和远离数据线信号端的最后一行像素单元,这种线长的增加使得电阻和电容对数据线上所传输的信号的影响大大提高,造成信号延迟,最终导致给第一行像素单元和最后一行像素单元输入相同灰阶的显示信号时,传送到像素电极上的电压有差别。

[0004] 而且,随着显示器尺寸及分辨率的增加,数据线的宽度变得越来越小,长度越来越长,这种差异也变得更大。当第一行像素电极和最后一行像素电极的压差达到或近似一个灰阶电压时,会导致显示面板内的像素单元显示同一灰阶的效果是有差别的,这种差别会导致显示器显示画面的层次感降低,显示的色数减少,降低了显示画面的细腻性。对此虽说可通过采用导电性能更好的材料来取代,但这需对现有生产设备进行改造,生产成本也会大大增加。

实用新型内容

[0005] (一)要解决的技术问题

[0006] 本实用新型要解决的技术问题是如何消除靠近数据线的信号输入端至远离数据线的信号输入端的信号延迟的问题。

[0007] (二)技术方案

[0008] 为了解决上述技术问题,本实用新型提供一种阵列基板,包括横纵交叉分布的多条栅线和多条数据线,以及由所述栅线和所述数据线限定的多个像素区域,所述像素区域内形成有薄膜晶体管和像素电极,所述薄膜晶体管的源电极与数据线连接,所述像素电极

通过图案化的导电连接层与所述薄膜晶体管的漏电极连接；从靠近所述数据线的信号输入端到远离所述数据线信号输入端的方向，所述导电连接层的电阻值逐行递减。

[0009] 进一步地，所述导电连接层的阻值大于 50 欧姆每方块。

[0010] 进一步地，所述导电连接层包括第一图案；从靠近所述数据线的信号输入端到远离所述数据线信号输入端的方向，所述第一图案的宽度逐行递增。

[0011] 进一步地，所述第一图案至少由两个第二图案组成；从靠近所述数据线的信号输入端到远离所述数据线信号输入端的方向，所述第二图案的宽度逐行递增。

[0012] 进一步地，从靠近所述数据线的信号输入端到远离所述数据线信号输入端的方向，所述第一图案中至少有一个第二图案的宽度逐行递增。

[0013] 进一步地，所述第一图案位于所述栅线的上方。

[0014] 进一步地，所述导电连接层由透明导电材料制成。

[0015] 进一步地，所述导电连接层与所述像素电极同层设置。

[0016] 进一步地，所述导电连接层与所述像素电极同层设置。

[0017] 本实用新型还提供一种液晶显示装置，其包括上述的阵列基板。

[0018] (三) 有益效果

[0019] 本实用新型所提供的一种阵列基板和包括该阵列基板的液晶显示装置，从靠近数据线的信号输入端到远离数据线的信号输入端的方向，导电连接层的电阻逐行递增，解决了阵列基板上数据线信号传输方向上出现的信号衰减等延迟现象，确保了显示面板内同一灰阶的显示效果相同，进一步提高了液晶显示装置显示画面的对比度、层次感和细腻性，满足了人们对高清高品质画面的需求。

附图说明

[0020] 图 1 为本实用新型实施例中阵列基板的结构示意图；

[0021] 图 2 为本实用新型实施例中阵列基板的俯视图；

[0022] 其中，1：像素电极；2：导电连接层；3：薄膜晶体管的栅电极；4：薄膜晶体管的源电极；5：薄膜晶体管的漏电极；6：第一图案；7：第二图案；9：薄膜晶体管；10：数据线；20：栅线；30：刻蚀阻挡层；40：有源层图案；50：源漏金属层图案；100：衬底基板；101：栅绝缘层薄膜；102：钝化层薄膜。

具体实施方式

[0023] 下面结合附图和实施例，对本实用新型的具体实施方式作进一步详细描述。以下实施例用于说明本实用新型，但不用来限制本实用新型的范围。

[0024] 需要说明的是，以下内容中关于位置关系的术语，如：“行”、“列”，为参照图 2 所示的方位或位置关系，仅是为了便于描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本实用新型的限制。此外，以下内容中的术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性。

[0025] 因为金属氧化物薄膜晶体管具有迁移率高、均一性好、透明、制作工艺简单等优点，被广泛应用到液晶显示器上，尤其大尺寸的液晶显示器上，可以很好地满足大尺寸液晶显示器的显示需求。但由于金属氧化物薄膜晶体管中的氧化物存在缺陷态，且容易受外部

光的影响,导致金属氧化物薄膜晶体管在关态时产生的漏电流偏大,使得显示屏的暗态不“暗”,严重影响了显示器的显示品质。为了解决上述技术问题,本实用新型提供一种金属氧化物薄膜晶体管阵列基板,用以克服金属氧化物薄膜晶体管的关态漏电流对液晶显示器显示品质的影响。

[0026] 结合图 1 和图 2 所示,本实用新型提供一种阵列基板,其包括横纵交叉分布的多条数据线 10 和多条栅线 20,以及由数据线 10 和栅线 20 限定的多个像素区域,在像素区域内形成有薄膜晶体管 9 和像素电极 1,在薄膜晶体管 9 的上方形成有钝化层薄膜 102。其中,薄膜晶体管的栅电极 3 与栅线 20 连接,源电极 4 与数据线 20 连接,漏电极 5 与像素电极 1 连接。栅线 20 用于传递栅线扫描信号,依序逐行打开每一行的薄膜晶体管 9;数据线 10 用于传递显示信号,当某行的薄膜晶体管 9 处于打开状态时,为该行相对应的像素单元充电,以显示相应的灰阶。

[0027] 如图 1 和图 2 所示,本实施例中的薄膜晶体管的漏电极 5 的上方还形成有图案化的导电连接层 2,像素电极 1 通过该导电连接层 2 与薄膜晶体管的漏电极 5 连接;从靠近数据线 10 的信号输入端到远离数据线 10 的信号输入端的方向,导电连接层 2 的电阻值逐行递减,其中,以每一条栅极作为一行,图 2 中的箭头方向为信号传输方向。

[0028] 这是因为:随着液晶显示器的尺寸和分辨率的增加,数据线 10 的长度越来越长,宽度越来越小,使得电阻和电容对数据线 10 上传输的显示信号的影响大大提高,导致相同的显示信号从数据线 10 的一端传输到另一端时,传送到不同行的像素电极 1 上的电压是存在压差的。当这种压差达到或近似一个灰阶电压时,会导致显示面板内的像素单元显示同一灰阶的效果是有差别的,进而导致液晶显示器显示的色数变少,大大降低了显示画面的层次感和细腻性。同时,由于电阻值越小,传输信号的能力越强,因此,为了解决上述的技术问题,在数据线 10 的信号传输方向上,逐行减小导电连接层 2 的电阻值,由此调节了数据线长度方向上的压差,使得相同灰阶的显示信号传送到不同行的像素电极 1 上的电压相同,有效减少显示信号在数据线 10 上的传输带来的电压衰减对像素电压造成的影响,可抵消由于数据线的长度方向的阻值和电容值增加而导致的信号延迟的问题,从而提高了显示屏的对比度,保证了画面的层次感,提高了显示画面的细腻性,满足了人们对高清高品质画面的需求。

[0029] 为了保证能抵消远离数据线的信号输入端的薄膜晶体管 9 的信号延迟,本实施例中设置的导电连接层 2 的阻值大于 50 欧姆每方块,并且保证该导电连接层 2 具有导电性,不影响信号的传输。

[0030] 进一步地,优选导电连接层 2 由透明导电材料形成,能够有效减小导电连接层 2 的面积,更优地,该导电连接层 2 由 ITO (透明导电薄膜) 材料制成;需要指出的是,该导电连接层 2 的材料也可以采用一般导电材料。

[0031] 为了调节导电连接层 2 的电阻值,可以通过改变导电连接层 2 的材料或厚度来实现,也可以通过改变导电连接层 2 的宽度来实现。当通过改变导电连接层 2 的材料或厚度来调节导电连接层 2 的电阻值时,不同行的薄膜晶体管的漏电极 5 上方的导电连接层 2 都需要通过单独的构图工艺来形成,工艺复杂。本实施例中优选通过改变导电连接层 2 的宽度来调节导电连接层 2 的电阻值,具体的,如图 2 所示,在薄膜晶体管 9 上方通过涂覆、溅射或沉积工艺形成一层膜厚固定的导电连接层薄膜(图中未示出),然后通过一次构图工艺

(包括涂覆光刻胶、曝光、显影、刻蚀等工艺)形成图案化的导电连接层 2。

[0032] 优选地,导电连接层 2 包括第一图案 6,且从数据线 10 靠近数据线驱动电路的一端(即信号输入端)到数据线 10 远离数据线驱动电路的另一端,导电连接层 2 的第一图案 6 的宽度逐行递增,并设置第一图案 6 位于栅线 20 的上方,防止第一图案 6 宽度的变化导致某些像素单元出现漏光的问题。

[0033] 为了方便导电连接层 2 电阻值的调节,本实施例中还可以设置第一图案 6 至少由两个第二图案 7 组成,且从靠近数据线 10 的信号输入端到远离数据线 10 的信号输入端的方向,导电连接层 2 的每个第二图案 7 的宽度逐行递增,具体地,导电连接层 2 至少有一个第二图案 7 的宽度逐行递增。

[0034] 本实施例中还可以选择高透光性材料制备导电连接层 2,从而不会对显示单元的开口率产生影响。

[0035] 进一步地,优选的,导电连接层 2 与像素电极 1 同层设置,如图 1 所示,具体的,可以通过涂覆、溅射或沉积工艺在衬底基板 100 上形成透明导电金属(如:氧化铟锡、氧化铟锌)层薄膜,然后通过一次构图工艺(包括涂覆光刻胶、曝光、显影、刻蚀等工艺)形成导电连接层 2 和像素电极 1 的图案,可以减少阵列基板的制作工艺,降低生产成本。

[0036] 当然,导电连接层 2 与像素电极 1 也可以不同层设置,则像素电极 1 通过过孔(图中未示出),如:钝化层过孔,与导电连接层 2 连接。

[0037] 本实用新型实施例中的薄膜晶体管 9 为底栅型薄膜晶体管,即薄膜晶体管的栅电极 3 位于薄膜晶体管的源电极 4 和薄膜晶体管的漏电极 5 的下方。结合图 1 所示,薄膜晶体管 9 的具体制作工艺为,首先在衬底基板 100 上形成薄膜晶体管的栅电极 3,之后在薄膜晶体管的栅电极 3 上方依次形成栅绝缘层薄膜 101、有源层图案 40、刻蚀阻挡层图案 30 和源漏金属层图案 50,其中,源漏金属层图案 50 包括薄膜晶体管的源电极 4 和薄膜晶体管的漏电极 5。然后在薄膜晶体管的漏电极 5 的上方形成图案化的导电连接层 2,最后在薄膜晶体管 9 的上方形成钝化层薄膜 102。

[0038] 本领域所属技术人员很容易得知本实用新型中的薄膜晶体管 9 不仅可以为底栅型薄膜晶体管,也可以为顶栅型薄膜晶体管、共平面型薄膜晶体管、背沟道型薄膜晶体管,并相应的改变薄膜晶体管的制作工艺,只需满足像素电极 1 通过导电连接层 2 与薄膜晶体管的漏电极 5 连接即可。

[0039] 本实用新型还提供一种液晶显示装置,其包括上述方案的阵列基板。

[0040] 上述技术方案所提供的一种阵列基板和包括该阵列基板的液晶显示装置,从靠近数据线的信号输入端到远离数据线的信号输入端的方向,导电连接层的电阻逐行递增,解决了阵列基板上数据线信号传输方向上出现的信号衰减等延迟现象,确保了显示面板内同一灰阶的显示效果相同,进一步提高了液晶显示装置显示画面的对比度、层次感和细腻性,满足了人们对高清高品质画面的需求。

[0041] 以上所述仅是本实用新型的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本实用新型技术原理的前提下,还可以做出若干改进和替换,这些改进和替换也应视为本实用新型的保护范围。

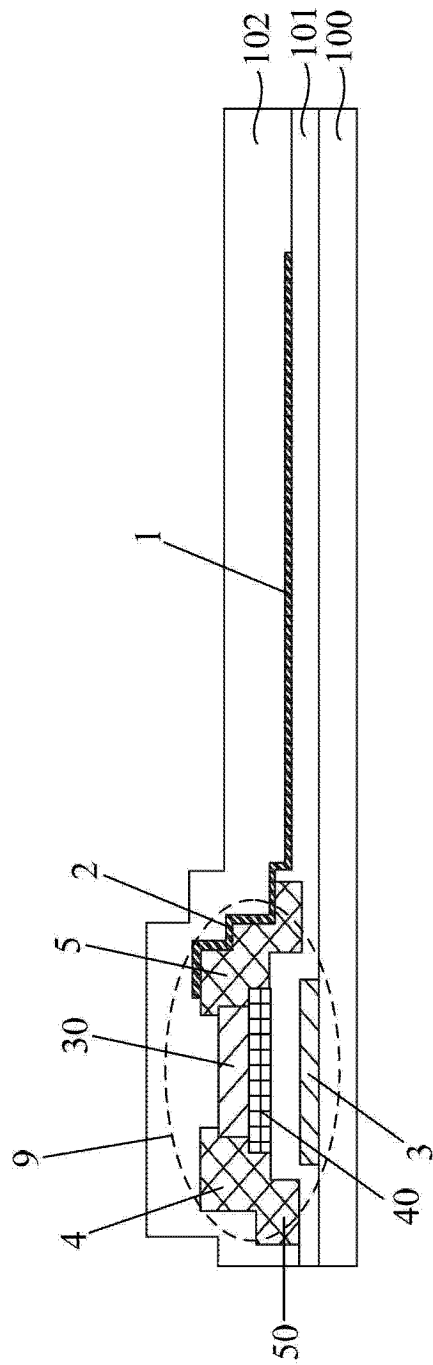


图 1

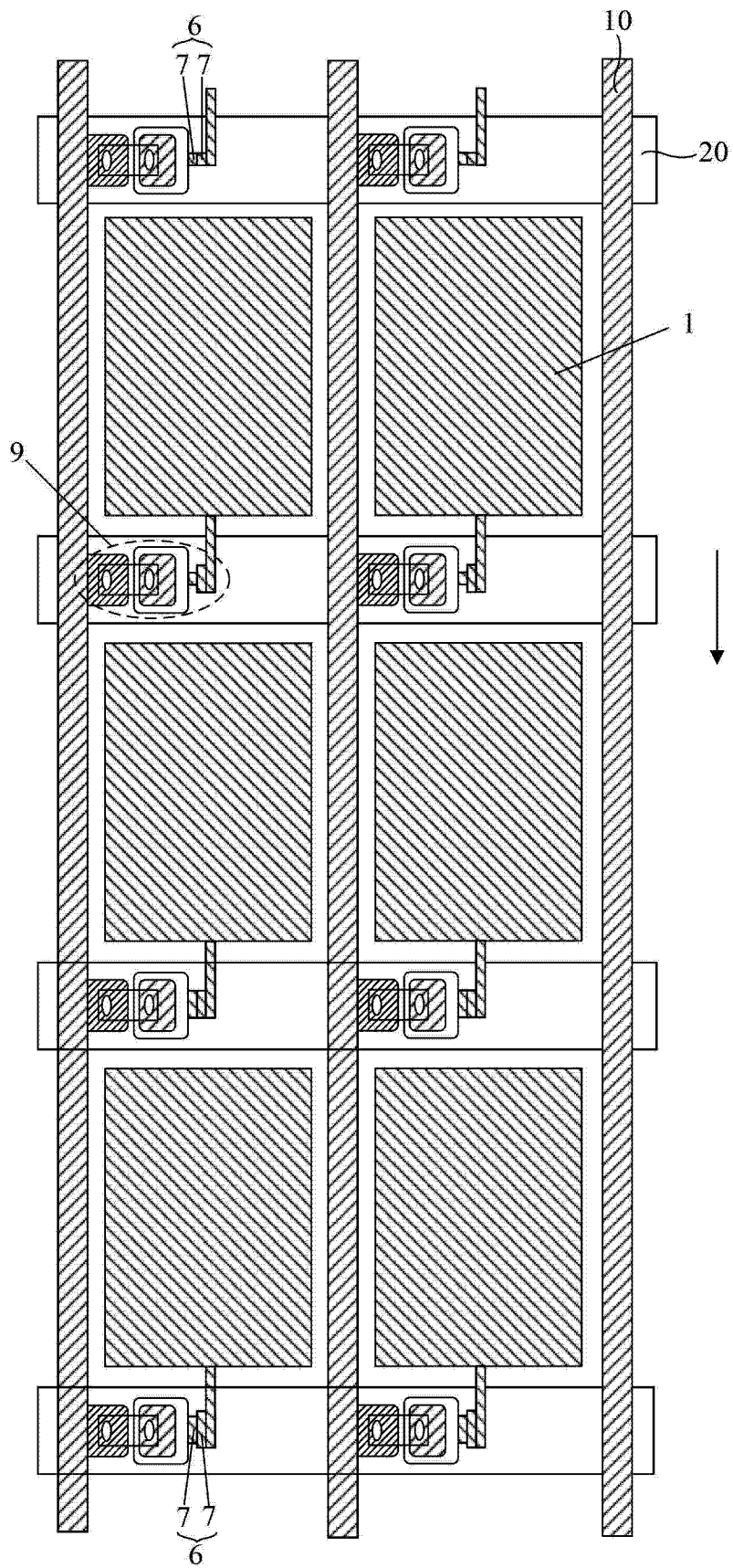


图 2

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 阵列基板及液晶显示装置 | | |
| 公开(公告)号 | CN203324620U | 公开(公告)日 | 2013-12-04 |
| 申请号 | CN201320448501.7 | 申请日 | 2013-07-25 |
| [标]申请(专利权)人(译) | 合肥京东方光电科技有限公司 京东方科技集团股份有限公司 | | |
| 申请(专利权)人(译) | 合肥京东方光电科技有限公司 京东方科技集团股份有限公司 | | |
| 当前申请(专利权)人(译) | 合肥京东方光电科技有限公司 京东方科技集团股份有限公司 | | |
| [标]发明人 | 王凯 金玫秀 王国磊 | | |
| 发明人 | 王凯 金玫秀 王国磊 | | |
| IPC分类号 | G02F1/1362 G02F1/1343 | | |
| 代理人(译) | 韩国胜 | | |
| 外部链接 | Espacenet SIPO | | |

摘要(译)

本实用新型属于液晶显示技术领域，公开了一种阵列基板及液晶显示装置，阵列基板，其包括纵横交叉分布的多条栅线和多条数据线，以及由栅线和所述数据线限定的多个像素区域，像素区域内形成有薄膜晶体管和像素电极，薄膜晶体管的源电极与数据线连接，像素电极通过图案化的导电连接层与薄膜晶体管的漏电极连接；从靠近数据线的信号输入端到远离数据线信号输入端的方向，导电连接层的电阻值逐行递减。本实用新型还提供了一种包括上述的阵列基板的显示装置。本实用新型从靠近数据线的信号输入端到远离数据线的信号输入端的方向，导电连接层的电阻逐行递增，解决了阵列基板上数据线信号传输方向上出现的信号衰减等延迟现象，确保了显示面板内同一灰阶的显示效果相同。

