



(12)发明专利申请

(10)申请公布号 CN 110047451 A

(43)申请公布日 2019. 07. 23

(21)申请号 201910278240.0

(22)申请日 2019.04.09

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 彭乐立 饶洋

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

G09G 3/36(2006.01)

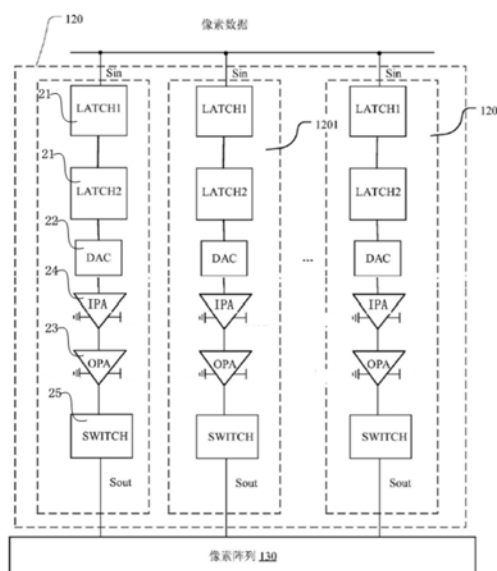
权利要求书2页 说明书12页 附图7页

(54)发明名称

源极驱动器、阵列基板以及液晶显示面板

(57)摘要

本发明提供一种源极驱动器、阵列基板以及液晶显示面板,其源极驱动器的驱动通道包括运算放大器和驱动电流放大电路,用于放大所述运算放大器的驱动电流以使所述驱动电流大于所述运算放大器的偏置电流,从而增强所述运算放大器的压摆率;在此基础上,提高了像素电压的压摆率,加快了液晶转动的速度,缩短了显示面板由暗转亮的时间,增大了单位时间内穿过显示面板的光通量,进而增强了显示面板的光穿透率,改善了现有显示面板存在的光穿透率较低的技术问题。



1. 一种源极驱动器,其特征在于,包括多个驱动通道,每个驱动通道向阵列面板的同一列的多个像素驱动晶体管提供像素电压,每个驱动通道包括:

缓存器,用于锁存驱动通道的输入端输入的像素数据;

数模转换器,用于将数字信号格式的像素数据,转换为模拟信号;

运算放大器,用于提供像素电压;

驱动电流放大电路,用于放大所述运算放大器的驱动电流以使所述驱动电流大于所述运算放大器的偏置电流,从而增强所述运算放大器的压摆率。

2. 如权利要求1所述的源极驱动器,其特征在于,所述运算放大器包括:偏置电路、第一级电路以及第二级电路;其中,

所述偏置电路用于提供偏置电流;

所述第一级电路连接于所述偏置电路,用于在接入两路输入电压时,对两路输入电压进行比较和第一级放大,以输出第一级放大电压;

所述第二级电路连接于所述第一级电路,用于将所述第一级放大电压进行第二级放大,以输出第二级放大电压,供所述运算放大器提供像素电压;

所述驱动电流放大电路分别连接于所述偏置电路、所述第一级电路和所述第二级电路,用于根据所述第一级放大电压调整所述运算放大器的驱动电流,以使所述驱动电流大于所述偏置电流,从而增强所述运算放大器的压摆率。

3. 如权利要求2所述的源极驱动器,其特征在于,所述驱动电流放大电路包括:

电压输出电路,用于根据所述第一级放大电压的大小来输出控制电压;

摆率增强器件,与所述电压输出电路连接,用于根据所述控制电压来控制其自身的截止或导通,以调整所述运算放大器的驱动电流,使所述运算放大器的驱动电流大于所述偏置电流,从而增强所述运算放大器的压摆率。

4. 如权利要求3所述的源极驱动器,其特征在于,所述电压输出电路包括:NMOS晶体管和PMOS晶体管,所述NMOS晶体管的源极接地,所述NMOS晶体管的栅极连接所述偏置电路,所述NMOS晶体管的漏极连接所述PMOS晶体管的漏极,所述PMOS晶体管的源极接入电源电压,所述PMOS晶体管的栅极接入所述第一级放大电压;其中,所述PMOS晶体管的漏极作为所述电压输出电路的输出端,以输出控制电压。

5. 如权利要求3所述的源极驱动器,其特征在于,所述摆率增强器件为PMOS晶体管或者NMOS晶体管。

6. 如权利要求2所述的源极驱动器,其特征在于,所述运算放大器还包括:

频率补偿电路,分别连接于所述第一级电路和所述第二级电路,用于消除自激振荡,以使所述运算放大器的输入输出频率同步。

7. 如权利要求1至6任一项所述的源极驱动器,其特征在于,所述每个驱动通道还包括多个第一选择开关以及多个第二选择开关,所述缓存器包括多个第一缓存器、以及第二缓存器,其中:

所述多个第一选择开关的输入端共同连接到所述驱动通道的输入端;

每个第一缓存器连接在一个第一选择开关的输出端和一个第二选择开关的输入端之间;

所述多个第二选择开关的输出端共同连接到所述第二缓存器的输入端;

所述第二缓存器的输出端连接到所述数模转换器的输入端。

8. 如权利要求7所述的源极驱动器,其特征在于,在提供给同一列的多个像素单元的像素电压中,相邻的像素单元的像素电压的极性相反。

9. 一种阵列基板,其特征在于,包括:行列设置的薄膜晶体管阵列;栅极驱动器,用于扫描栅极扫描线,以导通各行的薄膜晶体管;以及如权利要求1至8任一项所述的源极驱动器。

10. 一种液晶显示面板,其特征在于,包括对盒设置的阵列基板和彩膜基板、以及设置在所述阵列基板和彩膜基板之间的液晶,所述阵列基板包括如权利要求1至8任一项所述的源极驱动器。

源极驱动器、阵列基板以及液晶显示面板

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种源极驱动器、阵列基板以及液晶显示面板。

背景技术

[0002] 显示面板的功耗与光穿透率负相关,面板光穿透率的提高,有助于能耗的降低,因此高光穿透率的液晶面板是发展趋势。

[0003] 在现有技术中,面板光穿透率的提升是通过制程面的改善来实现,比如说改变面板中对位端子mask的形状、增大电极狭缝角(如ITO slit angle)等。但是制程面的改善效果有限,并且可能带来新的问题,例如增大ITO slit angle会导致显示面板的视角变差。

[0004] 所以,现有通过改善显示面板制程面的光穿透率改善方法会引入新缺陷,因此需要提供一种新的光穿透率改善方法。

发明内容

[0005] 本发明提供一种源极驱动器、阵列基板以及液晶显示面板,以改善现有显示面板存在的光穿透率较低的技术问题。

[0006] 为了解决上述问题,本发明提供的技术方案如下:

[0007] 本发明实施例提供一种源极驱动器,其包括多个驱动通道,每个驱动通道向阵列面板的同一列的多个像素驱动晶体管提供像素电压,每个驱动通道包括:

[0008] 缓存器,用于锁存驱动通道的输入端输入的像素数据;

[0009] 数模转换器,用于将数字信号格式的像素数据,转换为模拟信号;

[0010] 运算放大器,用于提供像素电压;

[0011] 驱动电流放大电路,用于放大所述运算放大器的驱动电流以使所述驱动电流大于所述运算放大器的偏置电流,从而增强所述运算放大器的压摆率。

[0012] 在本发明提供的源极驱动器中,所述运算放大器包括:偏置电路、第一级电路以及第二级电路;其中,

[0013] 所述偏置电路用于提供偏置电流;

[0014] 所述第一级电路连接于所述偏置电路,用于在接入两路输入电压时,对两路输入电压进行比较和第一级放大,以输出第一级放大电压;

[0015] 所述第二级电路连接于所述第一级电路,用于将所述第一级放大电压进行第二级放大,以输出第二级放大电压,供所述运算放大器提供像素电压;

[0016] 所述驱动电流放大电路分别连接于所述偏置电路、所述第一级电路和所述第二级电路,用于根据所述第一级放大电压调整所述运算放大器的驱动电流,以使所述驱动电流大于所述偏置电流,从而增强所述运算放大器的压摆率。

[0017] 在本发明提供的源极驱动器中,所述驱动电流放大电路包括:

[0018] 电压输出电路,用于根据所述第一级放大电压的大小来输出控制电压;

[0019] 摆率增强器件,与所述电压输出电路连接,用于根据所述控制电压来控制其自身的截止或导通,以调整所述运算放大器的驱动电流,使所述运算放大器的驱动电流大于所述偏置电流,从而增强所述运算放大器的压摆率。

[0020] 在本发明提供的源极驱动器中,所述电压输出电路包括:NMOS晶体管和PMOS晶体管,所述NMOS晶体管的源极接地,所述NMOS晶体管的栅极连接所述偏置电路,所述NMOS晶体管的漏极连接所述PMOS晶体管的漏极,所述PMOS晶体管的源极接入电源电压,所述PMOS晶体管的栅极接入所述第一级放大电压;其中,所述PMOS晶体管的漏极作为所述电压输出电路的输出端,以输出控制电压。

[0021] 在本发明提供的源极驱动器中,所述摆率增强器件为PMOS晶体管或者NMOS晶体管。

[0022] 在本发明提供的源极驱动器中,所述运算放大器还包括:

[0023] 频率补偿电路,分别连接于所述第一级电路和所述第二级电路,用于消除自激振荡,以使所述运算放大器的输入输出频率同步。

[0024] 在本发明提供的源极驱动器中,所述每个驱动通道还包括多个第一选择开关以及多个第二选择开关,所述缓存器包括多个第一缓存器、以及第二缓存器,其中:

[0025] 所述多个第一选择开关的输入端共同连接到所述驱动通道的输入端;

[0026] 每个第一缓存器连接在一个第一选择开关的输出端和一个第二选择开关的输入端之间;

[0027] 所述多个第二选择开关的输出端共同连接到所述第二缓存器的输入端;

[0028] 所述第二缓存器的输出端连接到所述数模转换器的输入端。

[0029] 在本发明提供的源极驱动器中,在提供给同一列的多个像素单元的像素电压中,相邻的像素单元的像素电压的极性相反。

[0030] 本发明实施例也提供一种阵列基板,其包括:行列设置的薄膜晶体管阵列;栅极驱动器,用于扫描栅极扫描线,以导通各行的薄膜晶体管;以及本发明实施例提供的源极驱动器。

[0031] 本发明实施例也提供一种液晶显示面板,其特征在于,包括对盒设置的阵列基板和彩膜基板、以及设置在所述阵列基板和彩膜基板之间的液晶,所述阵列基板包括本发明实施例提供的源极驱动器。

[0032] 本发明的有益效果为:本发明提供一种源极驱动器、阵列基板以及液晶显示面板,其源极驱动器的驱动通道包括运算放大器和驱动电流放大电路,用于放大所述运算放大器的驱动电流以使所述驱动电流大于所述运算放大器的偏置电流,从而增强所述运算放大器的压摆率;在此基础上,提高了像素电压的压摆率,加快了液晶转动的速度,缩短了显示面板由暗转亮的时间,增大了单位时间内穿过显示面板的光通量,进而增强了显示面板的光穿透率,改善了现有显示面板存在的光穿透率较低的技术问题;同时该方法不需要对显示面板的制程面进行改变,可以兼容现有显示面板。

附图说明

[0033] 为了更清楚地说明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单介绍,显而易见地,下面描述中的附图仅仅是发明的一些

实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

- [0034] 图1为本发明实施例提供的阵列基板的电路示意图;
- [0035] 图2为本发明实施例提供的源极驱动器的第一种电路示意图;
- [0036] 图3为本发明实施例提供的源极驱动器的第二种电路示意图;
- [0037] 图4为本发明实施例提供的源极驱动器的第三种电路示意图;
- [0038] 图5为本发明实施例提供的源极驱动器的第四种电路示意图;
- [0039] 图6为本发明实施例提供的源极驱动器的第五种电路示意图;
- [0040] 图7a为本发明实施例提供的像素数据处理时序图;
- [0041] 图7b为本发明实施例提供的驱动信号的波形图;
- [0042] 图7c为本发明实施例提供的像素输出的示意图;
- [0043] 图8为本发明实施例提供的源极驱动器的第六种电路示意图。

具体实施方式

[0044] 下面将结合本发明的具体实施方案,对本发明实施方案和/或实施例中的技术方案进行清楚、完整的描述,显而易见的,下面所描述的实施方案和/或实施例仅仅是本发明一部分实施方案和/或实施例,而不是全部的实施方案和/或实施例。基于本发明中的实施方案和/或实施例,本领域普通技术人员在没有做出创造性劳动前下所获得的所有其他实施方案和/或实施例,都属于本发明保护范围。

[0045] 本发明所提到的方向用语,例如[上]、[下]、[左]、[右]、[前]、[后]、[内]、[外]、[侧]等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明和理解本发明,而非用以限制本发明。术语“第一”、“第二”等仅用于描述目的,而不能理解为指示或是暗示其相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”等的特征可以明示或者隐含地包括一个或者更多个该特征。

[0046] 针对现有显示面板存在的光穿透率较低的技术问题,本发明实施例能够解决这个问题。

[0047] 光穿透率是指穿透光通量与光源本身入射光通量的比例,在液晶显示面板中,为避免液晶极化,液晶按一定频率转动。源极驱动器(Source IC)的像素电压(output)的电压值决定液晶转动的角度,而Source IC output的压摆率(Slew Rate)决定液晶转动的速度。因为光通量的光学量测为平均值,极性转换时导致的暗变亮会被累积,那么Slew rate越快,液晶转动的时间越短,由暗变亮的时间就越短,显示面板的整体亮度提高,从而有助于面板穿透率的提高。本发明即基于该思路对显示面板的源极驱动器进行改进。

[0048] 液晶显示装置已经广泛地应用于诸如手机的移动终端和诸如平板电视的大尺寸显示面板中。液晶显示装置包括两层玻璃基板以及夹在中间的液晶层(Liquid Crystal Layer)。在玻璃基板上形成像素电极和公共电极,通过在二者之间施加驱动电压来控制液晶层的液晶分子的旋转,从而改变透光率。

[0049] 如图1所示,液晶显示装置包括栅极驱动器110、源极驱动器120、多条栅极扫描线G1至Gm、源极数据线S1至Sn以及由多个薄膜晶体管(TFT, thin film transistor) 1101(即本发明中的驱动晶体管)组成的晶体管阵列和多个像素单元(pixel) 1102的像素阵列130。

栅极扫描线G1至Gm将同一行的薄膜晶体管1101的栅极连接至栅极驱动器110,用于接收薄膜晶体管导通的栅极电压。源极数据线S1至Sn将同一列的薄膜晶体管1101的源极(或漏极)连接至源极驱动器120,用于在薄膜晶体管导通后向像素单元提供灰阶电压。薄膜晶体管1101的漏极(或源极)连接至像素单元1102,像素单元接收灰阶电压后,驱动液晶分子旋转,完成显示。

[0050] 基于上述对光穿透率以及液晶显示面板的工作原理的分析,提供以下实施例以说明本发明的思想。

[0051] 如图2所示,源极驱动器120包括多个驱动通道1201,每个驱动通道向阵列面板的同一列的多个像素驱动晶体管提供像素电压Sout,每一驱动通道120包括:

[0052] 缓存器21,如图2所示的LATCH1、LATCH2,用于锁存驱动通道的输入端Sin输入的像素数据;

[0053] 数模转换器22,如图2所示的DAC,用于将数字信号格式的像素数据,转换为模拟信号;

[0054] 运算放大器23,如图2所示的OPA,用于提供像素电压;

[0055] 驱动电流放大电路24,如图2所示的IPA,用于放大所述运算放大器的驱动电流以使所述驱动电流大于所述运算放大器的偏置电流,从而增强所述运算放大器的压摆率;以及

[0056] 输出开关25,如图2所示的SWITCH,用于控制像素电压的输出。

[0057] 数据总线上的像素数据连续地输入至驱动通道1201中。在上述源极驱动器工作时,输入端Sin从处理器接收像素数据,经过缓存器LATCH1、LATCH2锁存后,通过数模转换器DAC转换成模拟信号,IPA放大运算放大器的驱动电流以使所述驱动电流大于所述运算放大器的偏置电流,从而增强所述运算放大器的压摆率,该模拟信号经过运算放大器OPA缓冲放大后,经过输出开关SWITCH的输出端Sout施加到对应的源极数据线上的像素单元上。

[0058] 本实施例提供的源极驱动器的驱动通道包括运算放大器和驱动电流放大电路,用于放大所述运算放大器的驱动电流以使所述驱动电流大于所述运算放大器的偏置电流,从而增强所述运算放大器的压摆率;在此基础上,提高了像素电压的压摆率,加快了液晶转动的速度,缩短了显示面板由暗转亮的时间,增大了单位时间内穿过显示面板的光通量,进而增强了显示面板的光穿透率,改善了现有显示面板存在的光穿透率较低的技术问题;同时该方法不需要对显示面板的制程面进行改变,可以兼容现有显示面板。

[0059] 在一种实施例中,如图3所示,所述运算放大器23包括:偏置电路31、第一级电路32以及第二级电路33;其中,

[0060] 所述偏置电路31用于提供偏置电流;

[0061] 所述第一级电路32连接于所述偏置电路31,用于在接入两路输入电压时,对两路输入电压进行比较和第一级放大,以输出第一级放大电压;

[0062] 所述第二级电路33连接于所述第一级电路32,用于将所述第一级放大电压进行第二级放大,以输出第二级放大电压,供所述运算放大器提供像素电压;

[0063] 此时,所述驱动电流放大电路24分别连接于所述偏置电路31、所述第一级电路32,用于根据所述第一级放大电压调整所述运算放大器的驱动电流,以使所述驱动电流大于所述偏置电流,从而增强所述运算放大器的压摆率。

[0064] 在一种实施例中,如图3所示,所述运算放大器23还包括:

[0065] 频率补偿电路34,分别连接于所述第一级电路32和所述第二级电路33,用于消除自激振荡,以使所述运算放大器的输入输出频率同步。

[0066] 在一种实施例中,如图3所示,所述驱动电流放大电路24包括:

[0067] 电压输出电路241,用于根据所述第一级放大电压的大小来输出控制电压;

[0068] 摆率增强器件242,与所述电压输出电路241连接,用于根据所述控制电压来控制其自身的截止或导通,以调整所述运算放大器的驱动电流,使所述运算放大器的驱动电流大于所述偏置电流,从而增强所述运算放大器的压摆率。

[0069] 现针对上述运算放大器和驱动电流放大电路的工作原理进行说明。

[0070] 对于偏置电路31,其用于分别向第一级电路32、第二级电路33和驱动电流放大电路24提供偏置电流。

[0071] 对于第一级电路32,其用于在接入两路输入电压时,对两路输入电压进行比较和第一级放大,以输出第一级放大电压。其中,第一级电路32具有两个输入端,即本实施方式的运算放大器的同相输入端和反相输入端,两路输入电压分别输入同相输入端和反相输入端。

[0072] 对于第二级电路33,其用于将第一级放大电压进行第二级放大,以输出第二级放大电压,供运算放大器驱动负载。其中,第二级放大电压即为本实施方式的运算放大器的输出电压,也即像素电压。

[0073] 对于驱动电流放大电路24,其用于在运算放大器驱动负载时,根据第一级放大电压调整运算放大器的驱动电流,以使运算放大器的驱动电流大于偏置电流,从而增强运算放大器的压摆率。

[0074] 对于电压输出电路241,其用于在运算放大器驱动负载时,根据第一级放大电压的大小来输出控制电压。

[0075] 在一种实施例中,电压输出电路至少包括一个NMOS晶体管和PMOS晶体管,NMOS晶体管的源极接地,NMOS晶体管的栅极连接偏置电路,NMOS晶体管的漏极连接PMOS晶体管的漏极,PMOS晶体管的源极接入电源电压,PMOS晶体管的栅极接入第一级放大电压;其中,PMOS晶体管的漏极作为电压输出电路的输出端,以输出控制电压。并且,在驱动电流放大电路中,通过预先设定NMOS晶体管和PMOS晶体管的宽长比,来使流过NMOS晶体管和流过PMOS晶体管的电流相等,在同相输入端的输入电压大于等于反相输入端的输入电压时,NMOS晶体管的工作状态处于饱和区,PMOS晶体管的工作状态处于线性区;在同相输入端的输入电压小于反相输入端的输入电压时,NMOS晶体管的工作状态处于线性区,PMOS晶体管的工作状态处于饱和区。

[0076] 对于摆率增强器件242,其用于根据控制电压来控制其自身的截止或导通,以调整运算放大器的驱动电流,使运算放大器的驱动电流大于偏置电流,从而增强运算放大器的压摆率。

[0077] 在一种实施例中,摆率增强器件为PMOS晶体管或者NMOS晶体管。

[0078] 频率补偿电路34就是补偿负载在打开或负载工作在变化的状态下,稳压电源还未及时调整过来时用于补偿频率,既满足负载的要求,同时也能够协助稳压电源的调整;其实质相当于低通滤波器,滤除运算放大器产生的自激振荡信号。

[0079] 在一种实施例中,频率补偿电路可以采用RC网络结构。

[0080] 本实施方式的运算放大器,增加了驱动电流放大电路24,在运算放大器23驱动负载时,可以调整运算放大器的驱动电流,使运算放大器的驱动电流大于偏置电流,从而增强运算放大器的压摆率;其驱动电流的大小并非由输出级的偏置电流所决定,且驱动电流可以远大于偏置电流,无需提高输出级的偏置电流;本实施方式的运算放大器采用的摆率增强器件,在静态时处于截止状态,没有静态电流消耗,不会增加静态功耗,能够满足集成电路中低功耗的设计要求。

[0081] 针对上述运算放大器和驱动电流放大电路,现给出2种实现方式。

[0082] 在一种实施例中,如图4所示:

[0083] 偏置电路31至少包括:第一NMOS晶体管M1;第一NMOS晶体管M1的漏极接入偏置参考电流 I_{bias} ,第一NMOS晶体管M1的漏极与其栅极连接,第一NMOS晶体管M1的源极接地;

[0084] 第一级电路32至少包括:第二NMOS晶体管M2,第三NMOS晶体管M3,第四NMOS晶体管M4,第一PMOS晶体管M5以及第二PMOS晶体管M6;第二NMOS晶体管M2的栅极连接第一NMOS晶体管M1的栅极,第二NMOS晶体管M2的源极接地,第二NMOS晶体管M2的漏极分别连接第三NMOS晶体管M3和第四NMOS晶体管M4的源极,第三NMOS晶体管M3的漏极连接第一PMOS晶体管M5的漏极,第四NMOS晶体管M4的漏极连接第二PMOS晶体管M6的漏极,第一PMOS晶体管M5的漏极还连接其栅极,第一PMOS晶体管M5的栅极还连接第二PMOS晶体管M6的栅极,第一PMOS晶体管M5和第二PMOS晶体管M6的源极均接入电源电压VCC;其中,第三NMOS晶体管M3的栅极和第四NMOS晶体管M4的栅极分别作为本实施方式的运算放大器的反相输入端VN和同相输入端VP,以接入两路输入电压;

[0085] 第二级电路33至少包括:第五NMOS晶体管M7,以及第三PMOS晶体管M8;第五NMOS晶体管M7的栅极连接第一NMOS晶体管M1的栅极,第五NMOS晶体管M7的源极接地,第五NMOS晶体管M7的漏极连接第三PMOS晶体管M8的漏极,第三PMOS晶体管M8的栅极连接第二PMOS晶体管M6的漏极,第三PMOS晶体管M8的源极接入电源电压VCC;其中,第三PMOS晶体管M8的漏极作为第二级电路的输出端,以输出第二级放大电压,供运算放大器驱动负载CL(即液晶显示面板的上下板所形成的电容,下文相同);也就是说,第二级电路的输出端就是本实施方式的运算放大器的输出端VOUT,而负载CL为电容负载;

[0086] 驱动电流放大电路24至少包括:主要由第六NMOS晶体管M9和第四PMOS晶体管M10组成的电压输出电路241,以及主要由第五PMOS晶体管M11组成的摆率增强器件242;第六NMOS晶体管M9的栅极连接第一NMOS晶体管M1的栅极,第六NMOS晶体管M9的源极接地,第六NMOS晶体管M9的漏极连接第四PMOS晶体管M10的漏极,第四PMOS晶体管M10的栅极连接第二PMOS晶体管M6的漏极,第四PMOS晶体管M10的源极接入电源电压,第五PMOS晶体管M11的栅极连接第四PMOS晶体管M10的漏极,第五PMOS晶体管M11的漏极接地,第五PMOS晶体管M11的源极连接第三PMOS晶体管M8的漏极。

[0087] 在驱动电流放大电路24中,通过预先设定第六NMOS晶体管M9和第四PMOS晶体管M10的宽长比,使流过第六NMOS晶体管和流过第四PMOS晶体管的电流相等;其中,在同相输入端VP的输入电压大于等于反相输入端VN的输入电压时,第六NMOS晶体管M9的工作状态处于饱和区,第四PMOS晶体管M10的工作状态处于线性区;在同相输入端VP的输入电压小于反相输入端VN的输入电压时,第六NMOS晶体管M9的工作状态处于线性区,第四PMOS晶体管M10

的工作状态处于饱和区。

[0088] 并且,第一PMOS晶体管M5的宽长比等于第二PMOS晶体管M6的宽长比,第三NMOS晶体管M3的宽长比等于第四NMOS晶体管M4的宽长比,第六NMOS晶体管M9的宽长比小于第二NMOS晶体管M2的宽长比的一半,第四PMOS晶体管M10的宽长比大于第二PMOS晶体管M6的宽长比;

[0089] 频率补偿电路34至少包括:由补偿电阻RC和补偿电容CC组成的RC网络结构。该补偿电阻RC和补偿电容CC起到频率补偿的作用。

[0090] 在本实施方式中,第一NMOS晶体管M1、第二NMOS晶体管M2和第五NMOS晶体管M7组成电流镜电路,用于为本实施方式的运算放大器提供偏置电流 I_{bias} 。由图4可见,第一NMOS晶体管M1将偏置电流 I_{bias} 分别镜像到第二NMOS晶体管M2所在的第一级电路和第五NMOS晶体管M7所在的第二级电路。另外,第五PMOS晶体管M11为摆率增强器件,其栅极与第六NMOS晶体管M9和第四PMOS晶体管M10的漏极相连接。

[0091] 请继续参阅图4,本实施方式的运算放大器,其具体工作原理如下:

[0092] (1) 两输入端的输入电压相等 ($V_P = V_N$) 的情况:此时流过第一PMOS晶体管M5和第二PMOS晶体管M6的电流相等,且等于流过第二NMOS晶体管M2电流的一半;对于第六NMOS晶体管M9和第四PMOS晶体管M10,流过两者的电流应相等,即: $I_9 = I_{10}$;若两者均处于饱和区或第六NMOS晶体管M9处于线性区,第四PMOS晶体管M10处于饱和区,根据电流镜的关系,均与 $I_9 = I_{10}$ 的关系相矛盾,因此必然有第六NMOS晶体管M9处于饱和区,而第四PMOS晶体管M10处于线性区才满足条件,由于第四PMOS晶体管M10处于线性区,使得B点电位被拉高到接近电源电压VCC,第五PMOS晶体管M11处于截止状态,不对输出端Vout进行放电。

[0093] (2) 同相输入端的输入电压大于反相输入端的输入电压 ($V_P > V_N$) 的情况:此时流过第四NMOS晶体管M4、第二PMOS晶体管M6这一支路的电流大于流过第三NMOS晶体管M3、第一PMOS晶体管M5这一支路的电流,因此这使得A点电位降低,第四PMOS晶体管M10进一步偏离饱和区处于深线性状态,因此B点电位仍保持在接近电源电压VCC,第五PMOS晶体管M11处于截止状态,但是由于A点电位降低,流过第三PMOS晶体管M8的电流增大,对电容负载CL进行充电,且该充电电流可以大于流过第五NMOS晶体管M7的偏置电流 I_{bias} ,因此该电路有很高的正向压摆率。

[0094] (3) 同相输入端小于反相输入端 ($V_P < V_N$) 的情况:此时流过第四NMOS晶体管M4、第二PMOS晶体管M6这一支路的电流小于流过第三NMOS晶体管M3、第一PMOS晶体管M5这一支路的电流,因此有:这使得A点电位升高,并且由于预先合理地设置了第六NMOS晶体管M9和第四PMOS晶体管M10的宽长比,可以使得在此状态下第四PMOS晶体管M10进入饱和区,而第六NMOS晶体管M9进入线性区,此时B点电位被拉到接近于地,第五PMOS晶体管M11被打开,为输出端Vout提供了一个大的放电电流,因此该电路有很高的负向压摆率。

[0095] 在上述第(1)和(2)种情况下,第五PMOS晶体管M11在静态时处于截止状态,没有静态电流消耗,不会增加静态功耗,能够满足集成电路中低功耗的设计要求。

[0096] 在领一种实施例中,如图5所示:

[0097] 偏置电路31至少包括:第一PMOS晶体管M1';第一PMOS晶体管M1'的漏极接入偏置参考电流 I_{bias} ,第一PMOS晶体管M1'的漏极与其栅极连接,第一PMOS晶体管M1'的源极接入电源电压VCC。

[0098] 第一级电路32至少包括:第二PMOS晶体管M2',第三PMOS晶体管M3',第四PMOS晶体管M4',第一NMOS晶体管M5'以及第二NMOS晶体管M6';第二PMOS晶体管M2'的栅极连接第一PMOS晶体管M1'的栅极,第二PMOS晶体管M2'的源极接入电源电压VCC,第二PMOS晶体管M2'的漏极分别连接第三PMOS晶体管M3'和第四PMOS晶体管M4'的源极,第三PMOS晶体管M3'的漏极连接第一NMOS晶体管M5'的漏极,第四PMOS晶体管M4'的漏极连接第二NMOS晶体管M6'的漏极,第一NMOS晶体管M5'的漏极还连接其栅极,第一NMOS晶体管M5'的栅极还连接第二NMOS晶体管M6'的栅极,第一NMOS晶体管M5'和第二NMOS晶体管M6'的源极均接地;其中,第三PMOS晶体管M3'的栅极和第四PMOS晶体管M4'的栅极分别作为运算放大器的反相输入端VN和同相输入端VP,以接入两路输入电压;

[0099] 第二级电路33至少包括:第五PMOS晶体管M7',以及第三NMOS晶体管M8';第五PMOS晶体管M7'的栅极连接第一PMOS晶体管M1'的栅极,第五PMOS晶体管M7'的源极接入电源电压,第五PMOS晶体管M7'的漏极连接第三NMOS晶体管M8'的漏极,第三NMOS晶体管M8'的栅极连接第二NMOS晶体管M6'的漏极,第三NMOS晶体管M8'的源极接地;其中,第三NMOS晶体管M8'的漏极作为第二级电路的输出端,以输出第二级放大电压,供运算放大器驱动负载CL;也就是说,第二级电路的输出端就是本实施方式的运算放大器的输出端Vout,而负载CL为电容负载;

[0100] 驱动电流放大电路24至少包括:主要由第六PMOS晶体管M9'和第四NMOS晶体管M10'组成的电压输出电路241,以及主要由第五NMOS晶体管M11'组成的摆率增强器件242;第六PMOS晶体管M9'的栅极连接第一PMOS晶体管M1'的栅极,第六PMOS晶体管M9'的源极接入电源电压VCC,第六PMOS晶体管M9'的漏极连接第四NMOS晶体管M10'的漏极,第四NMOS晶体管M10'的栅极连接第二NMOS晶体管M6'的漏极,第四NMOS晶体管M10'的源极接地,第五NMOS晶体管M11'的栅极连接第四NMOS晶体管M10'的漏极,第五NMOS晶体管M11'的漏极接入电源电压VCC,第五NMOS晶体管M11'的源极连接第三NMOS晶体管M8'的漏极。

[0101] 在驱动电流放大电路24中,通过预先设定第六PMOS晶体管M9'和第四NMOS晶体管M10'的宽长比,使流过第六PMOS晶体管M9'和流过第四NMOS晶体管M10'的电流相等;其中,在同相输入端VP的输入电压大于等于反相输入端VN的输入电压时,第六PMOS晶体管M9'的工作状态处于饱和区,第四NMOS晶体管M10'的工作状态处于线性区;在同相输入端VP的输入电压小于反相输入端VN的输入电压时,第六PMOS晶体管M9'的工作状态处于线性区,第四NMOS晶体管M10'的工作状态处于饱和区。并且,第一NMOS晶体管M5'的宽长比等于第二NMOS晶体管M6'的宽长比,第三PMOS晶体管M3'的宽长比等于第四PMOS晶体管M4'的宽长比,第六PMOS晶体管M9'的宽长比小于第二PMOS晶体管M2'的宽长比的一半,第四NMOS晶体管M10'的宽长比大于第二NMOS晶体管M6'的宽长比;

[0102] 图5所示电路的具体工作原理与本发明图4所示电路相似,在此不做赘述。

[0103] 在液晶显示装置的驱动系统中,必需周期性地反转传送至像素单元的灰阶电压的极性以避免液晶极化所引起的残影现象。显示装置所采用的极性反转方法主要有三种:帧反转(frame inversion)、列反转(column inversion)以及点反转(dot inversion)。从单点反转到双点反转再到列反转,以单点反转为例如,相邻像素单元的像素电压在一帧期间内具有相反的极性,同一列的像素单元极性的反转产生大幅的功率消耗,但是极性反转的次数越多,液晶显示装置的显示效果也就越好。因此在设计时显示效果和功耗是一对折衷

(trade off)关系。

[0104] 在一种实施例中,每一驱动通道1201包括:多个第一选择开关以及多个第二选择开关,所述缓存器包括多个第一缓存器、以及第二缓存器,其中:

[0105] 所述多个第一选择开关的输入端共同连接到所述驱动通道的输入端;

[0106] 每个第一缓存器连接在一个第一选择开关的输出端和一个第二选择开关的输入端之间;

[0107] 所述多个第二选择开关的输出端共同连接到所述第二缓存器的输入端;

[0108] 所述第二缓存器的输出端连接到所述数模转换器的输入端;

[0109] 其中,在每个驱动通道中,通过控制所述多个第一选择开关的开启和关闭,从而使所述多个第一缓存器按照行顺序接收像素数据,通过控制所述多个第二选择开关的开启和关闭,调整所述多个第一缓存器输出所述像素数据的顺序,以减少像素数据对应的像素电压在输出时需要反转的次数。

[0110] 在一种实施例中,所述通过控制所述多个第二选择开关的开启和关闭,调整所述多个第一缓存器输出所述像素数据的顺序包括:将同一列中相邻的两个像素单元的像素数据作为一组,通过控制所述多个第二选择开关的开启和关闭,将偶数组的两个像素单元的像素数据的输出顺序颠倒。

[0111] 在一种实施例中,所述通过控制所述多个第二选择开关的开启和关闭,调整所述多个第一缓存器输出所述像素数据的顺序包括:将同一列中相邻的两个像素单元的像素数据作为一组,通过控制所述多个第二选择开关的开启和关闭,将奇数组的两个像素单元的像素数据的输出顺序颠倒。

[0112] 在一种实施例中,所述通过控制所述多个第二选择开关的开启和关闭,调整所述多个第一缓存器输出所述像素数据的顺序包括:通过控制所述多个第二选择开关的开启和关闭,先输出同一列中奇数位置的像素单元的像素数据,再输出同一列中偶数位置的像素单元的像素数据,或者

[0113] 通过控制所述多个第二选择开关的开启和关闭,先输出同一列中偶数位置的像素单元的像素数据,再输出同一列中奇数位置的像素单元的像素数据。

[0114] 在一种实施例中,在提供给同一列的多个像素单元的像素电压中,相邻的像素单元的像素电压的极性相反。

[0115] 现结合具体实施例对本发明进行说明。

[0116] 在一种实施例中,如图6所示,每一驱动通道1201包括:

[0117] 第一级缓存器LATCH11,LATCH12,第二级缓存器LATCH2,数模转换器DAC,运算放大器OPA,驱动电流放大电路IPA,输出开关SWITCH。源极驱动器还包括分别和第一级缓存器LATCH11,LATCH12连接的选择开关SW1,SW3,SW2和SW4。源极驱动器的输入端Sin从数据总线接收表示像素数据的数字信号,根据控制信号分别控制选择SW1,SW3,SW2和SW4的导通和关闭,从而控制第一级缓存器LATCH11,LATCH12的数据锁存和释放,最终控制输出端Sout输出像素电压的极性。数模转换器DAC,运算放大器OPA,驱动电流放大电路IPA,输出开关SWITCH的结构和功能在上文中已经进行了描述,不再赘述。

[0118] 和图2所示的源极驱动器120不同的是,在图6所示的源极驱动器120工作时,栅极驱动器不是逐行导通薄膜晶体管,而是以一定的行顺序导通薄膜晶体管,例如,以先1,2行

再4,3行的行顺序导通薄膜晶体管。相应地,源极驱动器220根据该顺序释放对应像素单元的像素电压。

[0119] 图7a为图6所示的本发明实施例的源极驱动器的像素数据处理过程的时序图,图7b为图6所示的本发明实施例的源极驱动器对应的栅极驱动器提供的驱动信号的波形图,图7c为图6所示的本发明实施例的源极驱动器的像素数据对应的像素输出的示意图。

[0120] 在图7a中,第N帧的像素数据DATA转换为A+,B-,C+,D-,E+,F-,G+,H-,I+,J-的像素电压,CLK表示时钟信号,数字1-10代表第一至第十个时钟周期,在图7b中,CNT1-CNT8表示分别施加到栅极扫描线G1-G8上的驱动信号。

[0121] 结合图6和图7a-7b,本发明提供的像素数据处理过程具体包括以下步骤。

[0122] 步骤1:在第一个时钟周期,SW1导通,像素电压A+,被LATCH11锁存;

[0123] 步骤2:在第二个时钟周期,SW2导通,像素电压B-,被LATCH12锁存;

[0124] 步骤3:在第三个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G1,导通G1上的薄膜晶体管,此时SW3导通,LATCH11中的A+被LATCH2锁存并被驱动到对应的像素单元上(对应图7c的第一行),同时SW1导通,C+被LATCH11锁存;

[0125] 步骤4:在第四个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G2,导通G2上的薄膜晶体管,同时SW4导通,LATCH12中的B-被LATCH2锁存并被驱动到对应的像素单元上(对应图7c的第二行),同时SW2导通,D-被LATCH12锁存;

[0126] 步骤5:在第五个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G4,导通G4上的薄膜晶体管,同时SW4导通,LATCH12中的D-被LATCH2锁存并被驱动到对应的像素单元上(对应图7c的第四行),同时SW2导通,E+被LATCH12锁存;

[0127] 步骤6:在第六个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G3,导通G3上的薄膜晶体管,同时SW3导通,LATCH11中的C+被LATCH2锁存并被驱动到对应的像素单元上(对应图7c的第三行),同时SW1导通,F-被LATCH11锁存;

[0128] 步骤7:在第七个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G5,导通G5上的薄膜晶体管,同时SW4导通,LATCH12中的E+被LATCH2锁存并被驱动到对应的像素单元上(对应图7c的第五行),同时SW2导通,G+被LATCH12锁存;

[0129] 步骤8:在第八个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G6,导通G6上的薄膜晶体管,同时SW3导通,LATCH11中的F-被LATCH2锁存并被驱动到对应的像素单元上(对应图7c的第六行),同时SW1导通,H-被LATCH11锁存;

[0130] 步骤9:在第九个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G8,导通G8上的薄膜晶体管,同时SW3导通,LATCH11中的H-被LATCH2锁存并被驱动到对应的像素单元上(对应图7c的第八行),同时SW1导通,I+被LATCH11锁存;

[0131] 步骤10:在第十个时钟周期,栅极驱动器产生驱动信号发送到栅极扫描线G7,导通G7上的薄膜晶体管,同时G7打开,SW4打开,LATCH12中的G+被LATCH2锁存并被驱动到对应的像素单元上(对应图7c的第七行),同时SW2打开,J-被LATCH12锁存。依次类推。

[0132] 如图7c所示,在第N帧数据显示时,在第三个时钟周期期间,第一行第一列的像素单元的像素电压为A+,在第四个时钟周期期间,第二行第一列的像素单元的像素电压为B-,在第五个时钟周期期间,第四行第一列的像素单元的像素电压为D-,在第六个时钟周期期间,第三行第一列的像素单元的像素电压为C+,在第七个时钟周期期间,第五行第一列的像

素单元的像素电压为E+,在第八个时钟周期期间,第六行第一列的像素单元的像素电压为F-,在第九个时钟周期期间,第八行第一列的像素单元的像素电压为H-,第十个时钟周期期间,第七行第一列的像素单元的像素电压为G+。由此,虽然每一个像素单元只在一个时钟周期存在像素电压,但由于人眼的视觉暂停效应和超过一定的刷新率,使得人眼看到的是整帧数据的显示画面。

[0133] 在本实施例中,栅极驱动器按照G1,G2,G4,G3,G5,G6,G8,G7的行顺序依次导通栅极扫描线上的薄膜晶体管,相应地,源极驱动器的像素电压的输送顺序为A+,B-,D-,C+,E+,F-,H-,G+。经过计算可知,在此过程中源极驱动器的像素电压反转了4次,而图2所示的源极驱动器在相同情况下像素电压需要反转7次,即,应用本发明实施例的源极驱动器的驱动方法能够减少3次反转,由此,减少了功率消耗,但是同样达到了单点反转的驱动方法的显示效果。

[0134] 在一种实施例中,其中选择开关可采用各种类型的MOS管及其组合实现。

[0135] 在一种实施例中,如图8所示,每一驱动通道1201包括第一级缓存器LATCH11至LATCH14,第二级缓存器LATCH2,数模转换器DAC,运算放大器OPA,驱动电流放大电路IPA,输出开关SWITCH。源极驱动器还包括分别和第一级缓存器LATCH11至LATCH14连接的选择开关SW11至SW14,SW21至SW24。源极驱动器的输入端Sin从数据总线接收表示像素数据的数字信号,根据驱动信号分别控制选择开关SW11至SW14,SW21至SW24的导通和关闭,从而控制第一级缓存器LATCH11至LATCH14,LATCH2的数据锁存和释放,最终控制输出端Sout输出像素电压的极性。

[0136] 采用图8所示的电路,栅极驱动器可以按照G1,G3,G5,G7,G2,G4,G6,G8的行顺序依次导通栅极扫描线上的薄膜晶体管,相应地,源极驱动器的像素电压的输送顺序为A+,C+,E+,G+,B-,D-,F-,H-,经过计算可知,在此过程中源极驱动器的像素电压反转了1次,而图2所示源极驱动器在相同情况下像素电压需要反转7次,即,应用本实施例的源极驱动器能够减少6次反转,由此,减少了功率消耗,但是同样达到了单点反转的驱动方法的显示效果。

[0137] 本发明实施例通过扩展并联锁存器数量并且修改对应栅极驱动信号打开的顺序,能够减少像素电压的反转次数,从而在不影响显示效果的条件下,减少功率效果。

[0138] 同时,在一种实施例中,本发明实施例也提供一种阵列基板,其包括:行列设置的薄膜晶体管阵列;栅极驱动器,用于扫描栅极扫描线,以导通各行的薄膜晶体管;以及本发明实施例提供的源极驱动器。

[0139] 同时,在一种实施例中,本发明实施例也提供一种液晶显示面板,其特征在于,包括对盒设置的阵列基板和彩膜基板、以及设置在所述阵列基板和彩膜基板之间的液晶,所述阵列基板包括本发明实施例提供的源极驱动器。

[0140] 根据上述实施例可知:

[0141] 本发明提供一种源极驱动器、阵列基板以及液晶显示面板,其源极驱动器的驱动通道包括运算放大器和驱动电流放大电路,用于放大所述运算放大器的驱动电流以使所述驱动电流大于所述运算放大器的偏置电流,从而增强所述运算放大器的压摆率;在此基础上,提高了像素电压的压摆率,加快了液晶转动的速度,缩短了显示面板由暗转亮的时间,增大了单位时间内穿过显示面板的光通量,进而增强了显示面板的光穿透率,改善了现有显示面板存在的光穿透率较低的技术问题;同时该方法不需要对显示面板的制程面进行改

变,可以兼容现有显示面板。

[0142] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

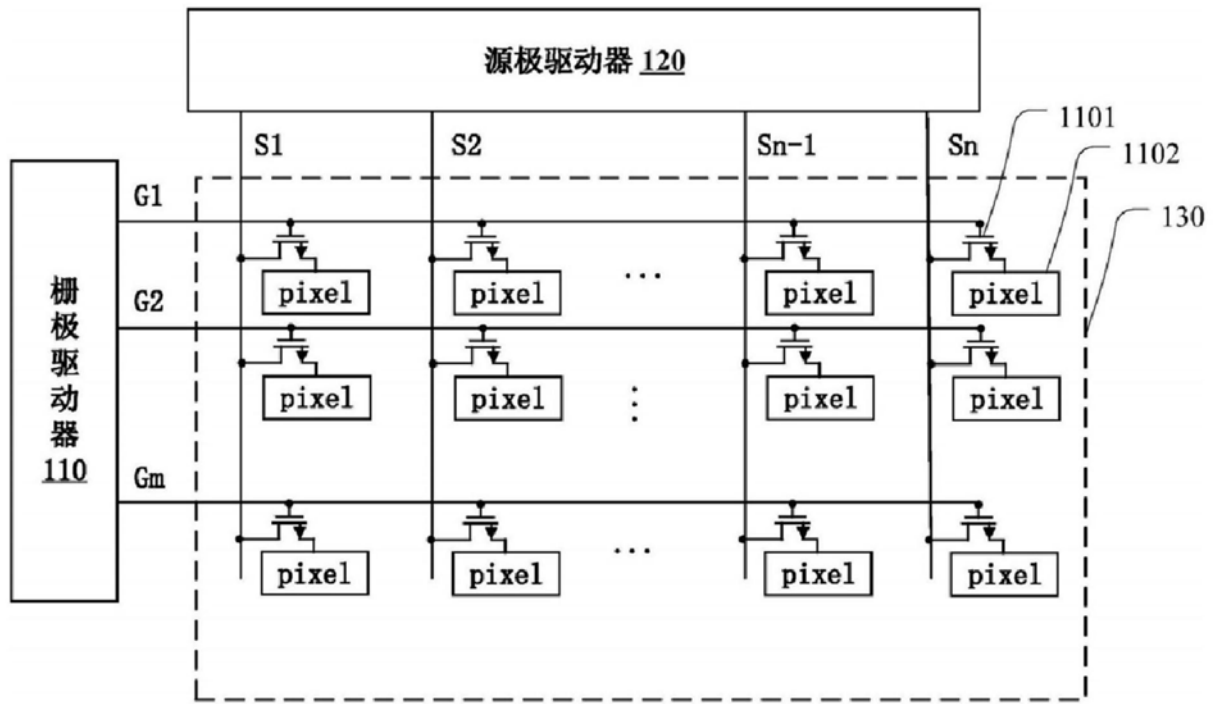


图1

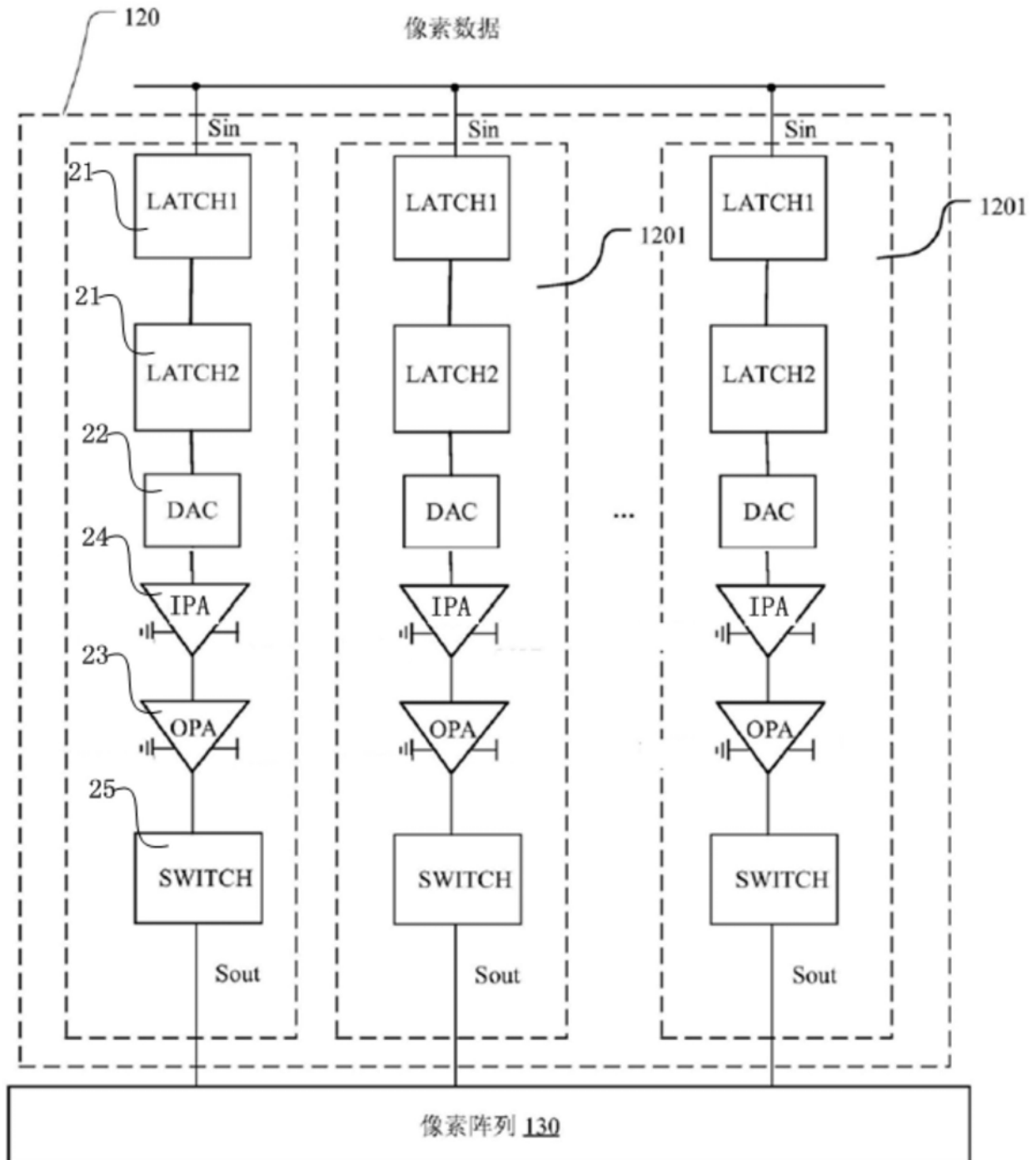


图2

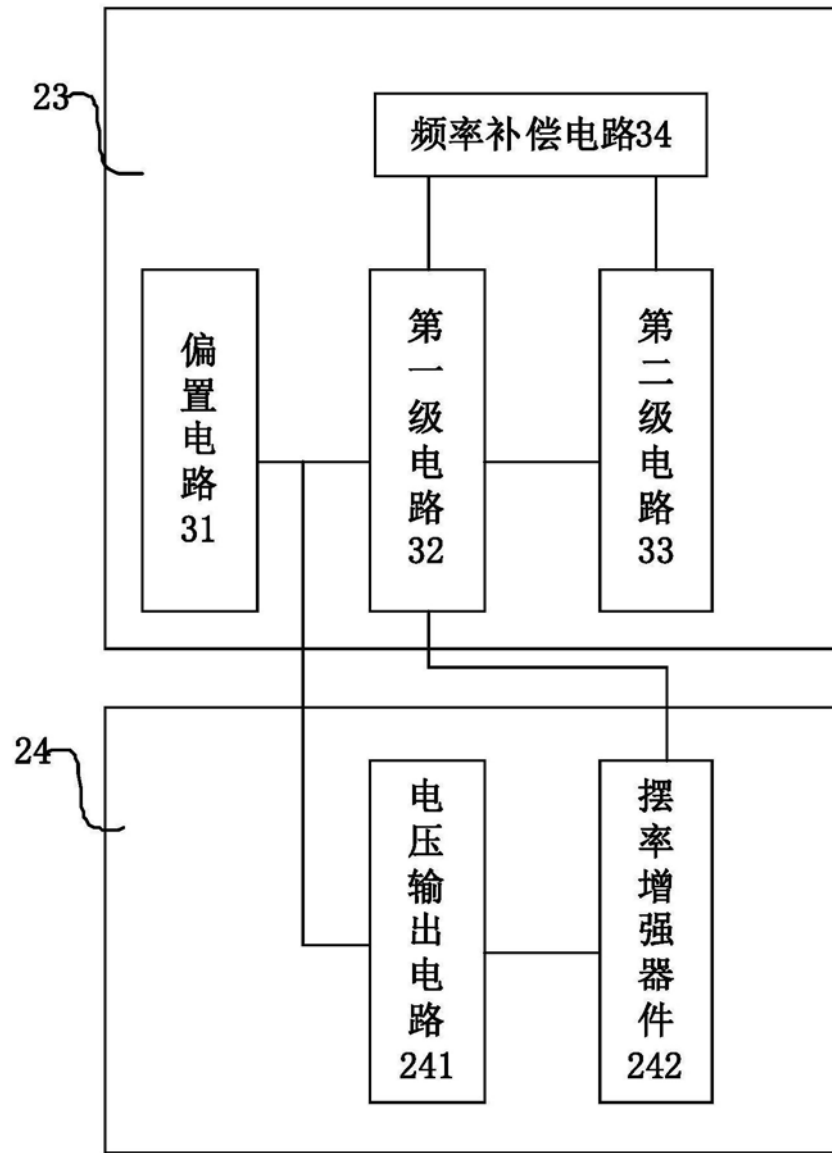


图3

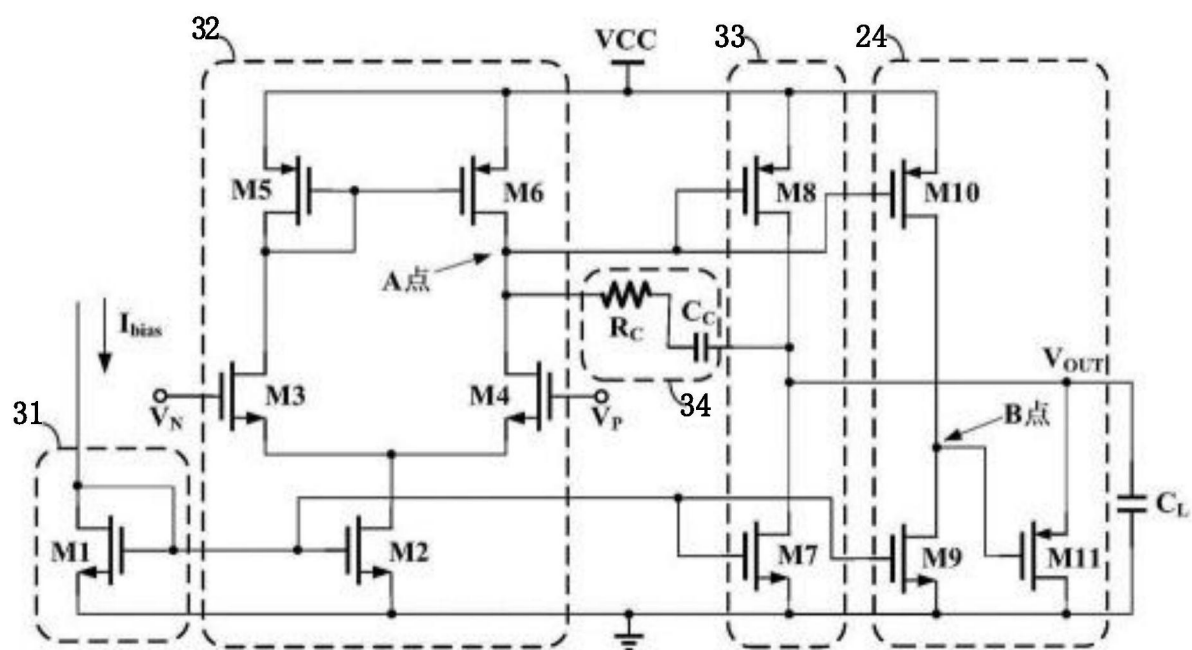


图4

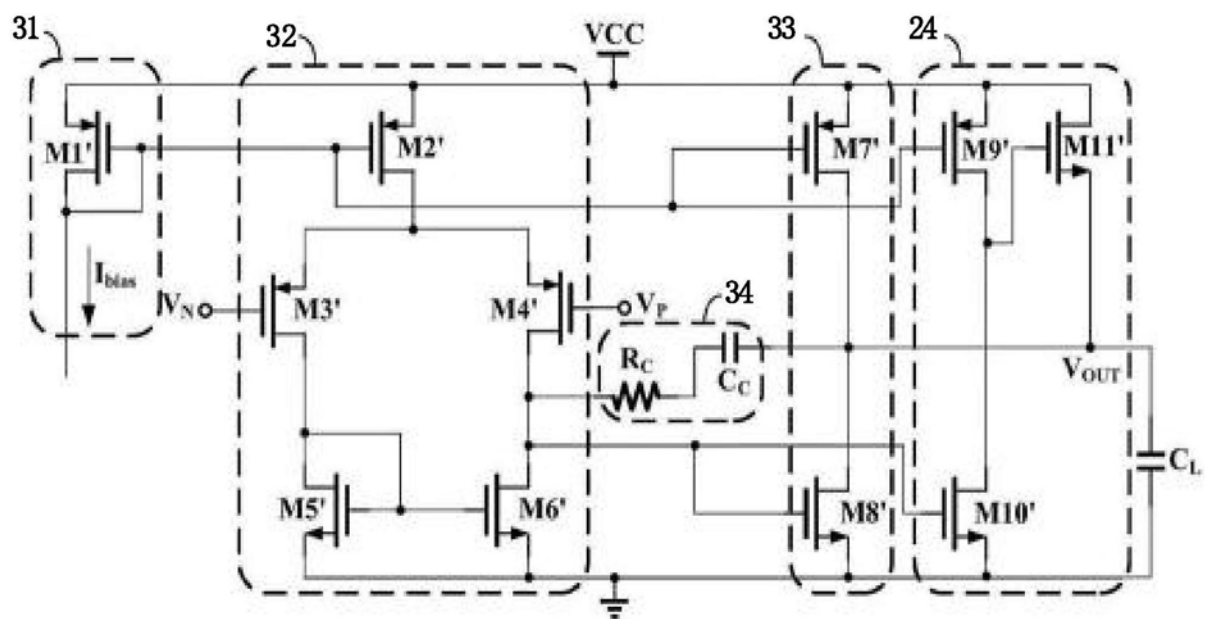


图5

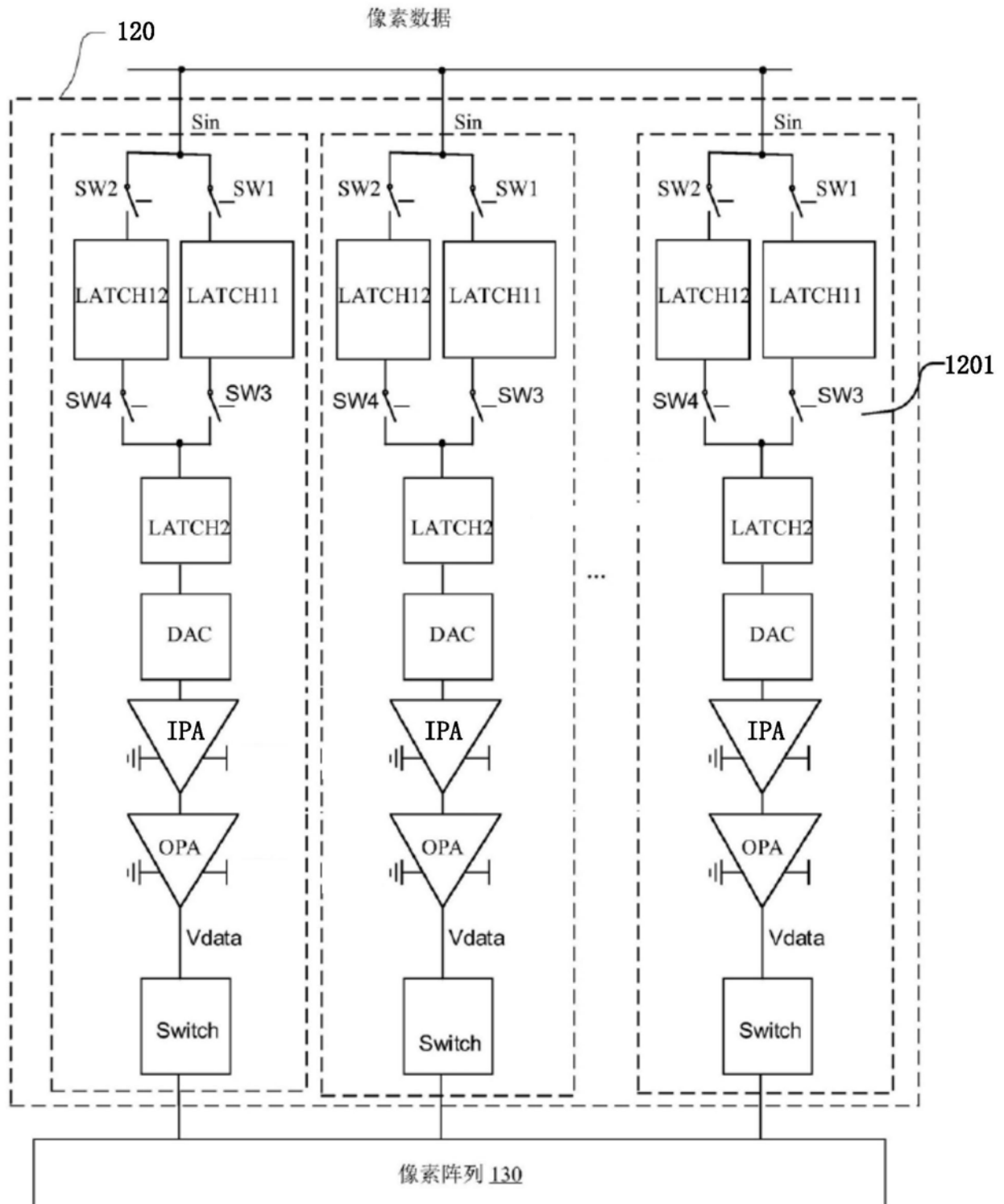


图6

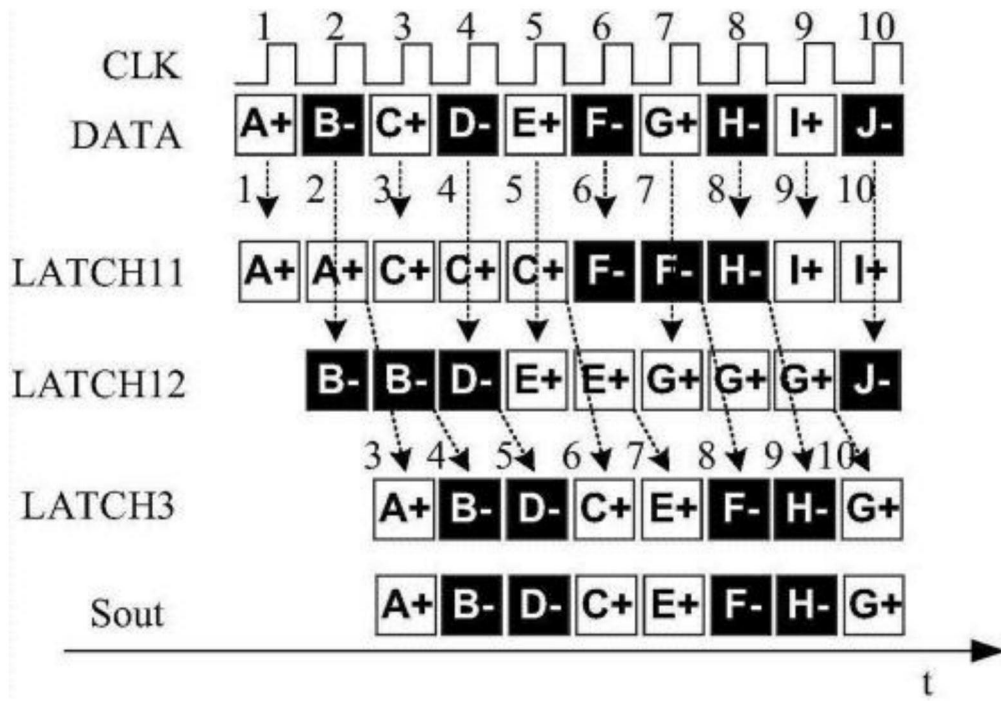


图7a

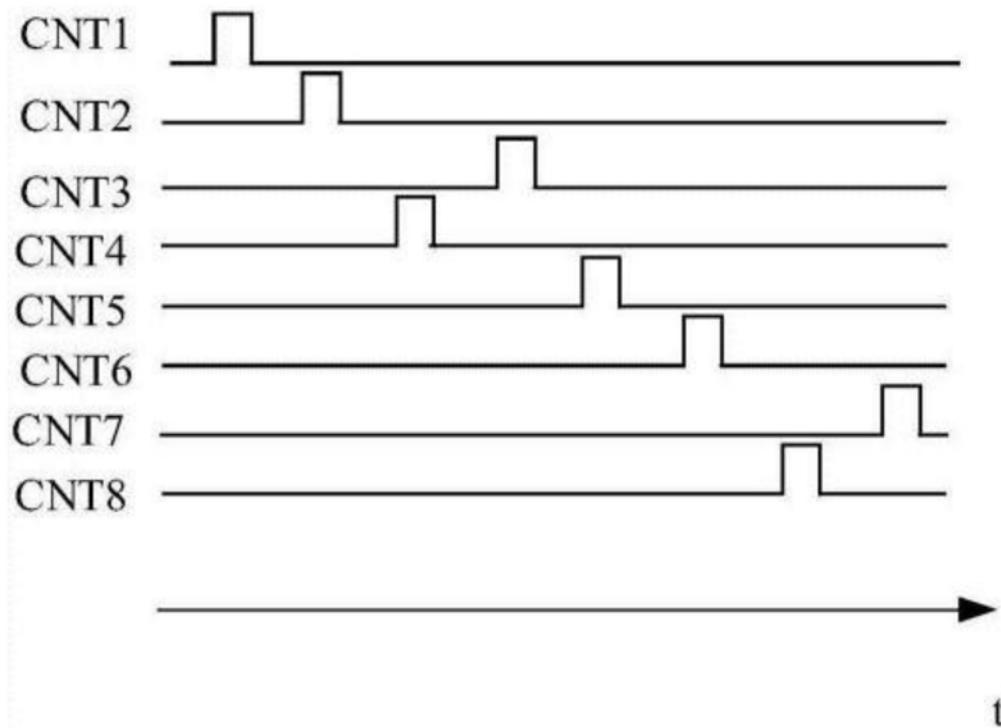


图7b

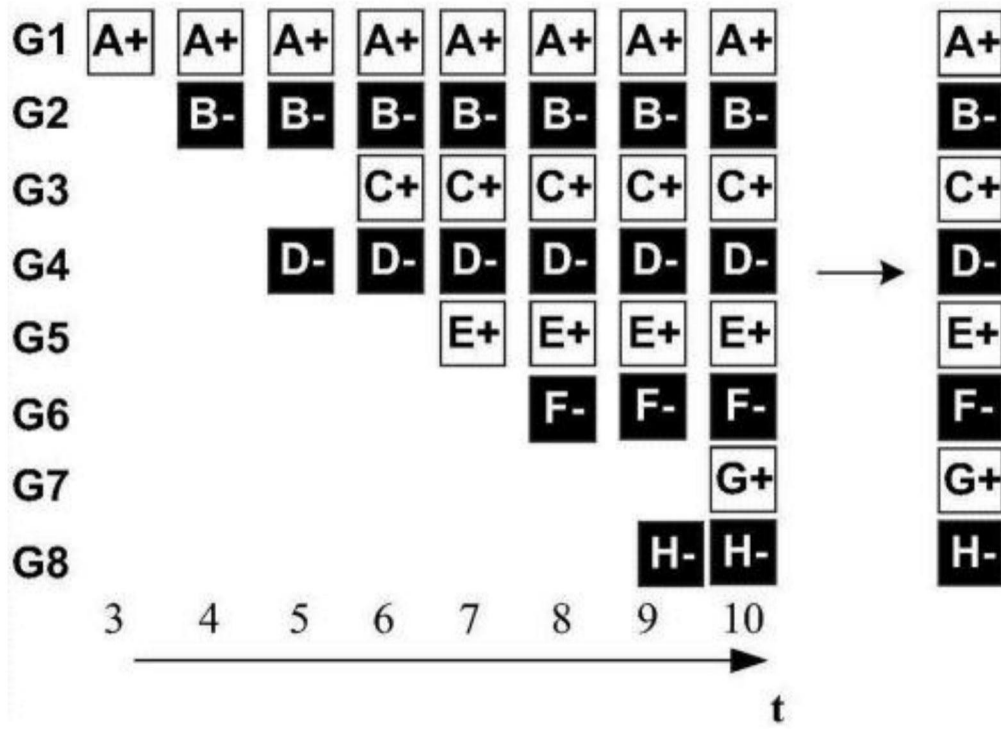


图7c

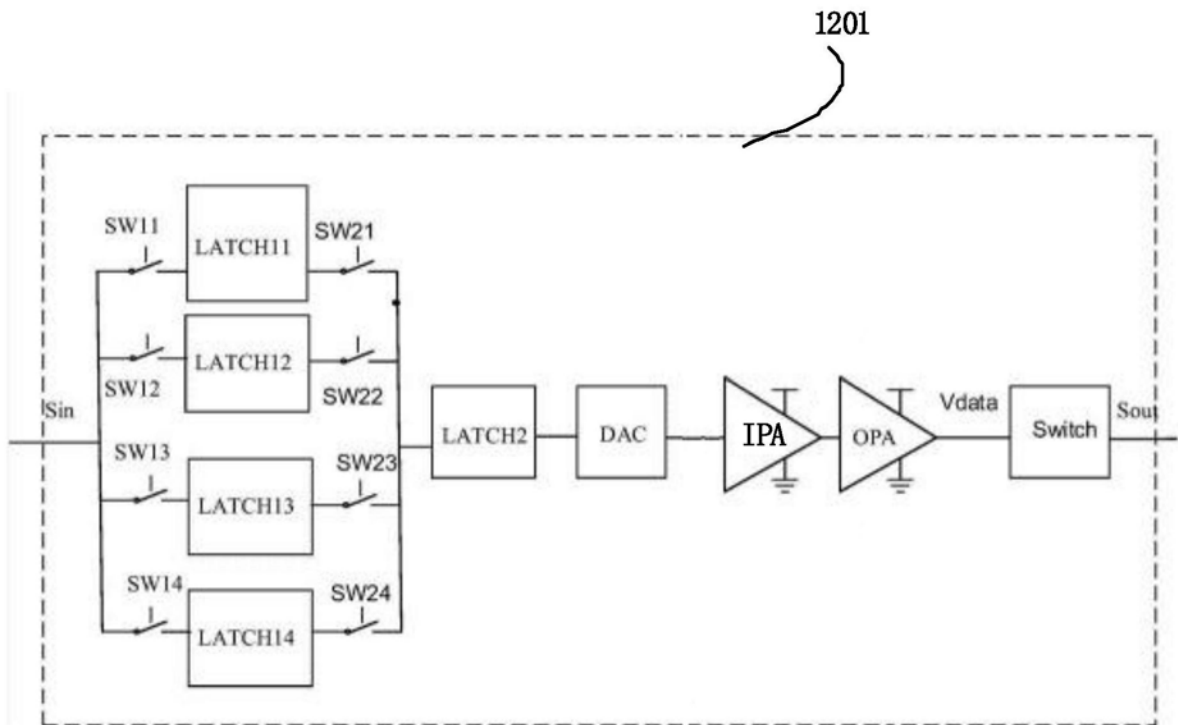


图8

专利名称(译)	源极驱动器、阵列基板以及液晶显示面板		
公开(公告)号	CN110047451A	公开(公告)日	2019-07-23
申请号	CN201910278240.0	申请日	2019-04-09
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	彭乐立 饶洋		
发明人	彭乐立 饶洋		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3685		
代理人(译)	黄威		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种源极驱动器、阵列基板以及液晶显示面板，其源极驱动器的驱动通道包括运算放大器和驱动电流放大电路，用于放大所述运算放大器的驱动电流以使所述驱动电流大于所述运算放大器的偏置电流，从而增强所述运算放大器的压摆率；在此基础上，提高了像素电压的压摆率，加快了液晶转动的速度，缩短了显示面板由暗转亮的时间，增大了单位时间内穿过显示面板的光通量，进而增强了显示面板的光穿透率，改善了现有显示面板存在的光穿透率较低的技术问题。

