



(12)发明专利申请

(10)申请公布号 CN 105785683 A

(43)申请公布日 2016.07.20

(21)申请号 201610353309.8

(22)申请日 2016.05.24

(71)申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明
大道9—2号

(72)发明人 张蒙蒙

(74)专利代理机构 深圳市德力知识产权代理事
务所 44265

代理人 林才桂

(51)Int.Cl.

G02F 1/1362(2006.01)

G02F 1/1368(2006.01)

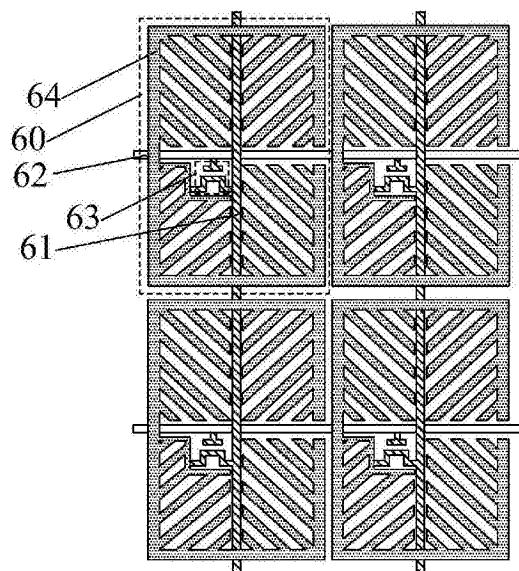
权利要求书1页 说明书4页 附图6页

(54)发明名称

像素结构及其阵列基板和液晶面板

(57)摘要

本发明涉及一种像素结构及其阵列基板和液晶面板。该像素结构包括数据线,栅极线,薄膜晶体管,及包含至少两个畴的像素电极,该薄膜晶体管分别连接该数据线,栅极线,及像素电极;该数据线和栅极线至少其中之一对应于该像素电极的主干区上下相对重合,并且该像素电极的该主干区为根据所对应的该数据线或栅极线镂空的主干区。本发明还提供了相应的阵列基板和液晶面板。本发明的像素结构及其阵列基板和液晶面板能够减少数据线或栅极线与像素电极的叠合面积,提高液晶面板的像素开口率,减小耦合电容,有效降低信号的负载和延迟。



1. 一种像素结构,其特征在于,包括数据线,栅极线,薄膜晶体管,及包含至少两个畴的像素电极,该薄膜晶体管分别连接该数据线,栅极线,及像素电极;该数据线和栅极线至少其中之一对应于该像素电极的主干区上下相对重合,并且该像素电极的该主干区为根据所对应的该数据线或栅极线镂空的主干区。

2. 如权利要求1所述的像素结构,其特征在于,该像素电极包括呈双行双列分布的四个畴,并且相应具有相互垂直的第一主干区和第二主干区。

3. 如权利要求2所述的像素结构,其特征在于,仅该数据线对应于该像素电极的第一主干区上下相对重合,该第一主干区根据该数据线镂空。

4. 如权利要求2所述的像素结构,其特征在于,仅该栅极线对应于该像素电极的第二主干区上下相对重合,该第二主干区根据该栅极线镂空。

5. 如权利要求2所述的像素结构,其特征在于,该数据线对应于该像素电极的第一主干区上下相对重合,该栅极线对应于该像素电极的第二主干区上下相对重合,并且该第一主干区根据该数据线镂空,该第二主干区根据该栅极线镂空。

6. 如权利要求5所述的像素结构,其特征在于,该薄膜晶体管的位置临近于该像素结构的中央。

7. 如权利要求1所述的像素结构,其特征在于,该薄膜晶体管和数据线位于同一层并由相同材料形成。

8. 如权利要求1所述的像素结构,其特征在于,其为子像素。

9. 一种阵列基板,其特征在于,包括如权利要求1-8任一所述的像素结构。

10. 一种液晶面板,其特征在于,包括如权利要求1-8任一所述的像素结构。

像素结构及其阵列基板和液晶面板

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种像素结构及其阵列基板和液晶面板。

背景技术

[0002] TFT-LCD(Thin Film Transistor Liquid Crystal Display,薄膜晶体管液晶显示)面板的一个重要的评价指标是面板的穿透率,尤其对于大尺寸高分辨率的面板,高的穿透率可以提高对比度、降低背光的功耗。影响穿透率的一个重要因素是面板像素的开口率,提高开口率可以从设计的角度提高穿透率。

[0003] 开口率指有效的透光区域与全部面积的比例,一般指除去每一个次像素的配线部、晶体管部(通常采用黑色矩阵隐藏)后的光线通过部分的面积和每一个次像素整体的面积之间的比例。开口率越高,光线通过的效率越高。当光线经由背光板发射出来时,并不是所有的光线都能穿过面板,比如连接LCD源极驱动芯片及栅极驱动芯片用的信号线,以及薄膜晶体管(TFT)本身,还有储存电压用的储存电容等。这些地方除了不完全透光外,也由于经过这些地方的光线不受电压控制,而无法显示正确的灰阶,所以都需利用黑色矩阵加以遮蔽,以免干扰其它透光区域。

[0004] 垂直配向(Vertical Alignment,VA)技术以其高的对比度和宽的视野角,常用于大尺寸TFT-LCD液晶显示器领域。如图1所示,其为VA技术的一种常见的像素结构设计示意图,该像素结构10基于阵列基板结构形成,主要包括数据线(Data line)11,栅极线12,薄膜晶体管13,及像素电极14等,数据线11通常位于两个像素电极14的中间,薄膜晶体管13分别连接数据线11,栅极线12,及像素电极14,用于完整构成阵列基板结构的衬底、绝缘层等结构在此不再赘述及图示。为了实现宽的视野角,像素电极14内有不同取向的条状结构,称为条状分支(slit)141,条状分支141的每一个取向区称为一个畴(domain),较为常见的畴的数量是双畴或四畴。图1中所示为像素电极14一种常见的结构,该像素电极14包含有四个畴,每个畴大体上呈矩形。相邻畴的条状分支141的取向不同,所对应液晶的倒向就会不同,在畴交界的区域液晶倒向就会出现混乱,亮度出现异常,暗态发亮。为避免这种现象,通常不同畴交界的区域设计有如图1所示中间的条形区,称为主干(trunk)区142,以避免交界处出现液晶倒向混乱。主干区142在显示时为不透光的暗态,图1中像素电极14包括相互垂直的两个主干区142,分别平行于数据线11和栅极线12,主干区142的数量及位置与畴的数量相关。这种像素结构10的缺点是相邻像素电极14距离较远,损失较多的开口率。

[0005] 为了提高开口率,针对图1的像素结构,可以实施如图2所示的一种改进的像素结构设计。该像素结构20主要包括数据线21,栅极线22,薄膜晶体管23,及像素电极24等,薄膜晶体管23分别连接数据线21,栅极线22,及像素电极24。该像素结构20将数据线21置于像素电极24的主干区242下方,与图1的不同之处在于将数据线21设置在其平行的主干区242下方,节约了数据线21占用的间距,这样可以将相邻像素电极24间距缩小,从而提高开口率。

[0006] 与图2类似,针对图1的像素结构,可以实施如图3所示的另一种改进的像素结构设计,以提升开口率。该像素结构30主要包括数据线31,栅极线32,薄膜晶体管33,及像素电极34等结构,薄膜晶体管33分别连接数据线31,栅极线32,及像素电极34。该像素结构30将栅极线32置于像素电极34的主干区342下方,与图1的不同之处在于将栅极线32设置在与其平行的主干区342下方,节约了栅极线32占用的间距,这样可以将相邻像素电极34间距缩小,从而提高开口率。

[0007] 图2和图3这两种结构存在的一个问题是数据线和栅极线与像素电极有重合区,存在较大电容耦合效应,会使信号传输存在很大的负载和信号延迟(RC delay)。在数据线和栅极线电压变换过程中,会由于电容耦合的作用影响其他像素的灰阶电压,使得显示灰阶改变。

发明内容

[0008] 因此,本发明的目的在于提供一种像素结构,提高开口率并减小数据线或栅极线与像素电极之间的电容耦合效应。

[0009] 本发明的另一目的在于提供一种阵列基板,具有提高开口率并减小数据线或栅极线与像素电极之间的电容耦合效应的像素结构。

[0010] 本发明的又一目的在于提供一种液晶面板,具有提高开口率并减小数据线或栅极线与像素电极之间的电容耦合效应的像素结构。

[0011] 为实现上述目的,本发明提供了一种像素结构,包括数据线,栅极线,薄膜晶体管,及包含至少两个畴的像素电极,该薄膜晶体管分别连接该数据线,栅极线,及像素电极;该数据线和栅极线至少其中之一对应于该像素电极的主干区上下相对重合,并且该像素电极的该主干区为根据所对应的该数据线或栅极线镂空的主干区。

[0012] 其中,该像素电极包括呈双行双列分布的四个畴,并且相应具有相互垂直的第一主干区和第二主干区。

[0013] 其中,仅该数据线对应于该像素电极的第一主干区上下相对重合,该第一主干区根据该数据线镂空。

[0014] 其中,仅该栅极线对应于该像素电极的第二主干区上下相对重合,该第二主干区根据该栅极线镂空。

[0015] 其中,该数据线对应于该像素电极的第一主干区上下相对重合,该栅极线对应于该像素电极的第二主干区上下相对重合,并且该第一主干区根据该数据线镂空,该第二主干区根据该栅极线镂空。

[0016] 其中,该薄膜晶体管的位置临近于该像素结构的中央。

[0017] 其中,该薄膜晶体管和数据线位于同一层并由相同材料形成。

[0018] 其中,其为子像素。

[0019] 为实现上述目的,本发明还提供了一种阵列基板,包括如上所述的像素结构。

[0020] 为实现上述目的,本发明还提供了一种液晶面板,包括如上所述的像素结构。

[0021] 综上,本发明的像素结构及其阵列基板和液晶面板能够减少数据线或栅极线与像素电极的叠合面积,提高液晶面板的像素开口率,减小耦合电容,有效降低信号的负载和延迟。

附图说明

[0022] 下面结合附图,通过对本发明的具体实施方式详细描述,将使本发明的技术方案及其他有益效果显而易见。

[0023] 附图中,

[0024] 图1为VA技术的一种常见的像素结构设计示意图;

[0025] 图2为一种改进的像素结构设计示意图;

[0026] 图3为另一种改进的像素结构设计示意图;

[0027] 图4为本发明像素结构第一较佳实施例的示意图;

[0028] 图5为本发明像素结构第二较佳实施例的示意图;

[0029] 图6为本发明像素结构第三较佳实施例的示意图。

具体实施方式

[0030] 参见图4,其为本发明像素结构第一较佳实施例的示意图。该像素结构40主要包括数据线41,栅极线42,薄膜晶体管43,以及包含呈双行双列分布的四个畴的像素电极44。与图1所示的像素结构10相似,像素结构40的每个畴大体上呈矩形,每个畴内具有取向相同的条状分支,并且相应具有相互垂直的第一主干区和第二主干区,分别平行于数据线41和栅极线42。该薄膜晶体管43分别连接该数据线41,栅极线42,及像素电极44;该数据线41对应于该像素电极44的第一主干区上下相对重合,并且第一主干区根据所对应的数据线41镂空。

[0031] 该像素结构40可参照传统制程基于阵列基板结构形成,本发明仅图示与提高开口率相关的部分,用于完整构成阵列基板结构的衬底、绝缘层及公共电极等结构在此不再赘述及图示。薄膜晶体管43和数据线41优选位于同一层并由相同材料形成,以节省工艺。像素结构40可以为子像素,如R,G,B及W子像素中的一种。

[0032] 如图2所示将数据线由像素之间改为像素中间的主干区下方,由此带来的问题是数据线 with 像素电极的电容耦合,数据线电压的变化会影响像素电极的电压。为解决电容耦合问题,本发明设计一种新型像素结构,将主干区镂空,如图4所示可以减少数据线41与像素电极44的叠合面积。与图1相比,图4中像素电极44的面积要大于图1中像素电极面积,即实现更高的开口率。与图2相比,图4所示像素结构40的数据线41上方没有像素电极,由于该区域数据线41的遮挡作用(例如黑色矩阵,可代替原主干区的作用),所以图4与图2具有相同的像素开口率。由于没有电极的叠合区,所以图4所示像素结构可以有效避免数据线 with 像素电极的电容耦合,同时降低数据线信号传输的负载和延迟。

[0033] 参见图5,其为本发明像素结构第二较佳实施例的示意图。该像素结构50主要包括数据线51,栅极线52,薄膜晶体管53,以及包含呈双行双列分布的四个畴的像素电极54。与图1所示的像素结构10相似,像素结构50的每个畴大体上呈矩形,每个畴内具有取向相同的条状分支,并且相应具有相互垂直的第一主干区和第二主干区,分别平行于数据线51和栅极线52。该薄膜晶体管53分别连接该数据线51,栅极线52,及像素电极54;该栅极线52对应于该像素电极54的第二主干区上下相对重合,并且第二主干区根据所对应的栅极线52镂空。

[0034] 图5所示的第二较佳实施例与图4所示的第一较佳实施例类似,将栅极线52由像素结构之间改为像素电极54的第二主干区的下方,同样存在栅极线52与像素电极54的电容耦合效应。栅极线52位于像素电极54中间下方,同样将第二主干区镂空,可以有效的减小栅极线52与像素电极54的叠合区面积,减小耦合电容。与第一较佳实施例相比,该结构利用了像素电极的另一个主干区,也可以提高开口率。由于栅极线与像素电极的叠合区面积很小,可以有效的减小与像素电极的耦合电容,同时降低栅极线的负载与信号延迟。

[0035] 参见图6,其为本发明像素结构第三较佳实施例的示意图。该像素结构60主要包括数据线61,栅极线62,薄膜晶体管63,以及包含呈双行双列分布的四个畴的像素电极64。与图1所示的像素结构10相似,像素结构60的每个畴大体上呈矩形,每个畴内具有取向相同的条状分支,并且相应具有相互垂直的第一主干区和第二主干区,分别平行于数据线61和栅极线62。该薄膜晶体管63分别连接该数据线61,栅极线62,及像素电极64;该数据线61对应于该像素电极64的第一主干区上下相对重合,并且第一主干区根据所对应的数据线61镂空;该栅极线62对应于该像素电极64的第二主干区上下相对重合,并且第二主干区根据所对应的栅极线62镂空;薄膜晶体管63的位置临近于该像素结构60的中央。

[0036] 该第三较佳实施例为进一步提高像素开口率,结合第一较佳实施例和第二较佳实施例,设计出如图6所示像素结构,TFT,数据线和栅极线位于像素结构中间,同样将主干区镂空,可以有效的减小栅极线和数据线与像素电极的叠合区面积,减小耦合电容。与第一较佳实施例和第二较佳实施例相比,该结构利用了像素电极两个主干区,像素电极的面积进一步增大,开口率进一步提高。同时可以有效的减小栅极线和数据线与像素电极的耦合电容,降低负载与信号延迟。

[0037] 本发明第一,第二及第三较佳实施例均以四畴的像素结构对本发明进行举例说明,本领域技术人员可以理解,本发明也可以适用于其他数量畴的像素结构。例如对于双畴的像素结构,可以将栅极线和数据线择一设计为与主干区重合并镂空该主干区。

[0038] 相应的,本发明提供了包含上述像素结构的阵列基板或液晶面板。

[0039] 本发明为提高液晶面板的像素开口率,将数据线和栅极线由传统的位于像素之间,改为位于像素中间的主干区下方,并将像素电极的主干区镂空,减少数据线和栅极线与像素电极的叠合面积,提高液晶面板的像素开口率,减小耦合电容,有效降低信号的负载和延迟。本发明通过设计一种新的高开口率的像素结构,可以提高液晶面板的像素开口率,提高面板的穿透率,从而降低背光的功耗。

[0040] 综上,本发明的像素结构及其阵列基板和液晶面板能够减少数据线或栅极线与像素电极的叠合面积,提高液晶面板的像素开口率,减小耦合电容,有效降低信号的负载和延迟。

[0041] 以上所述,对于本领域的普通技术人员来说,可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形,而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

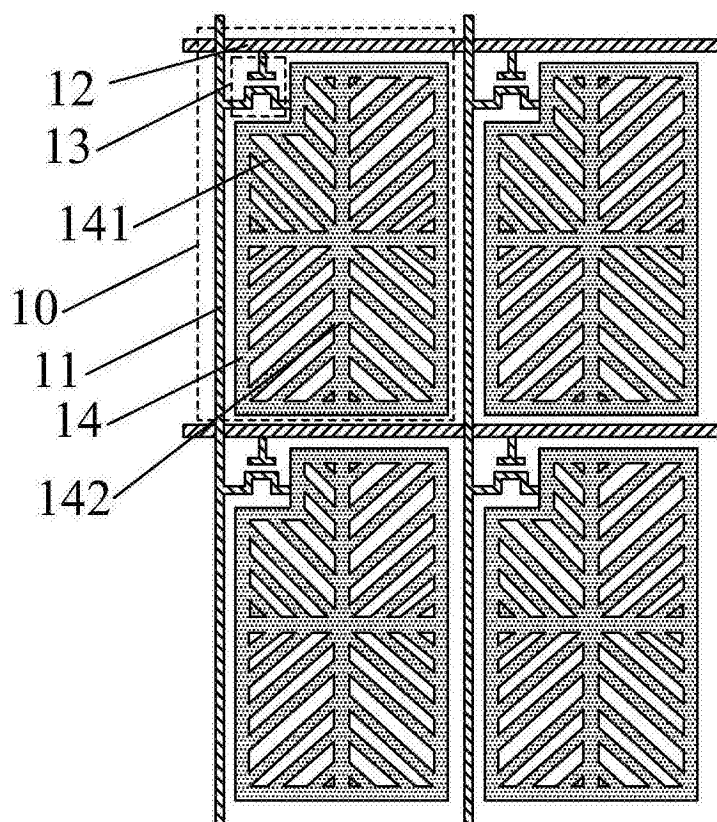


图1

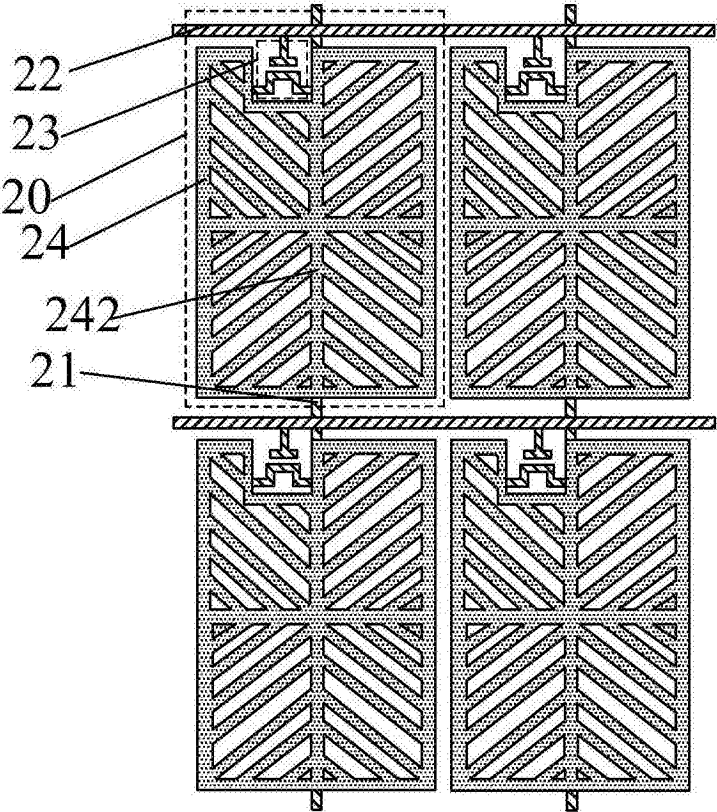


图2

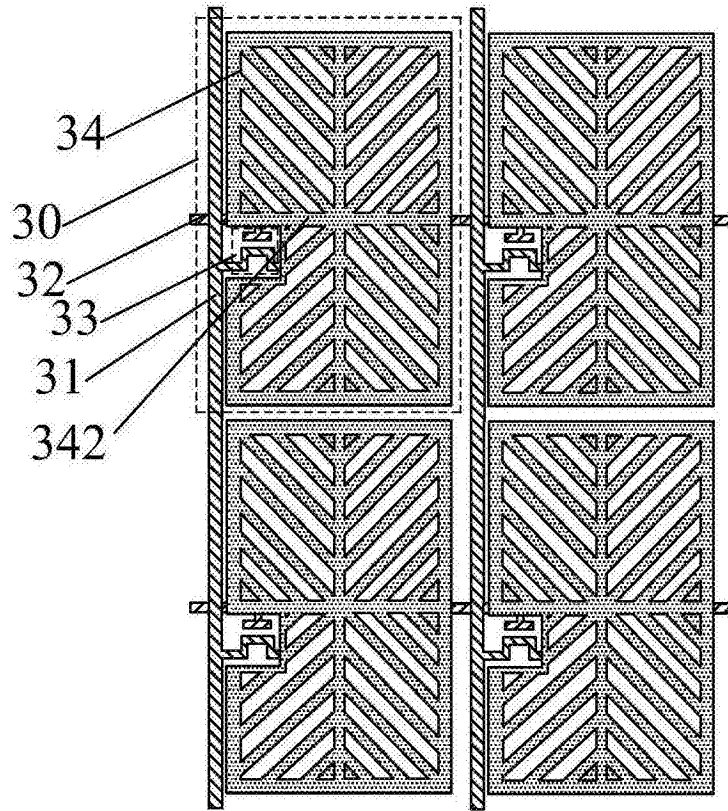


图3

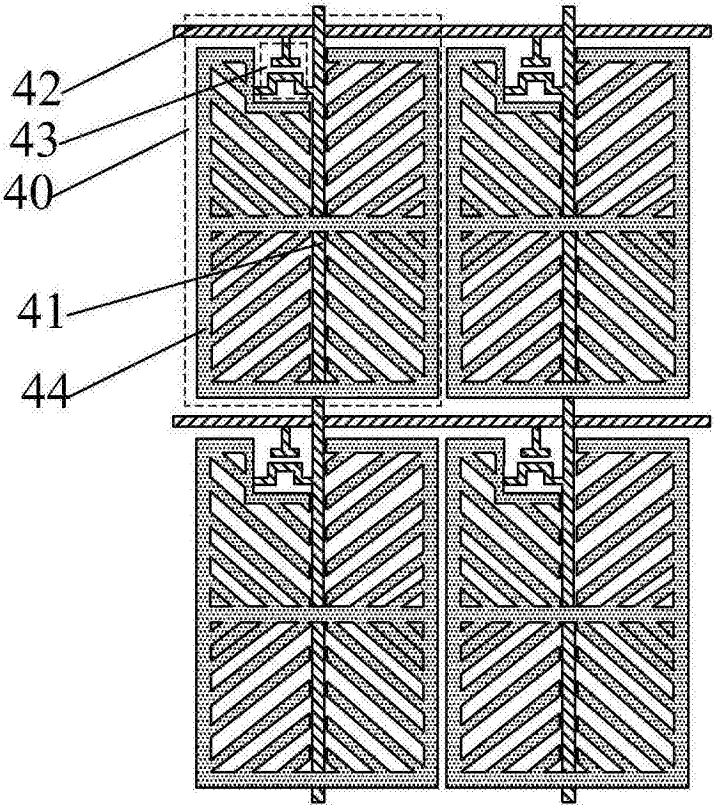


图4

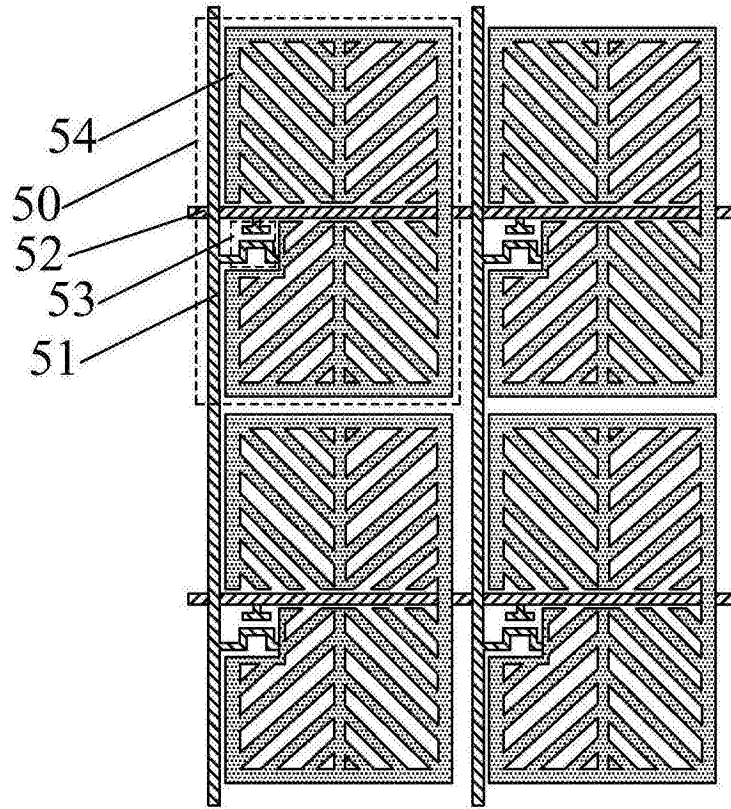


图5

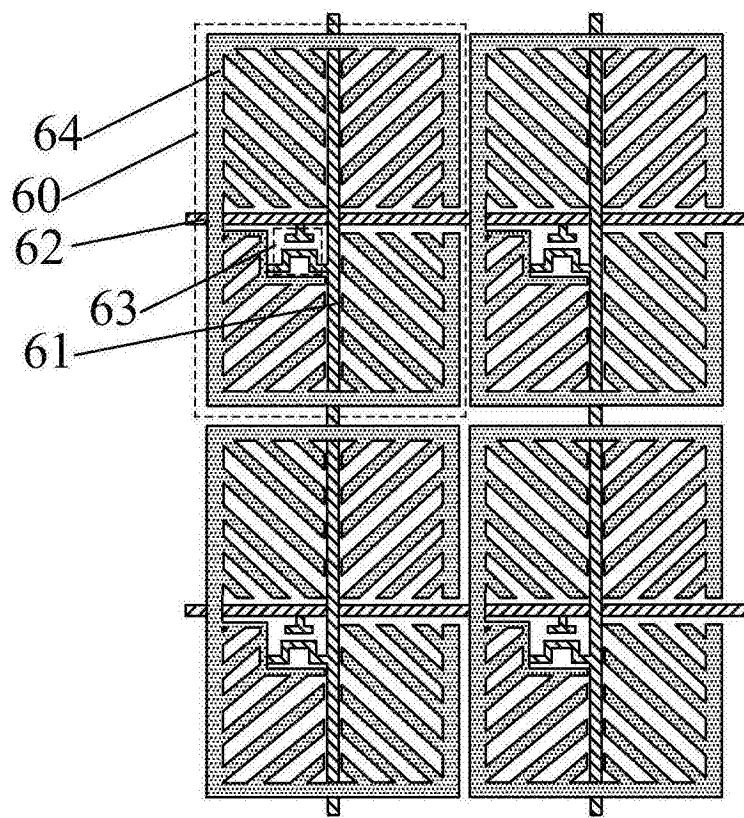


图6

专利名称(译)	像素结构及其阵列基板和液晶面板		
公开(公告)号	CN105785683A	公开(公告)日	2016-07-20
申请号	CN201610353309.8	申请日	2016-05-24
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	张蒙蒙		
发明人	张蒙蒙		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	G02F1/136213 G02F1/136286 G02F1/1368		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种像素结构及其阵列基板和液晶面板。该像素结构包括数据线，栅极线，薄膜晶体管，及包含至少两个畴的像素电极，该薄膜晶体管分别连接该数据线，栅极线，及像素电极；该数据线和栅极线至少其中之一对应于该像素电极的主干区上下相对重合，并且该像素电极的该主干区为根据所对应的该数据线或栅极线镂空的主干区。本发明还提供了相应的阵列基板和液晶面板。本发明的像素结构及其阵列基板和液晶面板能够减少数据线或栅极线与像素电极的叠合面积，提高液晶面板的像素开口率，减小耦合电容，有效降低信号的负载和延迟。

