



[12] 实用新型专利说明书

[21] ZL 专利号 03231628.3

[45] 授权公告日 2004 年 9 月 15 日

[11] 授权公告号 CN 2641756Y

[22] 申请日 2003.5.30 [21] 申请号 03231628.3

[73] 专利权人 上海华园微电子技术有限公司

地址 200233 上海市宜山路 900 号 A 区六楼

[72] 设计人 黄 萍 韩竞春 印义言

[74] 专利代理机构 上海开祺专利代理有限公司

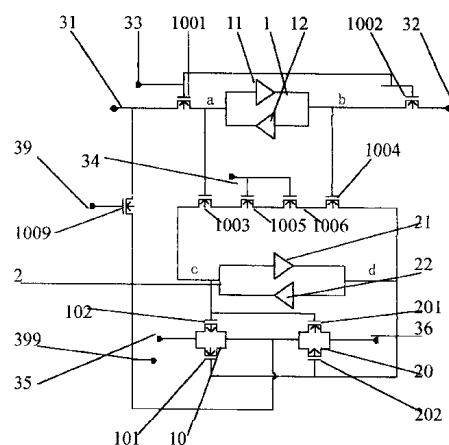
代理人 李兰英

权利要求书 4 页 说明书 12 页 附图 3 页

[54] 实用新型名称 在 LCOS 中数据存储和数据控制显示的装置

[57] 摘要

本实用新型涉及一种在 LCOS 中数据存储和数据控制显示的装置，包括由第一反向器和第二反向器并联组成的第一级静态存储结构，由第三反向器和第四反向器并联组成的组成第二级静态存储结构，通过控制电路，在同一时间段内同时完成数据的接收以及驱动显示功能；本实用新型的有益效果是：对芯片的速度和液晶的响应时间都降低了要求，不用提高硬件成本，即可实现高分辨率的显示精度。



1.一种在 LCOS 中数据存储和数据控制显示的装置,其特征在于:包括由第一反向器(11)和第二反向器(12)并联组成的第一级静态存储结构(1),输入、输出的双向线两端分别为 a、b,由第三反向器(21)和第四反向器(22)并联组成的组成第二级静态存储结构(2),输入、输出的双向线两端分别为 c、d;所述 a 端与第一 MOS 管(1001)的漏极连接,所述第一 MOS 管(1001)的源极与第一字选择信号(31)连接,栅极与行选择信号(33)连接;所述 b 端与第二 MOS 管(1002)的源极连接,所述第二 MOS 管(1002)的漏极与第二字选择信号(32)连接,栅极与行选择信号(33)连接;所述 a 端还与第三 MOS 管(1003)的栅极连接,所述第三 MOS 管(1003)的漏极与所述 c 端连接,源极与第五 MOS 管(1005)的漏极连接;所述第五 MOS 管(1005)的栅极通过与第六 MOS 管(1006)的栅极的耦合与控制第一级静态存储结构的信号传输到第二级静态存储结构的控制信号(34)连接,源极通过与第六 MOS 管(1006)的源极的耦合接地;所述第六 MOS 管(1006)的漏极与第四 MOS 管(1004)的源极连接;所述第四 MOS 管(1004)的栅极与所述 b 端连接,漏极与所述 d 端连接;所述 c 端与第一传输门(10)的第二输入端和第二传输门(20)的第三输入端耦合在一起,所述 d 端与第一传输门(10)的第三输入端和第二传输门(20)的第二输入端耦合在一起;所述第一传输门(10)的第一输入端与第一从外面输入的模拟电压(35)连接,所述第二传输门(20)的第一输入端与第二从外面输入的模拟电压(36)连接;所述第一传输门(10)和第二传输门(20)的输出端耦和在一起与显示像素(399)的输入端连接。

2.根据权利要求 1 所述的一种在 LCOS 中数据存储和数据控制显示的装置,其特征在于:所述第一传输门(10)包括第七 NMOS 管(101)和第一 P MOS 管(102);所述第二传输门(20)包括第八 NMOS 管(201)和第二 P MOS 管(202);所述第七 NMOS 管(101)的源极和第一 P MOS 管(102)的源极耦和在一起为所述第一传输门(10)的第一输入端;所述第八 NMOS 管(201)的源极和第二 P MOS 管(202)的源极耦和在一起为所述第二传输门(20)的第一输入端;所述第七 NMOS 管(101)和第二 P MOS 管(202)的栅极分别为第一传输门(10)的第三输入端和第二传输门(20)的第二输入端;所述第八 NMOS 管(201)和第一 P MOS 管(102)的栅极分别为第二传输门(20)的第三输入端和第一传输门(10)的第二输入端;所述第七 NMOS 管(101)的漏极和第一 P MOS 管(102)的漏极耦和在一起与所述第八 NMOS 管(201)的漏极和第二 P MOS 管(202)的漏极连接,以作为输出端。

3.根据权利要求 1 所述的一种在 LCOS 中数据存储和数据控制显示的装置,其特征在于:所述显示像素 399 的输出端与第九 MOS 管(1009)的源极相连;所述第九 MOS 管(1009)的栅极与控制读显示像素值的信号(39)连接,漏极与第一字选择信号(31)或者第二字选择信号(32)连接。

4.根据权利要求 1 所述的一种在 LCOS 中数据存储和数据控制显示的装置,其特征在于:包括由第一反向器(11)和第二反向器(12)并联组成的第一级静态存储结构(1),输入、输出的双向线两端分别为 a'、b',由第三反向器(21)和第四反向器(22)并联组成的组成第二级静态存储结构(2),输入、输出的双向线两端分别为 c'、d';所述 a'与第 10MOS 管(1010)的源极连接;所述第 10MOS 管(1010)的栅极与第一级静态存储结构的行选择信号(331)连接,漏极与第一字选择信号(31)连接;所述 c'与第 12MOS 管(1012)的源极连接;所述第 12MOS 管(1012)的栅极与第二级静态存储结构的行选择信号(332)连接,漏极与第一字选择信号(31)连接;所述 b'与第 11MOS 管(1011)的源极连接,所述第 11MOS 管 1011 的栅极与第一级静态存储结构的行选择信号(331) 连接,漏极与第二字选择信号(32)连接;所述 d'与第 13MOS 管(1013)的源极连接,所述第 13MOS 管(1013)的栅极与第二级静态存储结构的行选择信号(332)连接,漏极与第二字选择信号(32)连接;所述 a'还与第四传输门(40)的第一输入端连接;所述第四传输门(40)的第二输入端与第二显示控制信号(38)连接,第三输入端与第一显示控制信号(37)连接;所述 c'还与第五传输门(50)的第一输入端连接;所述第五传输门(50)的第二输入端与第一显示控制信号(37)连接,第三输入端与第二显示控制信号(38)连接;所述 b'还与第六传输门(60)的第一输入端连接;所述第六传输门(60)的第二输入端与第二显示控制信号(38)连接,第三输入端与第一显示控制信号(37)连接;所述 d'还与第七传输门(70)的第一输入端连接;所述第七传输门的第二输入端与第一显示控制信号(37)连接,第三输入端与第二显示控制信号(38)连接;所述第四传输门(40)输出端和第五传输门(50)输出端耦合在一起与第八传输门(80)的第二输入端以及第九传输门(90)的第三输入端连接;所述第六传输门(60)输出端和第七传输门(70)输出端耦合在一起与第八传输门(80)的第三输入端以及第九传输门(90)的第二输入端连接;所述第八传输门(80)的第一输入端与第一从外面输入的模拟电压(35)连接;所述第九传输门(90)的第一输入端与第二从外面输入的模拟电压(36)连接;所述第八传输门(80)和第九传输门(90)的输出端耦合在一起与显示像素(399)的输入端连接。

5.根据权利要求 4 所述的一种在 LCOS 中数据存储和数据控制显示的装置,其特征在于:所述显示像素(399)的输出端与第 20MOS 管(1020)

的源极连接；所述第 20MOS 管（1020）的栅极与控制读显示像素值的信号（39）连接，漏极与第二字选择信号（32）或者第一字选择信号（31）连接。

6.根据权利要求 4 所述的一种在 LCOS 中数据存储和数据控制显示的装置，其特征在于：所述第四传输门（40）由第 41 NMOS 管（401）和第 42PMOS 管（402）组成；所述第 41 NMOS 管（401）的栅极为所述第四传输门（40）的第三输入端，所述第 42PMOS 管（402）的栅极为所述第四传输门（40）的第二输入端，所述第 41 NMOS 管（401）和第 42PMOS 管（402）的漏极耦合在一起为所述第四传输门（40）的第一输入端，所述第 41 NMOS 管（401）和第 42PMOS 管（402）的源极耦合在一起为所述第四传输门（40）的输出端。

7.根据权利要求 4 所述的一种在 LCOS 中数据存储和数据控制显示的装置，其特征在于：所述第五传输门（50）由第 51 NMOS 管（501）和第 52PMOS 管（502）组成；所述第 51 NMOS 管（501）的栅极为所述第五传输门（50）的第三输入端，所述第 52PMOS 管（502）的栅极为所述第五传输门（50）的第二输入端，所述第 51 NMOS 管（501）和第 52PMOS 管（502）的漏极耦合在一起为所述第五传输门（50）的第一输入端，所述第 51 NMOS 管（501）和第 52PMOS 管（502）的源极耦合在一起为所述第五传输门（500）的输出端。

8.根据权利要求 4 所述的一种在 LCOS 中数据存储和数据控制显示的装置，其特征在于：所述第六传输门（60）由第 61 NMOS 管（601）和第 62PMOS 管（602）组成；所述第 61 NMOS 管（601）的栅极为所述第六传输门（60）的第三输入端，所述第 62PMOS 管（602）的栅极为所述第六传输门（60）的第二输入端，所述第 61 NMOS 管（601）和第 62PMOS 管（602）的漏极耦合在一起为所述第六传输门（60）的第一输入端，所述第 61 NMOS 管（601）和第 62PMOS 管（602）的源极耦合在一起为所述第六传输门（60）的输出端。

9.根据权利要求 4 所述的一种在 LCOS 中数据存储和数据控制显示的装置，其特征在于：所述第七传输门（70）由第 71 NMOS 管（701）和第 72PMOS 管（702）组成；所述第 71 NMOS 管（701）的栅极为所述第七传输门（70）的第三输入端，所述第 72PMOS 管（702）的栅极为所述第七传输门（70）的第二输入端，所述第 71 NMOS 管（701）和第 72PMOS 管（702）的漏极耦合在一起为所述第七传输门（70）的第一输入端，所述第 71 NMOS 管（701）和第 72PMOS 管（702）的源极耦合在一起为所述第七传输门（70）的输出端。

10 根据权利要求 4 所述的一种在 LCOS 中数据存储和数据控制显示的装置，其特征在于：所述第八传输门（80）由第 81 NMOS 管（801）和第 82PMOS 管（802）组成；所述第 81 NMOS 管（801）的栅极为所述第八

传输门(80)的第三输入端,所述第82PMOS管(802)的栅极为所述第八传输门(80)的第二输入端,所述第81NMOS管(801)和第82PMOS管(802)的漏极耦合在一起为所述第八传输门(80)的第一输入端,所述第81NMOS管(801)和第82PMOS管(802)的源极耦合在一起为所述第八传输门(80)的输出端;所述第九传输门(90)由第91NMOS管(901)和第92PMOS管(902)组成;所述第91NMOS管(901)的栅极为所述第九传输门(90)的第三输入端,所述第92PMOS管(902)的栅极为所述第九传输门(90)的第二输入端,所述第91NMOS管(901)和第92PMOS管(902)的漏极耦合在一起为所述第九传输门(90)的第一输入端,所述第91NMOS管(901)和第92PMOS管(901)的源极耦合在一起为所述第九传输门(90)的输出端。

在 LCOS 中数据存储和数据控制显示的装置

技术领域

本实用新型涉及 LCOS (Liquid Crystal On Silicon, 即基于大规模集成电路上的液晶技术) 领域, 尤其涉及一种在 LCOS 中数据存储和数据控制显示的装置。

背景技术

液晶显示技术发展迅速, 应用领域不断拓宽。液晶显示的对比度和响应速度与液晶材料和液晶光电效应关系密切, 在实际应用中有很多种液晶显示方法, 最常用的 LCD (液晶显示器) 是 TN (twisted nematic, 即扭曲向列) 型的液晶显示。TN 型液晶的基本原理是对偏振光的控制。当光进入 TN 型液晶, 它的极性会随着液晶材料扭曲。当光进入带有电磁场的 TN 型液晶时, 这种极性的扭曲会被破坏, 通过调整电磁场的强度, 从而产生灰度效应, 其响应时间约为 10ms。

液晶显示与外加电压的关系也很密切。外加电压的大小对 TN 型液晶的响应至关重要, 直接决定了液晶的显示精度、显示亮度、对比度以及液晶的整体工作。

而 LCOS 显示技术是将成熟的硅工艺和液晶技术相结合, 将控制电路埋入成像区下面, 显示尺寸较小, 成像与周边电路集成一体。以 XGA 格式 (1024×768 像素阵列) 为例, 它以 32 字节为一写周期, 在 32 个写周期中共写入一行 1024 数据。每一周期中, 数据被从左到右写入, 直到所有 32 个写周期都被写入为止。纵向共有 768 列, 数据一行一行地被扫描进入整个存储阵列之中。每一像素数据具有 2^8 个灰度等级, 脉冲的累积效应产生出整个 2^8 个灰度等级。

如果要保证上述中液晶的显示时间 10ms, 则可以得到传输时间。假设刷新频率为 60Hz, 即每幅图像的刷新时间为 16.6ms, 考虑到一些其它的损耗, 传输时间约 6ms。要实现 8 级的灰度, 则像素数据量达到 $1024*768*8$, 传输速率必须达到 30ns 以上。如果要使图像的显示更平滑, 更细腻, 则所需灰度级数更高, 数据量更多, 传输速率必须更快。在更高

精度的显示模式下，如 SXGA 格式（1280×1024），数据传输成为瓶颈。

目前，现有的技术中对 LCOS 的液晶点阵数据存储和数据控制显示使用了各种不同的实现电路。但由于这些实现电路不尽合理，对液晶的响应速度和芯片的工作速度提出了很高的要求，加大了硬件成本。

发明内容

本实用新型需要解决的技术问题是提供了一种在 LCOS 中数据存储和数据显示的装置，旨在解决目前对液晶的响应速度和芯片的工作速度提出了很高的要求，加大了硬件成本的缺陷。

为了解决上述技术问题，本实用新型是通过以下技术方案实现的：

包括由第一反向器和第二反向器并联组成的第一级静态存储结构，输入、输出的双向线两端分别为 a、b，由第三反向器和第四反向器并联组成的组成第二级静态存储结构，输入、输出的双向线两端分别为 c、d；所述 a 端与第一 MOS 管的源极连接，所述第一 MOS 管的漏极与第一字选择信号连接，栅极与行选择信号连接；所述 b 端与第二 MOS 管的源极连接，所述第二 MOS 管的漏极与第二字选择信号连接，栅极与行选择信号连接；所述 a 端还与第三 MOS 管的栅极连接，所述第三 MOS 管的漏极与所述 c 端连接，源极与第五 MOS 管的漏极连接；所述第五 MOS 管的栅极通过与第六 MOS 管的栅极的耦合与控制第一级静态存储结构的信号传输到第二级静态存储结构的控制信号连接，源极通过与第六 MOS 管的源极的耦合接地；所述第六 MOS 管的漏极与第四 MOS 管的源极连接；所述第四 MOS 管的栅极与所述 b 端连接，漏极与所述 d 端连接；所述 c 端与第一传输门第二输入端和第二传输门的第三输入端耦合在一起，所述 d 端与第一传输门的第三输入端和第二传输门的第二输入端耦合在一起；所述第一传输门的第一输入端与第一从外面输入的模拟电压连接，所述第二传输门的第一输入端与第二从外面输入的模拟电压连接；所述第一传输门和第二传输门的输出端耦和在一起与显示像素的输入端连接。

本实用新型还可以通过以下技术方案实现的：

包括由第一反向器和第二反向器并联组成的第一级静态存储结构，输入、输出的双向线两端分别为 a'、b'，由第三反向器和第四反向器并联组成的组成第二级静态存储结构，输入、输出的双向线两端分别为 c'、d'；

所述 a' 与第 10MOS 管的源极连接；所述第 10MOS 管的栅极与第一级静态存储结构的行选择信号连接，漏极与第一字选择信号连接；所述 c' 与第 12MOS 管的源极连接；所述第 12MOS 管的栅极与第二级静态存储结构的行选择信号连接，漏极与第一字选择信号连接；所述 b' 与第 11MOS 管的源极连接，所述第 11MOS 管的栅极与第一级静态存储结构的行选择信号连接，漏极与第二字选择信号连接；所述 d' 与第 13MOS 管的源极连接，所述第 13MOS 管的栅极与第二级静态存储结构的行选择信号连接，漏极与第二字选择信号连接；所述 a' 还与第四传输门的第一输入端连接；所述第四传输门的第二输入端与第二显示控制信号连接，第三输入端与第一显示控制信号连接；所述 c' 还与第五传输门的第一输入端连接；所述第五传输门的第二输入端与第一显示控制信号连接，第三输入端与第二显示控制信号连接；所述 b' 还与第六传输门的第一输入端连接；所述第六传输门的第二输入端与第二显示控制信号连接，第三输入端与第一显示控制信号连接；所述 d' 还与第七传输门的第一输入端连接；所述第七传输门的第二输入端与第一显示控制信号连接，第三输入端与第二显示控制信号连接；所述第四传输门输出端和第五传输门输出端耦合在一起与第八传输门的第二输入端以及第九传输门的第三输入端连接；所述第六传输门输出端和第七传输门输出端耦合在一起与第八传输门的第三输入端以及第九传输门的第二输入端连接；所述第八传输门的第一输入端与第一从外面输入的模拟电压连接；所述第九传输门的第一输入端与第二从外面输入的模拟电压连接；所述第八传输门和第九传输门的输出端耦合在一起与显示像素的输入端连接。

与现有技术相比，本实用新型的有益效果是：对芯片的速度和液晶的响应时间都降低了要求，不用提高硬件成本，即可实现高分辨率的显示精度（如 XGA，SXGA）。

附图说明

图 1 是 TN 液晶对外加电压的响应关系；

图 2 是 LCOS 简单的结构图；

图 3 是产生 LCOS 灰度产生的电脉冲波形示意图；

图 4 是本实用新型一个实施例；

图 5 是本实用新型另一个实施例；

其中：抛光金属反射层 301 二氧化硅的保护层 302 液晶 303 导电玻璃上的导电层 304 导电玻璃的玻璃基底 305 第一反向器 11 第二反向器 12 第一级静态存储结构 1 第三反向器 21 第四反向器 22 第二级静态存储结构 2 第一 MOS 管 1001 第二 MOS 管 1002 第三 MOS 管 1003 第四 MOS 管 1004 第五 MOS 管 1005 第六 MOS 管 1006 第一传输门 10 第二传输门 20 第七 NMOS 管 101 第一 P MOS 管 102 第八 NMOS 管 201 第二 P MOS 管 202 第九 MOS 管 1009 第 10 MOS 管 1010 第 11 MOS 管 1011 第 12 MOS 管 1012 第 13 MOS 管 1013 第四传输门 40 第五传输门 50 第六传输门 60 第七传输门 70 第八传输门 80 第九传输门 90 第 20 MOS 管 1020 第 41 NMOS 管 401 第 42 PMOS 管 402 第 51 NMOS 管 501 第 52 PMOS 管 502 第 61 NMOS 管 601 第 62 PMOS 管 602 第 71 NMOS 管 701 第 72 PMOS 管 702 第 81 NMOS 管 801 第 82 PMOS 管 802 第 91 NMOS 管 901 第 92 PMOS 管 902 第一字选择信号 31 第二字选择信号 32 行选择信号 33 第一级静态存储结构的行选择信号 331 第二级静态存储结构的行选择信号 332 控制第一级静态存储结构的信号传输到第二级静态存储结构的控制信号 34 第一从外面输入的模拟电压 35 第二从外面输入的模拟电压 36 第一显示控制信号 37 第二显示控制信号 38 控制读显示像素值的信号 39 显示像素 399

具体实施方式

下面结合附图与具体实施方式对本实用新型作进一步详细描述：

由图 1 可见：液晶的扭转角与外加电压的有一定的关系，液晶的扭转有一临界电压，在低于临界角时液晶基本上不扭转；这一临界角大约为 1.2V 左右，在属于临界角时，液晶扭转角与电压关系呈正比例增长；在电压高于一定电压后，其扭转角变化减缓；而液晶的扭转角直接决定了光点的亮度。

由图 2 可见：LCOS 采用多层金属，单层硅的 CMOS 技术，以达到最小的几何尺寸，其数据存储单元采用静态存储结构存储技术。最顶层的金属是一层抛光金属反射层 301，用作光的反射；抛光是采用先进的机械化学抛光法（CMP），来确保达到最好的平整度、反射率及均匀性。在金属

镜面上另需加一层介质护层以增强光学反射率以达到最佳的效果。液晶 303 则被涂敷在二氧化硅的保护层 302 及导电玻璃的玻璃基底 305 之间，二氧化硅的保护层 302 同时也兼作为光的抗反层，液晶 303 采用真空吸入的方法被填充到导电玻璃上的导电层 304 与二氧化硅的保护层 302 之间。在 LCOS 技术中，导电玻璃与硅片的平行度是一个关键技术，它直接关系到 LCOS 显示的均匀性及对比度。

液晶运作在正常的黑色背景与 450C 模式下。每一象素的存储单元是字节标准静态存储结构，数据经由字节数据线在写入操作时写入到静态存储结构阵列锁存器中。数据先送入缓冲寄存器，然后再一行行输入到静态存储结构阵列中。

由图 3 可见：这是一个 5 字节灰度等级的例子，共 1 个周期，其中前半周期导电玻璃的电极上加负电压，后半周期导电玻璃的电极上加正电压，以平衡液晶上的极性电差。这 5 个字节的图形，是 10101，其所转换出来的电压大概是完全尺度的 67%。在前半周期导电玻璃电压是低电压，而静态存储结构上的脉冲是 10101 的正信号；在后半周期导电玻璃电压被翻转到高电压，静态存储结构上的脉冲是 10101 的反信号（即 01010）。

由图 4 可见：本实用新型包括由第一反向器 11 和第二反向器 12 并联组成的第一级静态存储结构 1，输入、输出的双向线两端分别为 a、b，由第三反向器 21 和第四反向器 22 并联组成的组成第二级静态存储结构 2，输入、输出的双向线两端分别为 c、d；所述 a 端与第一 MOS 管 1001 的源极连接，所述第一 MOS 管 1001 的漏极与第一字选择信号 31 连接，栅极与行选择信号 33 连接；所述 b 端与第二 MOS 管 1002 的源极连接，所述第二 MOS 管 1002 的漏极与第二字选择信号 32 连接，栅极与行选择信号 33 连接；所述 a 端还与第三 MOS 管 1003 的栅极连接，所述第三 MOS 管 1003 的漏极与所述 c 端连接，源极与第五 MOS 管 1005 的漏极连接；所述第五 MOS 管 1005 的栅极通过与第六 MOS 管 1006 的栅极的耦合与控制第一级静态存储结构的信号传输到第二级静态存储结构的控制信号 34 连接，源极通过与第六 MOS 管 1006 的源极的耦合接地；所述第六 MOS 管 1006 的漏极与第四 MOS 管 1004 的源极连接；所述第四 MOS 管 1004 的栅极与所述 b 端连接，漏极与所述 d 端连接；所述 c 端与第一传输门 10 的第二

输入端和第二传输门 20 的第三输入端耦合在一起, 所述 d 端与第一传输门 10 的第三输入端和第二传输门 20 的第二输入端耦合在一起; 所述第一传输门 10 的第一输入端与第一从外面输入的模拟电压 35 连接, 所述第二传输门 20 的第一输入端与第二从外面输入的模拟电压 36 连接; 所述第一传输门 10 和第二传输门 20 的输出端耦合在一起与显示像素 399 的输入端连接。

所述第一传输门 10 包括第七 NMOS 管 101 和第一 P MOS 管 102; 所述第二传输门 20 包括第八 NMOS 管 201 和第二 P MOS 管 202; 所述第七 NMOS 管 101 的源极和第一 P MOS 管 102 的源极耦合在一起为所述第一传输门 10 的第一输入端; 所述第八 NMOS 管 201 的源极和第二 P MOS 管 202 的源极耦合在一起为所述第二传输门 20 的第一输入端; 所述第七 NMOS 管 101 和第二 P MOS 管 202 的栅极分别为第一传输门 10 的第三输入端和第二传输门 20 的第二输入端; 所述第八 NMOS 管 201 和第一 P MOS 管 102 的栅极分别为第二传输门 20 的第三输入端和第一传输门 10 的第二输入端; 所述第七 NMOS 管 101 的漏极和第一 P MOS 管 102 的漏极耦合在一起与所述第八 NMOS 管 201 的漏极和第二 P MOS 管 202 的漏极连接, 以作为输出端。

所述显示像素 399 的输出端与第九 MOS 管 1009 的源极相连; 所述第九 MOS 管 1009 的栅极与控制读显示像素值的信号 39 连接, 漏极与第一字选择信号 31 或者第二字选择信号 32 连接。

其工作原理如下: 由第一反向器 11 和第二反向器 12 并联组成的第一级静态存储结构 1, 由第三反向器 21 和第四反向器 22 并联组成的组成第二级静态存储结构 2。当行选择信号 33=1 (“1”表示高电平), 控制第一级静态存储结构的信号传输到第二级静态存储结构的控制信号 34=0 时, 第一字选择信号 31 和第二字选择信号 32 的数据将被存储到第一级静态存储结构 1, 而第二级静态存储结构 2 里的数据保持不变。如果控制第一级静态存储结构的信号传输到第二级静态存储结构的控制信号 34=1, 则第三 MOS 管 1003 和第四 MOS 管 1004 开启, 为第五 MOS 管 1005 和第六 MOS 管 1006 形成直流通路, 这时存储于第一级静态存储结构 1 的数据将被传递到第二级静态存储结构 2。

而第二级静态存储结构 2 的数据则用来控制第七 NMOS 管 101、第一 P MOS 管 102 以及 第八 NMOS 管 201、第二 P MOS 管 202 所组成的两个传输门之一的开启，从而达到选择第一从外面输入的模拟电压 35 或第二从外面输入的模拟电压 36 输出驱动液晶的功能。这样，当数据传递到第一级静态存储结构 1 时，第二级静态存储结构 2 中的数据保持不变，不会影响 LCOS 的显示状态。

譬如，假设原来两个存储结构里存储的分别是 0 和 1，即 $a=0$ ， $b=1$ ；而 $c=1$ ， $d=0$ ，此时行选择信号 33 和控制第一级静态存储结构的信号传输到第二级静态存储结构的控制信号 34 都为 0，第二传输门 20 开启，第二从外面输入的模拟电压 36 的值被传输到控制显示的显示像素 399 上。

然后，第一字选择信号 31 和第二字选择信号 32 上传来了‘1’的数据（即第一字选择信号 $31=1$ 、第二字选择信号 $32=0$ ），行选择信号 33 变高，第一 MOS 管 1001 和第二 MOS 管 1002 开启， a 和 b 随之变化为 $a=1$ 、 $b=0$ 。等行选择信号 33 变低， a 和 b 上即保持为这个值了。而此时控制第一级静态存储结构的信号传输到第二级静态存储结构的控制信号 34 仍保持为低，不变。因此 c 和 d 的值不变，使得传输门第一传输门 10 和第二传输门 20 的状态保持不变，仍旧是第二从外面输入的模拟电压 36 的值输出到显示像素 399 上。

接着，等一个显示周期结束后，控制第一级静态存储结构的信号传输到第二级静态存储结构的控制信号 34 变高，即第五 MOS 管 1005 和第六 MOS 管 1006 打开，由于 $a=1$ ， $b=0$ ，则第三 MOS 管 1003 打开，而第四 MOS 管 1004 仍关闭。由静态存储结构的工作原理可知，当有且仅有一端的输入为 0 时，数据可写入静态存储结构中。于是 c 被拉为低，而 d 变高。 c 、 d 的变化使得第一传输门 10 和第二传输门 20 的控制状态改变，第二传输门 20 关闭，第一传输门 10 开启，因此第一从外面输入的模拟电压 35 的值被传递到显示像素 399 上。

相反，如果第一级静态存储结构 1 读入的数据是 0（即 $a=0$ ， $b=1$ ），则第三 MOS 管 1003 关闭，第四 MOS 管 1004 开启。当控制第一级静态存储结构的信号传输到第二级静态存储结构的控制信号 34 变为高时，由第六 MOS 管 1006、第四 MOS 管 1004 构成的通路打开，导致 $d=0$ ， $c=1$ 。

致使传输门第二传输门 20 开启，第二从外面输入的模拟电压 36 的值被传输到显示像素 399 上。

为了能检测第二级静态存储结构 2 中的数据是否正确，增加了控制读显示像素值的信号 39 控制的晶体管第九 MOS 管 1009。控制读显示像素值的信号 39=1 时，显示像素 399 与第一字选择信号 31 相通，借助读写第一字选择信号 31，第二字选择信号 32 的灵敏放大器可得到第二级静态存储结构 2 中的数据。

在本实用新型中，行选择信号 33 控制了外面数据到第一级静态存储结构 1 的过程，控制第一级静态存储结构的信号传输到第二级静态存储结构的控制信号 34 控制了数据从第一级静态存储结构 1 到第二级静态存储结构 2 的过程。

由图 5 可见：本实用新型包括由第一反向器 11 和第二反向器 12 并联组成的第一级静态存储结构 1，输入、输出的双向线两端分别为 a'、b'，由第三反向器 21 和第四反向器 22 并联组成的组成第二级静态存储结构 2，输入、输出的双向线两端分别为 c'、d'；所述 a'与第 10MOS 管 1010 的源极连接；所述第 10MOS 管 1010 的栅极与第一级静态存储结构的行选择信号 331 连接，漏极与第一字选择信号 31 连接；所述 c'与第 12MOS 管 1012 的源极连接；所述第 12MOS 管 1012 的栅极与第二级静态存储结构的行选择信号 332 连接，漏极与第一字选择信号 31 连接；所述 b'与第 11MOS 管 1011 的源极连接，所述第 11MOS 管 1011 的栅极与第一级静态存储结构的行选择信号 331 连接，漏极与第二字选择信号 32 连接；所述 d'与第 13MOS 管 1013 的源极连接，所述第 13MOS 管 1013 的栅极与第二级静态存储结构的行选择信号 332 连接，漏极与第二字选择信号 32 连接；所述 a'还与第四传输门 40 的第一输入端连接；所述第四传输门 40 的第二输入端与第二显示控制信号 38 连接，第三输入端与第一显示控制信号 37 连接；所述 c'还与第五传输门 50 的第一输入端连接；所述第五传输门 50 的第二输入端与第一显示控制信号 37 连接，第三输入端与第二显示控制信号 38 连接；所述 b'还与第六传输门 60 的第一输入端连接；所述第六传输门 60 的第二输入端与第二显示控制信号 38 连接，第三输入端与第一显示控制信号 37 连接；所述 d'还与第七传输门 70 的第一输入端连接；所述第七传输门的

第二输入端与第一显示控制信号 37 连接, 第三输入端与第二显示控制信号 38 连接; 所述第四传输门 40 输出端和第五传输门 50 输出端耦合在一起与第八传输门 80 的第二输入端以及第九传输门 90 的第三输入端连接; 所述第六传输门 60 输出端和第七传输门 70 输出端耦合在一起与第八传输门 80 的第三输入端以及第九传输门 90 的第二输入端连接; 所述第八传输门 80 的第一输入端与第一从外面输入的模拟电压 35 连接; 所述第九传输门 90 的第一输入端与第二从外面输入的模拟电压 36 连接; 所述第八传输门 80 和第九传输门 90 的输出端耦合在一起与显示像素 399 的输入端连接。

所述显示像素 399 的输出端与第 20MOS 管 1020 的源极连接; 所述第 20MOS 管 1020 的栅极与控制读显示像素值的信号 39 连接, 漏极与第二字选择信号 32 或者第一字选择信号 31 连接。

所述第四传输门 40 由第 41 NMOS 管 401 和第 42PMOS 管 402 组成; 所述第 41 NMOS 管 401 的栅极为所述第四传输门 40 的第三输入端, 所述第 42PMOS 管 402 的栅极为所述第四传输门 40 的第二输入端, 所述第 41 NMOS 管 401 和第 42PMOS 管 402 的漏极耦合在一起为所述第四传输门 40 的第一输入端, 所述第 41 NMOS 管 401 和第 42PMOS 管 402 的源极耦合在一起为所述第四传输门 40 的输出端;

所述第五传输门 50 由第 51 NMOS 管 501 和第 52PMOS 管 502 组成; 所述第 51 NMOS 管 501 的栅极为所述第五传输门 50 的第三输入端, 所述第 52PMOS 管 502 的栅极为所述第五传输门 50 的第二输入端, 所述第 51 NMOS 管 501 和第 52PMOS 管 502 的漏极耦合在一起为所述第五传输门 50 的第一输入端, 所述第 51 NMOS 管 501 和第 52PMOS 管 502 的源极耦合在一起为所述第五传输门 50 的输出端;

所述第六传输门 60 由第 61 NMOS 管 601 和第 62PMOS 管 602 组成; 所述第 61 NMOS 管 601 的栅极为所述第六传输门 60 的第三输入端, 所述第 62PMOS 管 602 的栅极为所述第六传输门 60 的第二输入端, 所述第 61 NMOS 管 601 和第 62PMOS 管 602 的漏极耦合在一起为所述第六传输门 60 的第一输入端, 所述第 61 NMOS 管 601 和第 62PMOS 管 602 的源极耦合在一起为所述第六传输门 60 的输出端;

所述第七传输门 70 由第 71 NMOS 管 701 和第 72PMOS 管 702 组成;

所述第 71 NMOS 管 701 的栅极为所述第七传输门 70 的第三输入端，所述第 72PMOS 管 702 的栅极为所述第七传输门 70 的第二输入端，所述第 71 NMOS 管 701 和第 72PMOS 管 702 的漏极耦合在一起为所述第七传输门 70 的第一输入端，所述第 71 NMOS 管 701 和第 72PMOS 管 702 的源极耦合在一起为所述第七传输门 70 的输出端；

所述第八传输门 80 由第 81 NMOS 管 801 和第 82PMOS 管 802 组成；所述第 81 NMOS 管 801 的栅极为所述第八传输门 80 的第三输入端，所述第 82PMOS 管 802 的栅极为所述第八传输门 80 的第二输入端，所述第 81 NMOS 管 801 和第 82PMOS 管 802 的漏极耦合在一起为所述第八传输门 80 的第一输入端，所述第 81 NMOS 管 801 和第 82PMOS 管 802 的源极耦合在一起为所述第八传输门 80 的输出端；

所述第九传输门 90 由第 91 NMOS 管 901 和第 92PMOS 管 902 组成；所述第 91 NMOS 管 901 的栅极为所述第九传输门 90 的第三输入端，所述第 92PMOS 管 902 的栅极为所述第九传输门 90 的第二输入端，所述第 91 NMOS 管 901 和第 92PMOS 管 902 的漏极耦合在一起为所述第九传输门 90 的第一输入端，所述第 91 NMOS 管 901 和第 92PMOS 管 901 的源极耦合在一起为所述第九传输门 90 的输出端；

该装置也是有由第一反向器 11 和第二反向器 12 并联组成的第一级静态存储结构 1，由第三反向器 21 和第四反向器 22 并联组成的组成第二级静态存储结构 2，但它们是并列的关系。可任选其中一套存储结构接受外面正在传输来的数据，而另一套存储结构则同时显示上一次显示周期传输来的数据。

该装置可以通过对第一级静态存储结构的行选择信号 331 或第二级静态存储结构的行选择信号 332 的选通来控制数据输入到其中的一套存储结构（用作下一个显示周期的输出驱动），通过对第一显示控制信号 37 或第二显示控制信号 38 的选通来选择有哪一套存储结构决定第一从外面输入的模拟电压 35 或第二从外面输入的模拟电压 36 输出驱动显示。此时两套存储结构的工作状态必须配合。

假设在某个显示周期，第一级静态存储结构 1 读取外部传来的数据，此时第二级静态存储结构 2 处于控制驱动状态。等到了下一个显示周期，

则两套存储结构的工作状态正好相反，第一级静态存储结构 1 用于控制驱动，第二级静态存储结构 2 读取数据。

例如，在某个时刻，第一级静态存储结构的行选择信号 331 和第二级静态存储结构的行选择信号 332 都为 0，第一显示控制信号 37 为高，第二显示控制信号 38 为 0，第一级静态存储结构 1 和第二级静态存储结构 2 的数据都为 1，即 $a' = 1$ ， $b' = 0$ ； $c' = 1$ ， $d' = 0$ 。由于第一显示控制信号 37 为高=1，第二显示控制信号 38=0，第四传输门 40 和第六传输门 60 开启，第五传输门 50 和 第七传输门 70 关闭，导致第九传输门 90 开启，第二从外面输入的模拟电压 36 的值输到显示像素 399 上。

当外面的数据传递到这一装置时，此时，第二级静态存储结构的行选择信号 332 变高，选通第 12MOS 管 1012 以及第 13MOS 管 1013 两个 MOS 管，则外面的数据进入第二级静态存储结构 2。如读入的数据为 0，即第一字选择信号 31=0，第二字选择信号 32 =1，则 c' 变为 0， d' 变为 1。当第二级静态存储结构的行选择信号 332 拉低后，这数据便保存在第二级静态存储结构 2 中。但第一显示控制信号 37 和第二显示控制信号 38 的值不变，依旧是第二从外面输入的模拟电压 36 驱动显示像素 399。

等到下一个显示周期，第一显示控制信号 37 变为 0，第二显示控制信号 38 变为 1。这时，第四传输门 40 和第六传输门 60 关闭，，第五传输门 50 和 第七传输门 70 开启，并决定由第一从外面输入的模拟电压 35 或第二从外面输入的模拟电压 36 输出给显示像素 399。同时，当外面数据再次传递到这一装置时，将是第一级静态存储结构的行选择信号 331 有效，数据将存入第一级静态存储结构 1 中。如此循环往复。

同样，这套装置也具有将显示像素 399 读出的功能，以测试其内部工作的正确性。

从两个实施例可以看出：本实用新型由两套静态存储结构组成的装置。其主要作用是：能够让该装置在同一时间段内同时完成数据的接收以及驱动显示功能，即有一套静态存储结构用来存储前一级电路即时传输过来的数据，另一套静态存储结构则存储着上一显示周期传输过来的数据，并依据此数据对 LCOS 液晶点阵所对应的像素进行驱动显示。

这样设计的优点是：用第一套静态存储结构来存储前级驱动传输过来

的数据，另一套静态存储结构驱动 LCOS 的显示，两套静态存储结构各司其职，既能保证足够的时间用于传输数据，又能保证足够的显示时间，对芯片的速度和液晶的响应时间都降低了要求。这样，电路不用提高工作频率即可实现高分辨率的显示精度（如 XGA，SXGA），节约了硬件成本。同时，大大提高了液晶的显示亮度、对比度，改善液晶整体的工作性能。

同样假设 LCOS 的显示刷新频率为 60Hz，即每幅图像的刷新时间约 16.6ms。如果采用了上述的双存储结构，则显示与传输时间均可轻易地达到 10ms 以上，解决了 LCOS 中液晶的响应速度的问题。

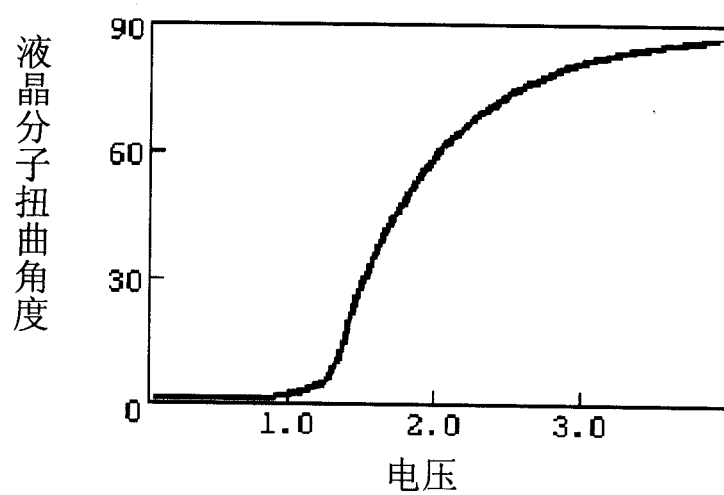


图 1

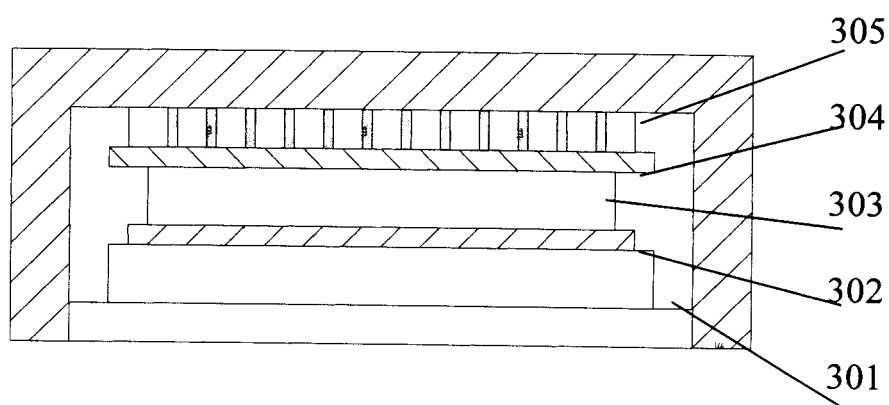


图 2

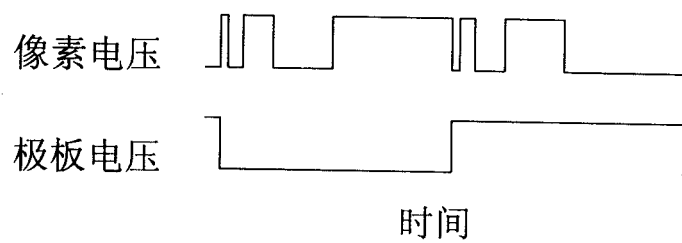


图 3

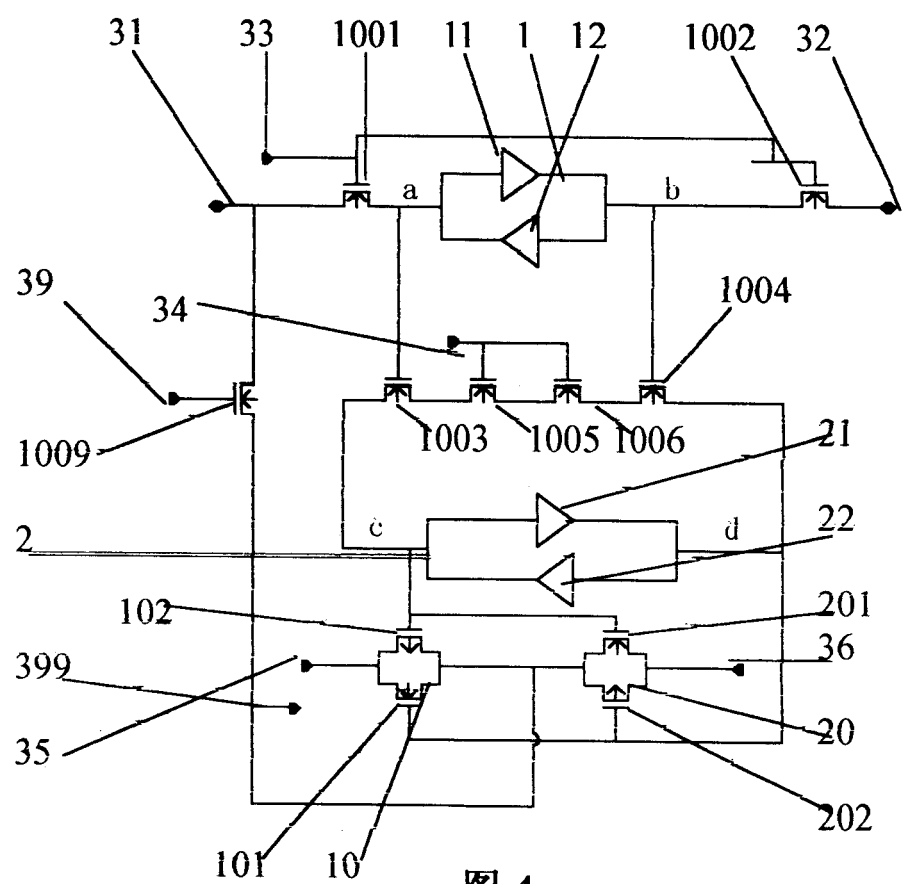


图 4

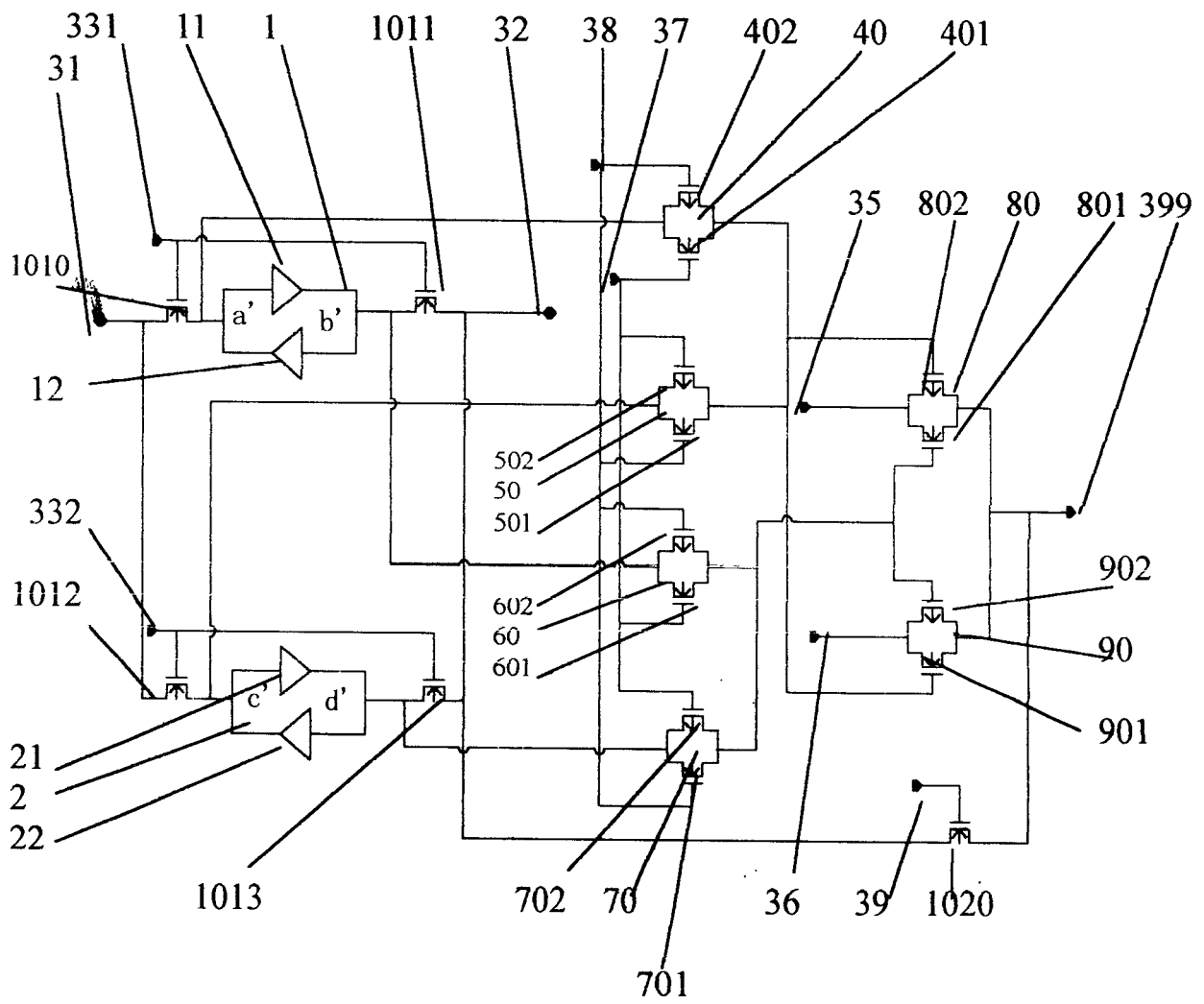


图 5

专利名称(译)	在LCOS中数据存储和数据控制显示的装置		
公开(公告)号	CN2641756Y	公开(公告)日	2004-09-15
申请号	CN03231628.3	申请日	2003-05-30
[标]发明人	黄萍 韩竞春 印义言		
发明人	黄萍 韩竞春 印义言		
IPC分类号	G09G3/00 G09G5/00		
代理人(译)	李兰英		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型涉及一种在LCOS中数据存储和数据控制显示的装置，包括由第一反向器和第二反向器并联组成的第一级静态存储结构，由第三反向器和第四反向器并联组成的组成第二级静态存储结构，通过控制电路，在同一时间段内同时完成数据的接收以及驱动显示功能；本实用新型的有益效果是：对芯片的速度和液晶的响应时间都降低了要求，不用提高硬件成本，即可实现高分辨率的显示精度。

