

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G09G 3/36

G02F 1/133

[12] 发明专利申请公开说明书

[21] 申请号 01144022.8

[43] 公开日 2002 年 7 月 31 日

[11] 公开号 CN 1361512A

[22] 申请日 2001.12.25 [21] 申请号 01144022.8

[30] 优先权

[32] 2000.12.25 [33] JP [31] 392324/2000

[71] 申请人 株式会社日立制作所

地址 日本东京

共同申请人 日立器件工程株式会社

[72] 发明人 山手洋 竹中雄一

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

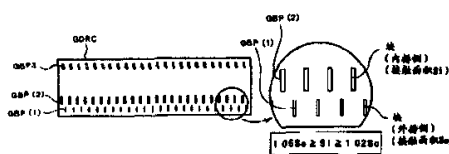
代理人 王永刚

权利要求书 2 页 说明书 10 页 附图页数 9 页

[54] 发明名称 液晶显示器

[57] 摘要

一液晶显示器装备有多条各个信号线和一半导体芯片。该半导体芯片的各个输出块通过一各向异性的导电层连到相应的各个信号线上。各个输出块包括一第一组输出块和一第二组输出块,第一组输出块排列在靠近信号线的一侧,第二组输出块排列在远离该信号线的一侧。以相对的方式面对该信号线的第二组输出块的各个输出块的面积,被设置成大于以相对的方式面对该信号线的第一组输出块的各个输出块的面积。由于这一结构,确保在该安装好的半导体集成电路和该信号线之间的可靠连接。



ISSN 1008-4274

权 利 要 求 书

1. 一液晶显示器含有多条各个信号线和一半导体芯片，该信号线在一方向延伸并在和这一方向交叉的一个方向平行排列；该芯片安装在信号线的一端侧，其块形成表面在基片之一的一液晶侧表面上朝向下，基片面对面布置，同时将液晶插入它们之间。

改进的特征在于该半导体芯片的各个输出块通过一个各向异性的导电层连到相应的信号线上，各个输出块包括：排列在靠近该半导体芯片的一端部侧的第一组输出块，和排列在远离该半导体芯片的该端部侧的第二组输出块。以相对的方式面对信号线的第二组输出块的各个块的面积，设置成大于以相对的方式面对信号线的第一组输出块的各个块的面积。

2. 根据权利要求 1 的液晶显示器，其中第一组输出块和第二组输出块的各个块以交错的方式排列。

3. 根据权利要求 1 的液晶显示器，其中第二组输出块的各个块的宽度设置成大于第一组输出块的各个块的宽度。

4. 根据权利要求 1 的液晶显示器，其中第二组输出块的各个块的长度设置成大于第一组输出块的各个块的长度。

5. 根据权利要求 1 的液晶显示器，其中，当第二组输出块的各个块的面积设为 S_i ，并且第一组输出块的各个块的面积设为 S_o 时，建立下面的一关系。

$$1.05S_o \gg S_i \gg 1.02S_o$$

6. 根据权利要求 1 的液晶显示器，其中，第二组输出块的各个块的面积做成大于第一组输出块的各个块的面积的 2 - 5%。

7. 根据权利要求 1 的液晶显示器，其中该液晶显示器在一基片的液晶侧的表面上定义各个区域为像素区域，该各个区域由在 X 方向延伸并在 Y 方向平行排列的栅信号线和在 Y 方向延伸并在 X 方向平行排列的漏信号线包围。

该液晶显示器进一步包括：开关元件和像素电极。这些开关元件响应来自一侧的栅信号线的扫描信号而工作，来自一侧的漏信号线的视频信

号通过像素区域上的开关元件施加到像素电极上，并且

这些信号线由栅信号线形成，该半导体芯片由一扫描信号驱动电路形成。

8. 根据权利要求 1 的液晶显示器，其中该液晶显示器在一基片的液晶侧的表面上定义各个区域为像素区域，该各个区域由在 X 方向延伸并在 Y 方向平行排列的栅信号线和在 Y 方向延伸并在 X 方向平行排列的漏信号线包围。

该液晶显示器进一步包括：开关元件和像素电极。这些开关元件响应来自一侧的栅信号线的扫描信号而工作，来自一侧的漏信号线的视频信号通过该像素区域上的开关元件施加到像素电极上，并且

这些信号线由漏信号线形成，该半导体芯片由一视频信号驱动电路形成。

说明书

液晶显示器

技术领域

本发明涉及一液晶显示器，尤其涉及一所谓的有源矩阵型的液晶显示器。

背景技术

这一类型的液晶显示器在两基片之一的液晶侧表面上装备有多个栅信号线和多个漏信号线，栅信号线在 X 方向延伸，在 Y 方向平行排列，漏信号线在 Y 方向延伸，在 X 方向平行排列，这两基片以相对的方式面对面安置，同时，将液晶插入它们之间。两相邻的栅信号线和两相邻的漏信号线包围的一区域确定一像素区域。

每一像素区域装备有一开关元件和一像素电极，开关元件由来自一侧栅信号线的扫描信号驱动，从一侧的漏信号线通过该开关元件给该像素电极提供视频信号。

在一对基片中的另一基片的液晶侧的表面上，形成像素电极和构成电容，像素电极以相对的方式面对一基片上的像素电极。

通过在分别形成在两基片上的像素电极之间产生电场，可控制液晶的光透射率。

进而，在一基片的液晶侧表面的周边上，以芯片的块(bump)形成表面向下(朝下)(COG:玻璃上的芯片)的方式，直接安装上构成一扫描信号驱动电路的一半导体集成电路(IC 芯片)和构成一视频信号驱动电路的一半导体集成电路(IC 芯片)。

在安装 IC 芯片的基片上，相应于 IC 芯片的信号线延伸到面对 IC 芯片的各自的输出块的位置，和输出块相连的端点形成在延伸了的部分或延伸部分。

近来，要求液晶显示器的清晰度进一步增强。为满足这一要求，已增加了像素的数目并相应地增加了栅信号线和漏信号线的数目。

作为连到半导体集成电路的信号线上的块（尤其是，输出块），有一已知的增加了块数目的块的排列方式，其中块由安排在信号线侧的第一组块和安排在远离该信号线的一侧的第二组块构成。

在 COG 型的液晶显示器中，半导体集成电路通过各向异性的导电层被牢固地固定到基片上，并且连到相应各自的端点上。日本公开的专利 81635/2000 公开了这一技术。

然而，在这一情形中，构成第二组块的各个块和连到这些各个块的各个端点间的连接电阻变得大于构成第一组块的各个块和连到这些各个块的各个端点间的连接电阻。相应地，在一更坏的情形中，可能出现第二组块遭到连接失败。

发明内容

考虑到这样的情况做出本发明，本发明能提供一液晶显示器，该显示器能确保半导体集成电路和安装在该液晶显示器上的信号线间的连接。

根据本发明的一液晶显示器两基片以相对的方式面对面安置，同时，将液晶插入它们之间的两基片之一的液晶侧表面上，装备多个信号线和一半导体芯片，这些信号线各自有连接端点，该芯片连到多个信号线的各端点上。该半导体芯片包括多个块，并且这些多个块通过各向异性导电层连到各个信号线的相应各个端点上。进而，这些多个块构成至少排列成两行的块组。这些块包括一第一块组和一第二块组，第一块组排列在靠近半导体芯片的端部部分的一侧，第二块组排列在远离该端部部分的一侧，其中在第二组块的各个块和信号线间的接触面积被设置成大于第一组块的各个块和信号线间的接触面积。

根据本发明的液晶显示器，可以将第二组块的各个块和信号线间的接触部分的电阻值减小到，基本等于第一组块的各个块和信号线间的接触部分的电阻值。

相应地，消除构成第二组块的各个块和连到这些块上的信号线间的连接电阻的增大或在一最坏的情形中连接失败这一现象成为可能。

附图说明

图 1 是一根据本发明的液晶显示器的整体等效电路。

图 2 是一 IC 芯片安装在上面的透明基片的一表面的平面图。

图 3A 是一在上面形成半导体集成电路块的一面的正面图，该集成电路安装在根据本发明的液晶显示器上。

图 3B 是图 3A 的一局部的放大的图。

图 4A 是一沿图 2 中的线 I-I 截出的横截面图。图 4B 是一图 4A 的局部的放大的图。

图 5A 是一表示安装在根据本发明的液晶显示器上的半导体集成电路的其它实施方案的构成图，也是块形成在上面的那一面的平面图。

图 5B 是一图 5A 的局部的放大的图。

图 6 是一 IC 芯片安装在上面的透明基片的表面的平面图。

图 7 是一横截面图，用于解释当 IC 芯片在压力下接合到透明基片时导电颗粒的运动。

图 8 是一在块和连接端点间的接合面及导电颗粒的数目的对比图表。

图 9A 是一半导体集成电路的块形成在上面的面的正面图，该电路安装在常规的液晶显示器上。

图 9B 是一图 9A 的局部的放大的图。

图 10 是一参考图，用于获得在块上的颗粒的数目分布的近似公式。

图 11 是一含有一截面部分的透视图，该图表示根据本发明的液晶显示器的一实施方案。

具体实施方式

下面结合附图解释根据本发明的液晶显示器的优选实施方案。

[实施方案 1]

《等效电路》

图 1 是一表示根据本发明的液晶显示器的等效电路。该图是相应于一真实的几何排列画出的电路图。

一透明基片 SUB1 以相对的方式被安置成面对另一透明基片 SUB2，同时将液晶插入它们之间。

在透明基片 SUB1 的液晶侧的表面上，形成多个栅信号线 GL 和多个漏信号线 DL，栅信号线在 X 方向延伸并在 Y 方向平行排列，漏信号线和

栅信号线 GL 绝缘并在 Y 方向延伸、在 X 方向平行排列。由两相邻的栅信号线和两相邻的漏信号线包围的矩形区域构成像素区域。这些大量的像素区域构成显示区域 AR。

在每一像素区域，形成薄膜晶体管 TFT 和像素电极 PIX，薄膜晶体管由来自一侧的栅信号线 GL 的扫描信号（电压）驱动，通过薄膜晶体管 TFT 将来自一侧的漏信号线 DL 的视频信号（电压）供给像素电极。

进而，一电容元件 Cadd 形成在像素电极 PIX 和另一侧的栅信号线 GL 之间，该栅信号线置于靠近上述的一侧栅信号线 GL。当薄膜晶体管 TFT 断开时，这一电容单元 Cadd 可以长时间地存储供给像素电极 PIX 视频信号。

给另一透明基片 SUB2 在液晶侧表面上装备一反电极 CT（图中未示出），其中反电极共同提供给各个像素区域。一电场产生在像素电极 PIX 和反电极 CT 之间，该反电极以相对的方式面对像素电极 PIX 排列，同时将液晶置于其间。控制各个电极之间的液晶的光透射率响应这一电场。

各个栅信号线 GL 的一端头伸向透明基片 SUB1 的一侧（在图中的左侧），终端部分 GTM 形成在各个栅信号线 GL 的延伸部分。由一垂直的扫描电路构成的 IC 芯片 GDRC 的块(bump,凸块)连到终端部分 GTM 上。

进而，各个漏信号线 DL 的一端伸向透明基片 SUB1 的一侧（图中的上侧），终端部分 DTM 形成在各个漏信号线 DL 的延伸部分。由视频信号驱动电路构成的半导体集成电路 DDRC 的块连到终端部分 DTM 上。

IC 芯片 GDRC,DDRC 自身分别直接安装在透明基片 SUB1 上，由此构成一所谓的 COG(芯片在玻璃上)系统。

提供在 IC 芯片 GDRC,DDRC 输入侧的各个块也被分别连到形成在透明基片 SUB1 的终端部分 GTM2, DTM2 上。这些各自的终端部分 GTM2,DTM2 连到终端部分 GTM3,DTM3 上，终端部分 GTM3,DTM3 分别排列在透明基片 SUB1 的一外围部分，该外围部分紧靠透明基片 SUB1 的一端表面,在透明基片 SUB1 的周边部分之外。

透明基片 SUB2 安排成面对透明基片 SUB1,以便透明基片 SUB2 不覆盖半导体集成电路安装在上面的区域。即，透明基片 SUB2 的面积制作得

小于透明基片 SUB1 的面积。

使用密封剂 SL，将透明基片 SUB2 牢固地固定在透明基片 SUB1 上，密封剂 SL 形成在透明基片 SUB2 的周边。该密封剂 SL 也有密封透明基片 SUB1 和 SUB2 间的液晶的功能。

如图 10 所示，含有这一结构的液晶显示器被一框架 FRM 所覆盖，该框架在显示部分 AR 含有开口，这样构成一液晶显示模件。

《半导体集成电路周围的构成》

图 2 是一表示在透明基片 SUB1 的表面上的一具体构成的平面图，该表面在安放在透明基片 SUB1 的 IC 芯片 GDRC 的附近。

在图 2 中，相对于排列在 Y 方向的各个栅信号线 GL，相邻的栅信号线 GL 形成为一组。IC 芯片 GDRC 的块间的距离设置成小于显示部分 AR 中的各个栅信号线 GL 间的距离，这样，每一组的各个栅信号线 GL 在 IC 芯片 GDRC 安放在上面的区域的附近相互汇集。终端 GTM 形成在面向 IC 芯片 GDRC 的各个输出块的位置。

连到 IC 芯片 GDRC 的各个输出块上的终端 GTM 由第一组终端和成行排列的第二组终端构成。

构成第一组终端的各个终端 GTM(1) 被置于图像显示区域侧（也称为“外排侧”，以后将解释），同时构成第二组电极的各个电极 GTM(2) 被置于远离图像显示区域侧的一侧（也称为“内排侧”，以后将解释）。

当 IC 芯片 GDRC 安装在基片上时，将第一组终端置于 IC 芯片的端部位置附近，将第二组终端置于比第一组终端更靠近 IC 芯片的中心。

进而，每一终端 GTM(2) 置于各个终端 GTM(1) 之间，由各个终端 GTM(1) 和各个终端 GTM(2) 构成的各个终端 GTM 以一所谓的交错的模式排列。

相应地，形成连到终端 GTM(2) 的每一栅信号线 GL，以便该栅信号线 GL 置于连到终端 GTM(1) 的栅信号线 GL 之间并在相邻的终端 GTM(1) 之间走线。

进而，构成第二组终端的各个终端 GTM(2) 有一宽度 W2，这些宽度制成大于构成第一组终端的各个电极 GTM(1) 的宽度 W1。

相对于终端 GTM(2),栅信号线 GL 不在这些终端 GTM(2)之间形成,这样,终端 GTM(2)可以使它们的宽度 W2 大于终端 GTM(1)的宽度 W1.

将终端 GTM(2)的宽度 W2 设置大的原因,是使面对 IC 芯片 GDRC 的相应的输出块的每一终端 GTM(2)的面积,大于面对 IC 芯片 GDRC 的相应的输出块的每一终端 GTM(1)的面积。例如,在这一实施方案中,面对相应的 IC 芯片 GDRC 输出块的每一终端 GTM(1)的面积是 $2400 \mu m^2$ 。另一方面,面对 IC 芯片 GDRC 的相应的输出块每一终端 GTM(2)的面积被设置成大于面对 IC 芯片 GDRC 的相应的输出块每一终端 GTM(1)的面积的 2-5%。

图 3A 是一表示 IC 芯片 GDRC 的块形成表面的平面视图。图 3B 是一局部的放大的图,该部分被在图 3A 中示出的一实心线圈出。

IC 芯片 GDRC 的输出块 GBP 由成行排列的第一组块和第二组块组成。

构成第一组块的各个块 GBP(1) 被放置成相应于栅信号线 GL 的终端 GTM(1),同时,构成第一组块的各个块 GBP(2) 被放置成相应于栅信号线 GL 的终端 GTM(2)。

第一组块排列在矩形 IC 芯片 GDRC 的长边端部附近,第二组块排列成比第一组块更靠近 IC 芯片 GDRC 的中心。

以终端 GTM 同样的排列方式,每一块 GBP(2)置于各个块 GBP(1)之间,由各个块 GBP(1)和各个块 GBP(2)构成的各个块 GBP 以一所谓的交错形式模列。

构成第二组块的块 GBP(2) 的宽度被设置成大于构成第一组块的块 GBP(1) 的宽度。块 GBP(2) 的宽度设置成大于第一组块的块 GBP(1) 的宽度的原因是,使面对终端 GTM(2)的第二组块的块 GBP(2) 的面积大于面对终端 GTM(1)的每一第一组块的块 GBP(1) 的面积。

在这一实施方案中,假定面对相应的终端 GTM(1)的 IC 芯片 GDRC 的块 GBP(1) 的面积为 S_0 , 面对相应的终端 GTM(2)的 IC 芯片 GDRC 的块 GBP(2) 的面积为 S_i , 建立下面的公式。

$$1.05S_0 \gg S_i \gg 1.02S_0 \quad \dots(1)$$

图 4A 是一表示一情形的截面图，在该情形中 IC 芯片 GDRC 安装在透明基片 SUB1 上，并且相应于沿图 2 中的线 I-I 截出的一截面图。进而，图 4B 是一在图 4A 中由一实心线圈出的一部分的放大的图。

各向异性导电膜 ACF 插在 IC 芯片 GDRC 和透明基片 SUB1 之间。该各向异性导电膜 ACF 由在其中分布大量的导电颗粒 PRT 的树脂膜 RGN 形成。在这一实施方案中，使用各向异性导电膜 ACF，其中，导电颗粒 PRT 以 30k 个/mm² 的比率分散。

通过加热该各向异性导电膜 ACF 并将 IC 芯片 GDRC 压到透明基片 SUB1 上，IC 芯片 GDRC 被牢固地固定到透明基片 SUB1 上，在 IC 芯片 GDRC 上的各个块 GBP 和在透明基片 SUB1 上的终端 GTM，通过在各向异性导电膜 ACF 内部的导电颗粒相互电连接起来。

当将 IC 芯片 GDRC 压到透明基片 SUB1 上时，在各向异性导电膜 ACF 的树脂膜 RGN 的内部产生了导电颗粒 PRT 的流动。

在这一实施方案中，置于在 IC 芯片 GDRC 内排侧的那组块的每一块 GBP(2)和连到块 GBP(2)的终端 GTM(2)之间的导电颗粒 PRT 的数目，可设置成基本等于置于在 IC 芯片 GDRC 外排侧的那组块的每一块 GBP(1)和连到块 GBP(1)的终端 GTM(1)之间的导电颗粒 PRT 的数目。相应地，可使终端 GTM(2)和块 GBP(2)之间的连接电阻基本等于终端 GTM(1)和块 GBP(1)之间的连接电阻。

在上面提到的实施方案中，在半导体集成电路 GDLC 的输出块 GBP 以外的内排侧的块 GBP(2)及面对块 GBP(2)的终端 GTM(2)的宽度，被设置成大于在半导体集成电路 GDLC 的输出块 GBP 以外的外排侧的块 GBP(1)及面对块 GBP(1)的终端 GTM(1)的宽度。

图 5A 是一表示 IC 芯片的另一实施方案的构成图，该 IC 芯片安装在根据本发明的液晶显示器上，是块形成在其上的一面的正面图。图 5B 是一图 5A 的局部放大的图。图 6 是透明基片的表面的平面图，在该表面上安放在图 5A 中示出的 IC 芯片。

如图 5A,图 5B 和图 6 所示，在内排侧的块 GBP(2)和对着块 GBP(2)终端 GTM(2)的长度 L_2 可设成大于在外排侧的块 GBP(1)和对着块 GBP(1)

终端 GTM(1)的长度 L_1 。

进而，虽然已就 IC 芯片 GDRC 的输出块 GBP 和连到输出块 GBP 的栅信号线 GL 的终端 BTM 而论，解释了上面提到的实施方案，但上面提到的构成也适用与 IC 芯片 DDRC 的输出块和连到输出块上的漏信号 DL 的终端 DTM。

《基于理论得到有益效果》

如图 7 所示，在基于 COG 系统的装配过程中，为了挤出存在于透明基片 SUB1 和 IC 芯片 GDRC 间的多余的树脂，从 IC 芯片 GDRC 的背表面侧施加压力，由此，在压力作用下将 IC 芯片粘到基片 SUB1 上，并且块电连接到栅终端。

在这一情形中，导电颗粒 PRT 在内排侧没有被俘获的原因，被认为是来源于在压力下粘合时树脂的流动。即，在压力粘合过程中，内排侧的块的附近的树脂比外排侧的块在表面上易于被均一地推压，以便颗粒平行于透明基片 SUB1 的表面流动。

然而，在靠近芯片端表面的外排侧的块侧，颗粒的流动被排放到端表面的树脂阻止，这样颗粒的流速变慢。结果，和进到 IC 芯片 GDRC 的块的下面的树脂比较，离开 IC 芯片 GDRC 下面的位置的树脂逐渐地变少，这样，可以认为，夹在并保留在 IC 芯片 GDRC 的块和透明基片 SUB1 之间的导电颗粒，在外排侧的块处数量增加。

相应地，如在上面提到的实施方案中所提到的那样，通过增大内排侧的块 GBP(2)和终端 GTM(2)的粘合面积，可使俘获在粘合区域内部的导电颗粒数目，基本上和俘获在外排侧的块 GBP(1) 及终端 GTM(1)的粘合区域内部的导电颗粒的数目相等。

图 9A 是一表面的正面图，在该表面上形成安装在一常规液晶显示器上的半导体集成电路的块。图 9B 是一图 9A 的局部放大的了的图。

相对于在其中块以双排排列的一常规结构，根据实际测得的数据，在内排侧和外排侧之间，颗粒的数目不同，并认识到一趋势，即，作为一平均值，在外排侧被俘获的颗粒的数目大于在内排侧被俘获的颗粒的数目的 2 到 5%。

进而，被俘获颗粒的频率分布在理论上取泊松（Poisson）分布，这样，假定保持在块下被俘获颗粒的平均值为“ m ”，在该块处颗粒不被俘获的块出现概率可通过 $\exp(-m)$ 计算。

结果，假定内排块和外排块占据的总面积不变，并且被俘获颗粒的平均值随块面积的变化成比例地变化，不俘获颗粒的块的出现概率变得最低时的该内排块对于外排块的面积比可通过下面的等式（2）计算。

$$F = \exp(-m_i')/2 + \exp(-m_o')/2 \quad \dots(2)$$

其中， $m_i' = S_i/S \times m_i$ （等式表明被俘获的颗粒数目和块的面积之间的关系）， $m_o' = S_o/S \times m_o$ （等式表明被俘获的颗粒数目和块的面积之间的关系）， $S_i + S_o = 2S$ （使块的总面积为不变的条件）， $dF/dS_i = 0$ （最优化块的总面积的条件）。

进而， S_i ；未最优化的块的面积（内排块的面积和外排块的面积相等）， m_i ；被内排块俘获的颗粒 PRT 的平均俘获数目（实际测得的数据）， m_o ；被外排块俘获的颗粒 PRT 的平均俘获数目（实际测得的数据）， S_i ；最优化的内排块的面积， S_o ；最优化的外排块的面积， m_i' ；对面积最优化后，被内排块俘获的颗粒 PRT 的平均俘获数目（估计值）， m_o' ；对面积最优化后，被外排块俘获的颗粒 PRT 的平均俘获数目（估计值）， F ；当假定被内排块俘获的颗粒平均数目为 m_i' ，被外排块俘获的颗粒平均数目为 m_o' 时，不具有颗粒（每一个块）的块的估计出现比率。

然后，基于各个测量数据通过计算方程（2）得到的结果，示于图 8 中。

七种规格的各向异性导电膜在图 8 中得到描述。这些各向异性导电膜在树脂规格，膜中的颗粒直径和颗粒密度上各不相同。所有这些各向异性的导电膜，块的总面积被设为恒定。

当面积差别 $((S_o/S_i) - 1)$ 小于 2 % 时，在内排块部分被俘获的颗粒的数目小于在外排块部分被俘获的颗粒的数目，这样，内排块部分的连接电阻变得高于外排块部分的连接电阻。另一方面，当面积差别超过 5 % 时，外排块部分的连接电阻变得高于内排块部分的连接电阻。基于这样的测得的数据，当面积差别被设为 2 - 5 % 的范围时，得到理想的值。

在块上颗粒数目的分布近似公式可如下计算。

假定压力结合后每单位面积颗粒数平均密度为“n”(个/mm²),并且当该单位面积被分 n 部分时,一小区域的面积为“a”,在该小区域存在颗粒的概率是“a”。因为当该 n 片小区域被采样时,含有颗粒的 r 片小区域存在的概率 P(r)遵从 (binominal) 分布,可建立下面的一公式。

$$P(r)={}_n C_r \cdot a^r \cdot (1-a)^{(n-r)} \quad \dots(3)$$

这一公式也适用于一小区域“b”,该小区域有比“a”更大的面积。

即,也可建立下面的一公式

$$P(r)={}_n C_r \cdot b^r \cdot (1-b)^{(n-r)} \quad \dots(4)$$

在这一情形中,平均值变为 nb, 离差 σ^2 变为 nb(1-b)。

当 n 大或 b 非常小时,公式 (3) 可用泊松(Poisson)分布近似,这样可得到下面的公式 (5)

$$P(r)=(nb)^r \cdot e^{-(nb)}/r! \quad \dots(5)$$

因为 nb 是在该小区域中颗粒的平均数目,通过将 nb 设为 nb=m,公式 (5) 可由下面的公式 (6) 近似。

$$P(r)=m^r \cdot e^{-m}/r! \quad \dots(6)$$

在这一情形中,离差 σ^2 变为 $\sigma^2=m$,这样,概率可由唯一的变量 m 表示。

作为泊松(Poisson)分布的一应用例子,已知有在显微镜的一可见视场内的细菌数目或大量生产的产品中的次品,及类似的东西。

在上面提到的实施方案中,已解释了装备有含有 IC 芯片的液晶显示器,该芯片在它的一侧含有两排的块。相对于装备有一侧含有两或三排块 IC 芯片的一液晶显示器,紧靠该 IC 芯片的端部部分的一组块的粘合面积可最小化,并且这些块的粘合面积随着该组块远离该 IC 芯片的端部部分而增大。

从上面提到的解释可清楚理解,根据本发明的液晶显示器,在安装好的半导体集成电路和信号线之间可获得可靠的连接。

说明书附图

图 1

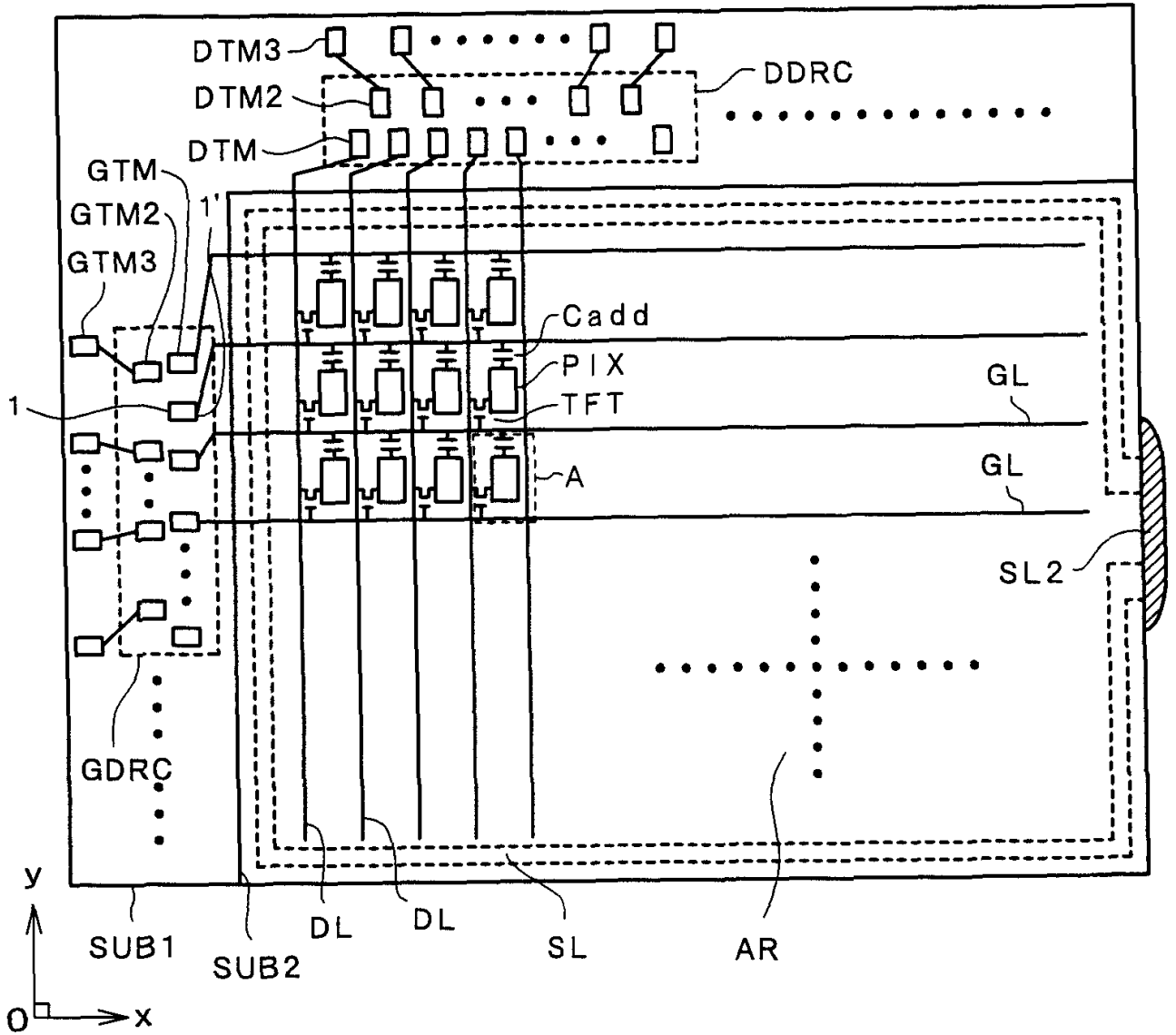


图 2

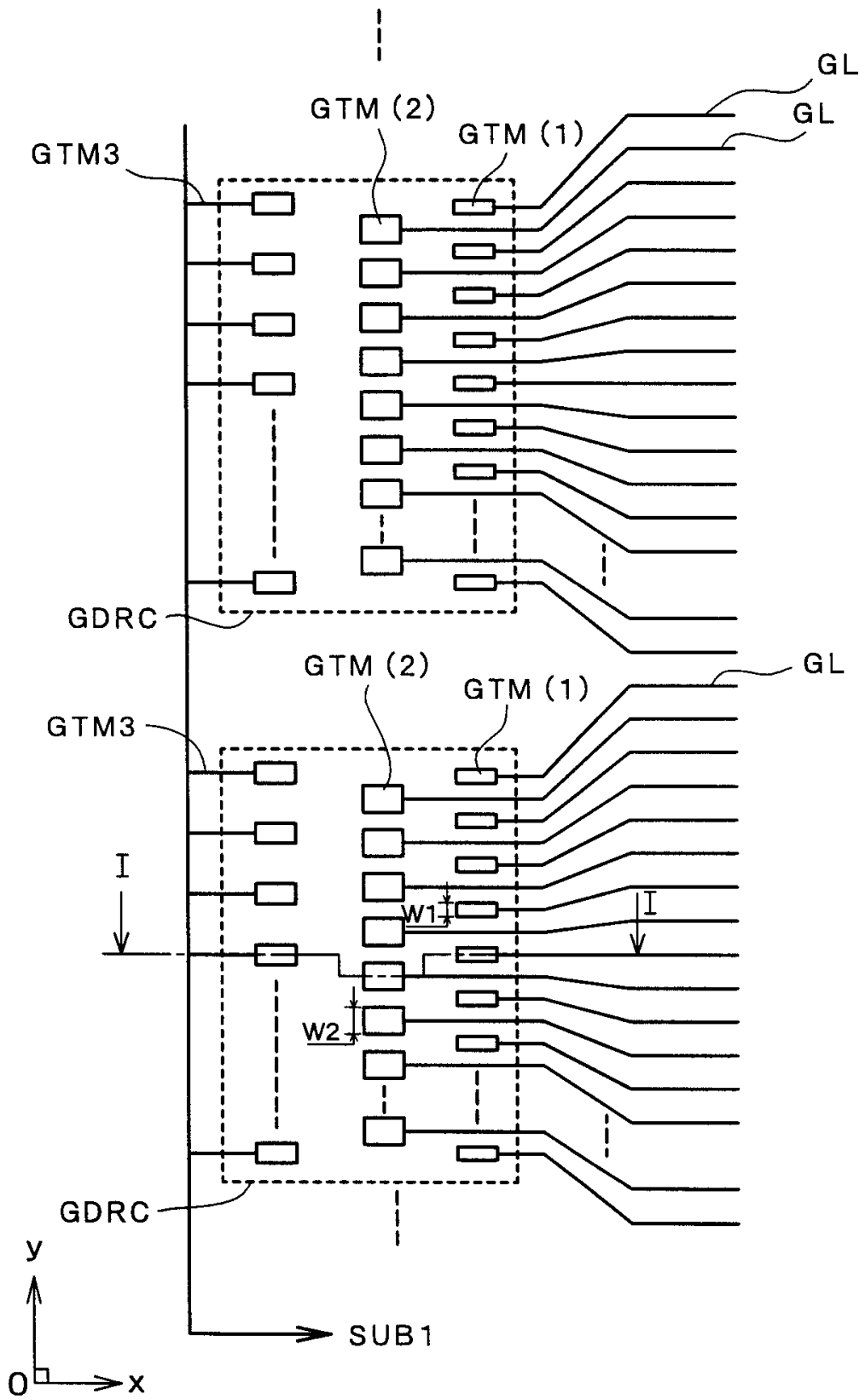


图 3A

GDRC

3

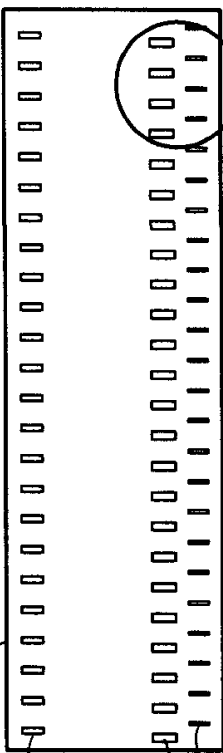


图 3B

GBP (2)

GBP (1)

块
(内排侧)
(接触面积Si)

块
(外排侧)
(接触面积So)

$$1.05S_o \geq S_i \geq 1.02S_o$$

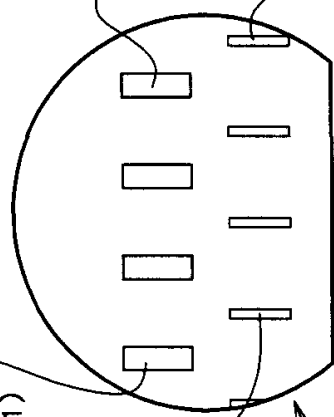
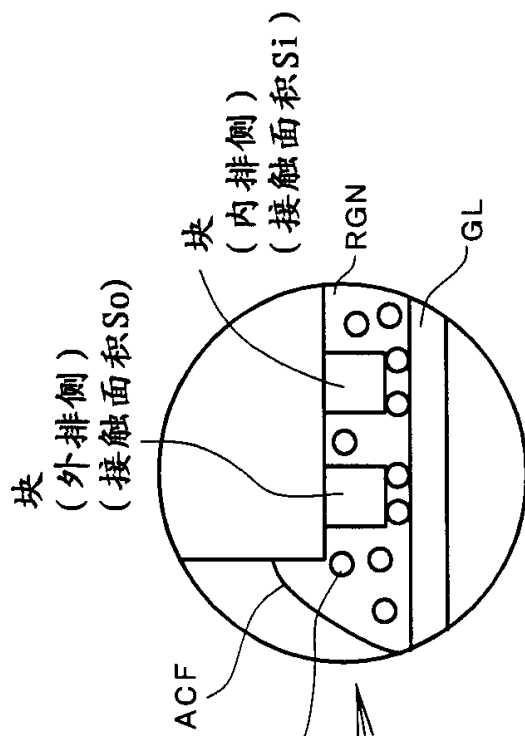


图 4B



$$1.05S_0 \geq S_i \geq 1.02S_0$$

图 4A

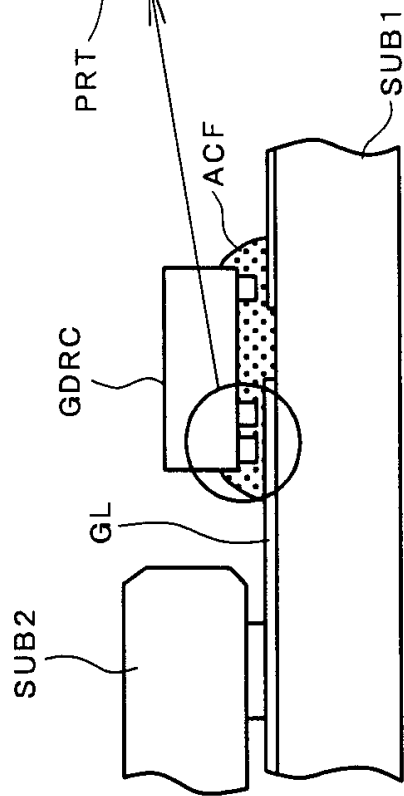


图 5A

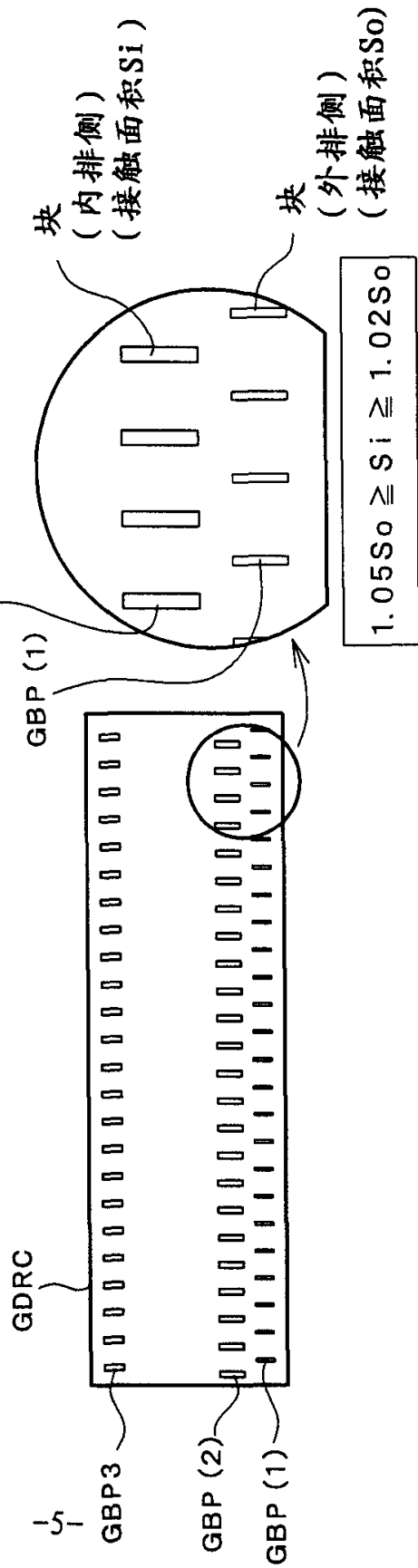


图 5B

图 6

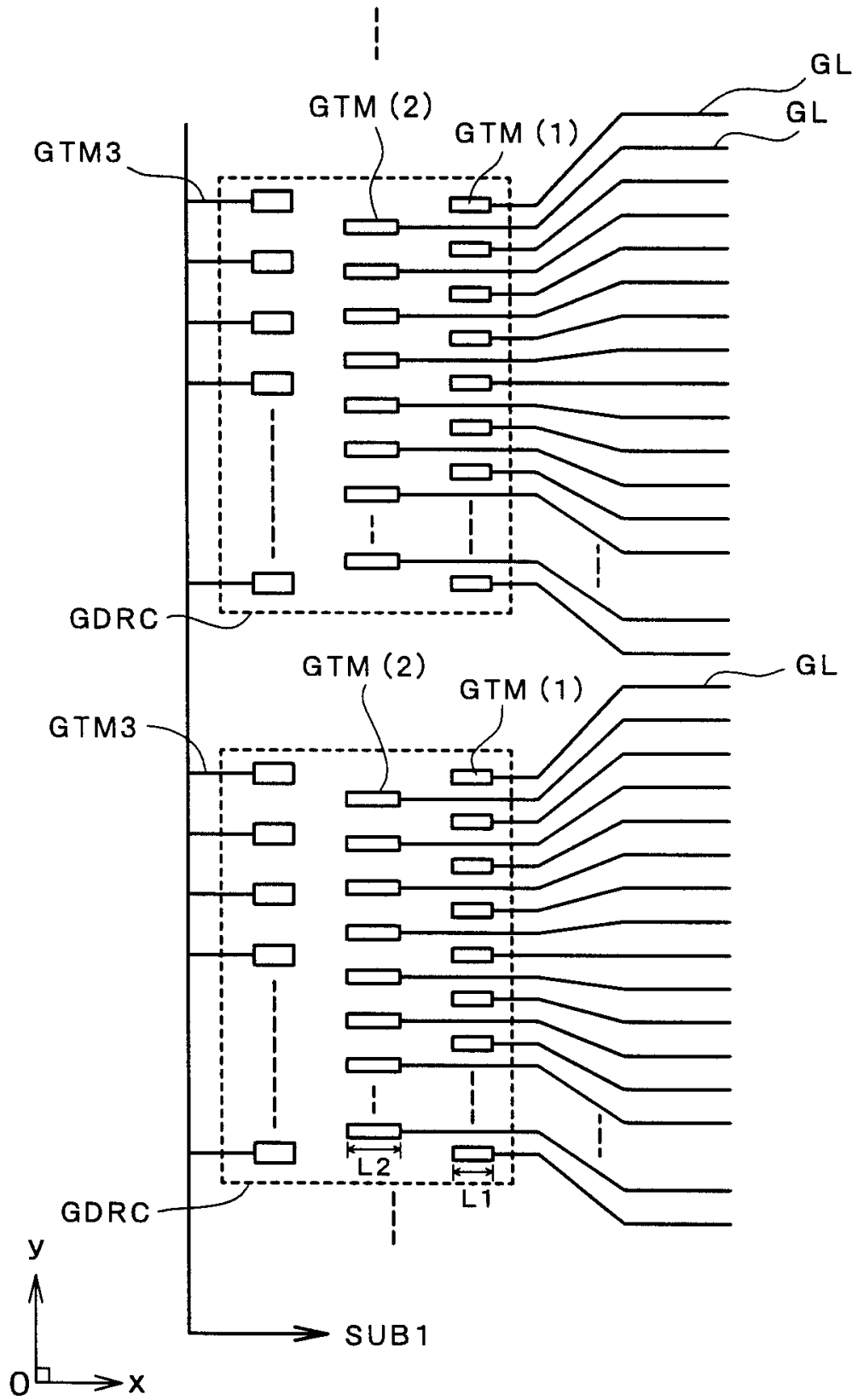
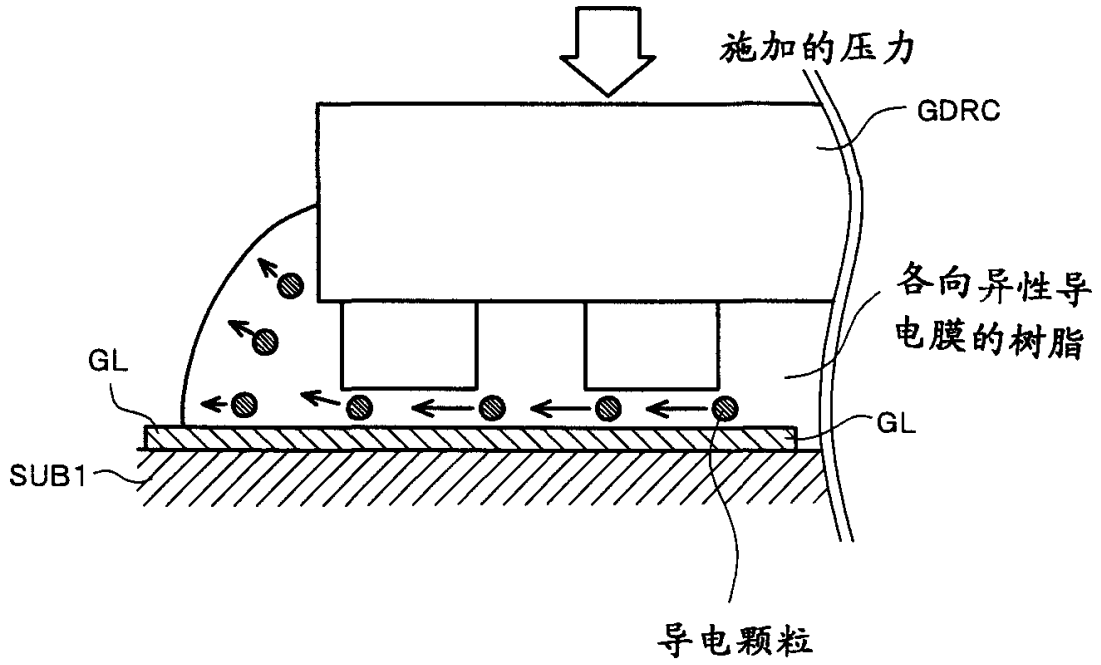


图 7



俘获在排列成双排的块下面的ACF颗粒数目
和通过最优化得到的面积分配结果

图8

ACF规格 (结合规格表达)	俘获在块下的ACF颗粒数目			通过最优化的面积改变			内、外排 之间的面 积差别
	内排列		比率	内排列		面积比	
	mi	外排列 mo	mo/mi	Si/S	So/S	So/Si	
树脂①-参考直径-低	7.72	8.08	104.7%	1.020	0.980	1.041	4.1%
树脂②-参考直径-参	8.34	8.65	103.7%	1.016	0.984	1.033	3.3%
树脂②-参考直径-参	9.91	10.25	103.4%	1.015	0.985	1.031	3.1%
树脂④-参考直径-参	11.37	11.95	105.1%	1.023	0.977	1.047	4.7%
树脂④-参考直径-参	11.13	11.68	104.9%	1.022	0.978	1.045	4.5%
树脂②-参考直径-高	13.39	13.69	102.2%	1.010	0.990	1.021	2.1%
树脂③-参考直径-高	13.56	13.86	102.2%	1.010	0.990	1.020	2.0%

图 9A

(现有技术)

图 9B

(现有技术)

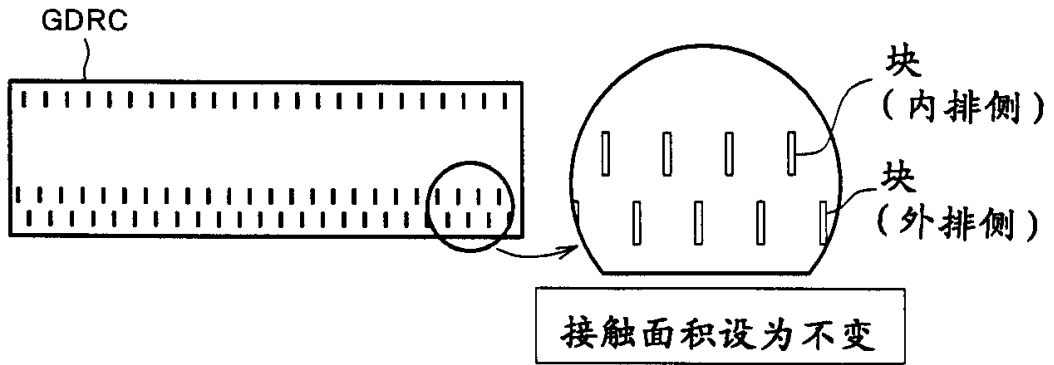


图 10

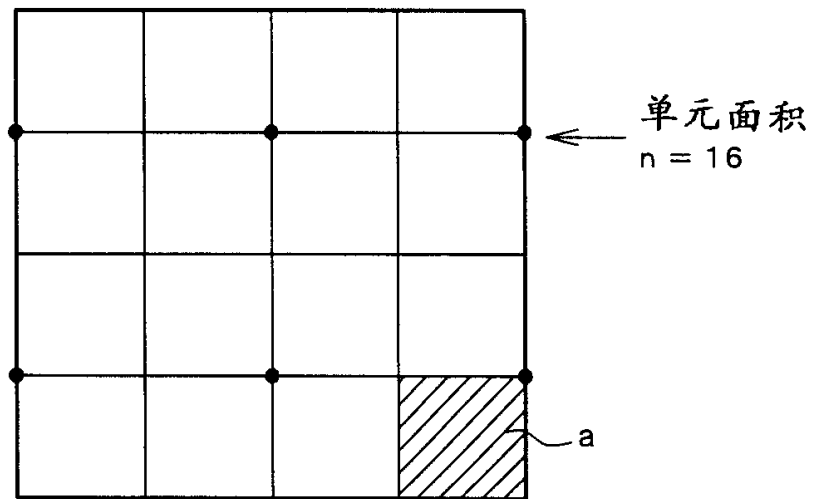
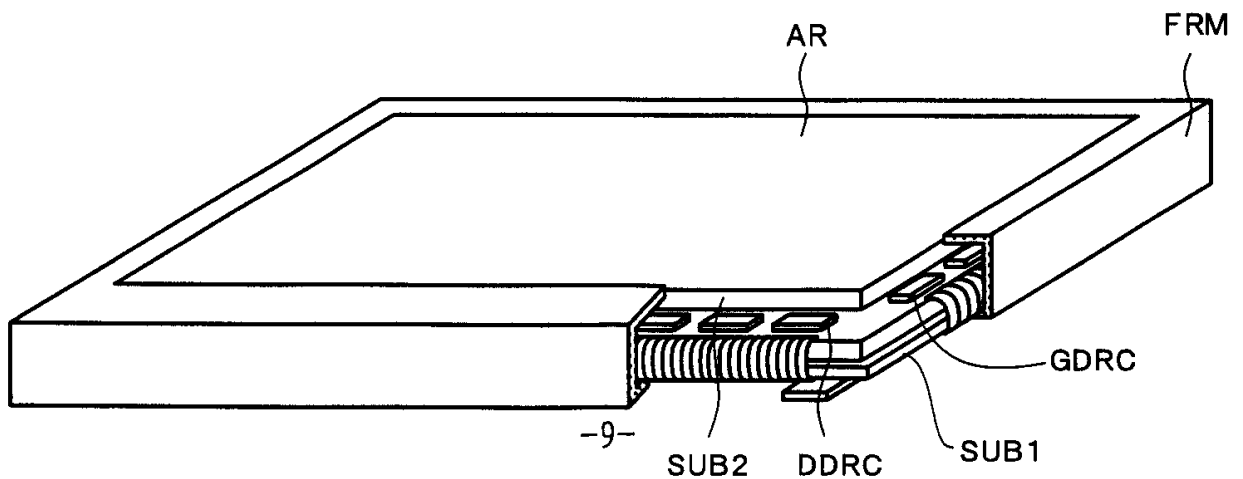


图 11



专利名称(译)	液晶显示器		
公开(公告)号	CN1361512A	公开(公告)日	2002-07-31
申请号	CN01144022.8	申请日	2001-12-25
[标]申请(专利权)人(译)	株式会社日立制作所 株式会社日立显示器		
申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
当前申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
[标]发明人	山手洋 竹中雄一		
发明人	山手洋 竹中雄一		
IPC分类号	G02F1/13 G02F1/1345 G02F1/1368 G09F9/00 H01L21/60 G09G3/36 G02F1/133 G02F11/33		
CPC分类号	G02F1/13452 H01L2224/73204 H01L2224/16225 G02F1/1345 H01L2224/32225 H01L2924/00014 H01L2924/00 H01L2224/0401		
代理人(译)	王永刚		
优先权	2000392324 2000-12-25 JP		
其他公开文献	CN1172285C		
外部链接	Espacenet SIPO		

摘要(译)

一液晶显示器装备有多条各个信号线和一半导体芯片。该半导体芯片的各个输出块通过一各向异性的导电层连到相应的各个信号线上。各个输出块包括一第一组输出块和一第二组输出块,第一组输出块排列在靠近信号线的一侧,第二组输出块排列在远离该信号线的一侧。以相对的方式面对该信号线的第二组输出块的各个输出块的面积,被设置成大于以相对的方式面对该信号线的第一组输出块的各个输出块的面积。由于这一结构,确保在该安装好的半导体集成电路和该信号线之间的可靠连接。

