



(12) 发明专利

(10) 授权公告号 CN 1982965 B

(45) 授权公告日 2012.02.01

(21) 申请号 200710008327.3

(22) 申请日 2001.08.08

(30) 优先权数据
240332/00 2000.08.08 JP

(62) 分案原申请数据
01124995.1 2001.08.08

(73) 专利权人 株式会社半导体能源研究所
地址 日本神奈川县厚木市

(72) 发明人 小山润

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 张志醒

(51) Int. Cl.
G02F 1/133(2006.01)
G09G 3/36(2006.01)
G09G 3/20(2006.01)

(56) 对比文件

US 4432610 A, 1984.02.21, 全文.
US 4752118 A, 1988.06.21, 全文.
US 5945972 A, 1999.08.31, 全文.
CN 1211782 A, 1999.03.24, 全文.
WO 0008626 A1, 2000.02.17, 全文.

审查员 史永良

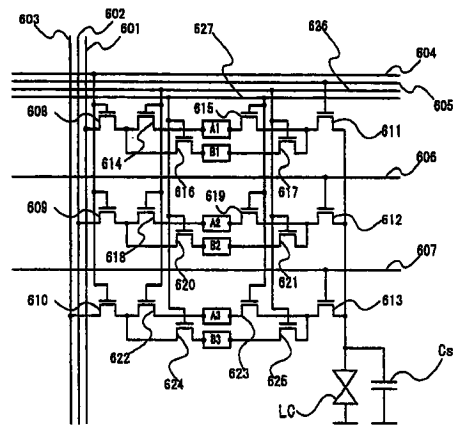
权利要求书 1 页 说明书 21 页 附图 20 页

(54) 发明名称

液晶显示装置及其驱动方法

(57) 摘要

本发明的目的之一是提供带有具有新电路结构的驱动电路和像素、能够有低功耗的液晶显示装置。在使用 n 位数字图像信号 (n 为整数) 显示图像的液晶显示装置中, 通过在每个像素中装入 n × m 个存储电路 (m 为整数), 它包括在像素中存储 m 帧数字图像信号的功能 (在实例的所示附图中, n = 3, m = 2, 3 位 × 2 帧被存储在存储电路 A1 至 A3 和 B1 至 B3 内)。因此, 在显示静止图像时, 通过重复读取暂时存储在存储电路中的数字图像信号并且在每帧中显示, 可以停止源信号线驱动电路在这段时间内的驱动, 以减小液晶显示装置的功耗。



1. 一种用于驱动有源矩阵液晶显示装置的方法,包括以下步骤:
在抽样周期,保持输入到锁存电路内的 n 位数字图像信号;
在 n 个写入周期的相应每一个周期,将所述 n 位数字图像信号的第一位到第 n 位储存在像素中;以及
在 n 个被划分的显示周期的相应每一个周期,将所述 n 位数字图像信号的所述第一位到第 n 位中的每一个输入到液晶元件中;
其中所述 n 个被划分的显示周期位于所述 n 个写入周期之后,
其中对于第 i 行的所述 n 个写入周期位于对于第 i 行的所述抽样周期之后,
其中,在静止图像的显示周期中,停止包括所述锁存电路的源信号线驱动器电路的驱动,以及
其中 n 和 i 是自然数。
2. 如权利要求 1 所述的用于驱动有源矩阵液晶显示装置的方法,
其中所述 n 位数字图像信号储存在所述像素中的静态存储器 (SRAM) 中。
3. 如权利要求 1 所述的用于驱动有源矩阵液晶显示装置的方法,
其中所述 n 位数字图像信号储存在所述像素中的铁电存储器 (FeRAM) 中。
4. 如权利要求 1 所述的用于驱动有源矩阵液晶显示装置的方法,
其中所述 n 位数字图像信号储存在所述像素中的动态存储器 (DRAM) 中。
5. 一种用于驱动有源矩阵液晶显示装置的方法,包括以下步骤:
在抽样周期,保持输入到锁存电路内的 n 位数字图像信号;
在写入周期,将所述 n 位数字图像信号的第一位到第 n 位储存在像素中;以及
在 n 个被划分的显示周期的相应一个周期,将所述 n 位数字图像信号的所述第一位到第 n 位中的每一个输入到液晶元件中;
其中所述 n 个被划分的显示周期位于所述写入周期之后,
其中对于第 i 行的所述写入周期位于对于第 i 行的所述抽样周期之后,
其中,在静止图像的显示周期中,停止包括所述锁存电路的源信号线驱动器电路的驱动,以及
其中 n 和 i 是自然数。
6. 如权利要求 5 所述的用于驱动有源矩阵液晶显示装置的方法,
其中所述 n 位数字图像信号储存在所述像素中的静态存储器 (SRAM) 中。
7. 如权利要求 5 所述的用于驱动有源矩阵液晶显示装置的方法,
其中所述 n 位数字图像信号储存在所述像素中的铁电存储器 (FeRAM) 中。
8. 如权利要求 5 所述的用于驱动有源矩阵液晶显示装置的方法,
其中所述 n 位数字图像信号储存在所述像素中的动态存储器 (DRAM) 中。

液晶显示装置及其驱动方法

技术领域

[0001] 本发明涉及半导体显示装置（以下称为显示装置）的驱动电路，以及设有该驱动电路的显示装置。更具体地说，本发明涉及具有在绝缘体上形成的薄膜晶体管的有源矩阵显示装置的驱动电路和设有这种驱动电路的有源矩阵显示装置。其中，本发明特别地涉及使用数字图像信号作为图像源的有源矩阵液晶显示装置的驱动电路和设有这种驱动电路的有源矩阵液晶显示装置。

背景技术

[0002] 近年来，以在绝缘体上尤其是在玻璃衬底上的半导体薄膜形成的显示装置，特别是设有薄膜晶体管（下文称为 TFT）的有源矩阵显示装置的发展是值得注意的。使用 TFT 的有源矩阵显示装置具有被安排成矩阵的几十万至几百万个 TFT，并且通过控制每个像素的电场来完成图像显示。

[0003] 而且，近年来，在像素 TFT 构成像素之外同时在像素部分的外围使用 TFT 形成驱动电路的有关多晶硅 TFT 的技术正在发展。此项技术极大地促进了器件的小型化和低功耗，另外，液晶显示装置正成为对于近年来具有明显增大的使用领域的移动装置的显示部分等不可缺少的器件。

[0004] 在图 13 中表示出普通数字方式液晶显示装置的原理图。在中心安排像素部分 1308。在像素部分的上边是用于控制源信号线的源信号线驱动电路 1301。源信号线驱动电路 1301 包括第一锁存电路 1304、第二锁存电路 1305、D/A（数/模）转换电路 1306、模拟开关 1307 等。在像素部分的右边和左边安排了用于控制选通信号线的选通信号线驱动电路 1302。注意，在图 13 中，把选通信号线驱动电路 1302 安排在像素部分的左右两边，但是也可将其仅安排在一边。但是，从驱动效率和驱动可靠性的观点来看，最好将其安排在像素部分的两边。

[0005] 源信号线驱动电路 1301 具有如图 14 中所示结构。作为示例表示在图 14 中的驱动电路是对应于 1024 个像素的水平分辨率的显示和 3 位数字色调的源信号线驱动电路，并且包括移位寄存器电路（SR）1401、第一锁存电路（LAT1）1402、第二锁存电路（LAT2）1403、D/A 转换电路（D/A）1404 等。注意，尽管在图 4 中未示出，但是若有必要，可安排缓冲电路、电平移动电路等。

[0006] 现参照图 13 和 14 简要地描述操作。首先，把时钟信号（S-CLK, S-CLKb）和启动脉冲（S-SP）输入移位寄存器电路 1303（在图 14 中表示为 SR），且顺序地输出抽样脉冲。随后，把抽样脉冲输入第一锁存电路 1304（在图 14 中表示为 LAT1），并且把也输入第一锁存电路 1304 的数字图像信号（数字数据）分别保持。把这段时间称为象点数据抽样周期。这里，D1 是最高有效位（MSB；最高有效位）而 D3 是最低有效位（LSB；最低有效位）。在第一锁存电路 1304 中，当完成一个水平周期的数字图像信号的保存时，根据在回扫周期中锁存信号的输入，立即把保持在第一锁存电路 1304 中的数字图像信号全部转移到第二锁存电路 1305（在图 14 中表示为 LAT2）。把数字图像信号从第一锁存电路转移到第二锁存电路的

周期称为行数据锁存周期。

[0007] 此后,移位寄存器电路 1303 又工作并且开始下一个水平周期的数字图像信号的存储。同时,把存储在第二锁存电路 1305 中的数字图像信号通过 D/A 转换电路 1306 (在图 14 中表示为 DAC) 转换成模拟图像信号。把这个已变为模拟的数字图像信号通过源信号线写入像素。通过重复这个操作来完成像素的显示。

[0008] 在典型的有源矩阵液晶显示装置中,为了平滑地显示动态图像,图像显示的刷新每秒执行大约 60 次。即,把数字图像信号提供给每一帧,并且每次需要将其写入像素。即使图像为静止图像,也不得不向每一帧提供同样信号,因此,驱动电路必须连续地重复同样数字图像信号的处理。

[0009] 有一种方法,即暂时把静止图像的数字图像信号写入外部存储电路,然后在每一帧把数字图像信号从外部存储电路供给液晶显示装置,但是在任何情况下,外部存储电路和驱动电路都需要持续地工作。

[0010] 特别是在移动设备中,极为需要低功耗。另外,尽管大多在静止图像方式下使用移动设备,如上所述,由于当显示静止图像时驱动电路持续工作,所以妨碍了低功耗的实现。

发明内容

[0011] 考虑到上述问题,本发明的一个目的是,通过使用新电路减小显示静止图像时驱动电路的功耗。

[0012] 为了解决上述问题,本发明使用如下装置。

[0013] 在像素中安排多个存储电路(记忆电路),并且对每个像素存储数字图像信号。在静止图像的情况下,一旦执行写入,此后写入至像素的信息全部相同,因此,可通过从存储电路中读出存储的信号来连续地显示静止图像而无须输入每帧的信号。即,当显示静止图像时,在完成至少一帧的信号的处理操作之后,停止源信号线驱动电路,而且还极大地减小功耗变为可能。

[0014] 下面,描述本发明的液晶显示装置的结构。

[0015] 按照本发明的第一方面,一种具有多个像素的液晶显示装置,其中所述多个像素分别包括:

[0016] 多个存储电路;

[0017] 多个写入选择晶体管,每个各与所述多个存储电路中相应一个电路电连接;

[0018] 多个读出选择晶体管,每个各与所述多个存储电路中相应一个电路电连接;

[0019] 多条存储电路选择信号线,每个各与所述多个写入选择晶体管中相应一个电连接,并与所述多个读出选择晶体管相应一个电连接;

[0020] 写入晶体管,与所述多个写入选择晶体管电连接;

[0021] 读出晶体管,与所述多个读出选择晶体管电连接;以及

[0022] 液晶元件,与所述读出晶体管电连接。

[0023] 按照本发明的第二方面,一种具有多个像素的液晶显示装置,其中所述多个像素分别包括:

[0024] 用来存储 n 位数字图像信号的 m 帧的 $n \times m$ 个存储电路;

[0025] n 个写入存储电路选择器,其中每个都与所述 $n \times m$ 个存储电路中的一个电连接;

- [0026] n 个读出存储电路选择器,其中每个都与所述 $n \times m$ 个存储电路中的一个电连接;
- [0027] n 个写入晶体管,其中每个都与所述 n 个写入存储电路选择器中相应一个电连接;
- [0028] n 个读出晶体管,其中每个都与所述 n 个读出存储电路选择器中相应一个电连接;
- [0029] 一个液晶元件,与所述 n 个读出晶体管电连接,
- [0030] 其中 m 是一整数,且 $1 \leq m$,
- [0031] 其中 n 是一整数,且 $2 \leq n$,
- [0032] 其中所述 n 个读出晶体管中的每一个都控制 m 个存储电路的读出,和
- [0033] 其中所述 n 个写入晶体管中的每一个都控制 m 个存储电路的写入。
- [0034] 按照本发明的第三方面,一种具有多个像素的液晶显示装置,所述多个像素中的每个都包括:
- [0035] 源信号线;
- [0036] n 个写入选通信号线;
- [0037] n 个读出选通信号线;
- [0038] n 个写入晶体管,该 n 个写入晶体管的栅极分别电连接到不同的 n 个写入选通信号线的任何一个上;
- [0039] n 个读出晶体管,该 n 个读出晶体管的栅极分别电连接至不同的 n 个读出选通信号线的任何一个上;
- [0040] 用于存储 n 位数字图像信号的 m 帧的 $n \times m$ 个存储电路;
- [0041] n 个写入存储电路选择部分;
- [0042] 分别具有 m 个信号输出部分的 n 个读出存储电路选择部分;以及
- [0043] 液晶元件,
- [0044] 其中 n 是一整数,且 $2 \leq n$,
- [0045] 其中 m 是一整数,且 $1 \leq m$,
- [0046] 其中所述 n 个写入晶体管的源区和漏区中的一个电连接到源信号线,而另一个电连接到所述 n 个写入存储电路选择部分的不同信号输入部分的任何一个;
- [0047] 其中所述 m 个信号输出部分分别电连接到不同的 m 个存储电路的信号输入部分;
- [0048] 其中所述 m 个信号输出部分分别电连接到不同的 m 个存储电路的信号输出部分;
- 并且
- [0049] 其中所述 n 个读出晶体管的所述源区和所述漏区中的一个电连接到所述 n 个读出存储电路选择部分的不同信号输出部分的任何一个,而另一个电连接到所述液晶元件的一个电极上。
- [0050] 按照本发明的第四方面,一种具有多个像素的液晶显示装置,所述多个像素中的每个包括:
- [0051] n 个源信号线;
- [0052] 写入选通信号线;
- [0053] n 个读出选通信号线;
- [0054] n 个写入晶体管;
- [0055] n 个读出晶体管;
- [0056] 用于存储 n 位数字图像信号的 m 帧的 $n \times m$ 个存储电路;

- [0057] n 个写入存储电路选择部分；
- [0058] n 个读出存储电路选择部分；以及
- [0059] 液晶元件，
- [0060] 其中 n 是一整数，且 $2 \leq n$ ，
- [0061] 其中 m 是一整数，且 $1 \leq m$ ，
- [0062] 其中 n 个写入晶体管的栅极分别电连接到所述写入选通信号线，源和漏区中的一个电连接到不同的 n 个源信号线不同信号输入部分中的任何一个；
- [0063] 其中所述 n 个写入存储电路选择部分分别具有 m 个信号输出部分，并且所述 m 个信号输出部分分别电连接至不同的 m 个存储电路的信号输入部分；
- [0064] 其中所述 n 个读出存储电路选择部分分别具有 m 个信号输入部分，并且所述 m 个信号输入部分分别电连接至不同的 m 个存储电路的所述信号输出部分；以及
- [0065] 其中所述 n 个读出晶体管的栅极分别电连接至不同的 n 个读出选通信号线的任何一个，所述源区和所述漏区中的一个电连接到所述 n 个读出存储电路选择部分的不同信号输出部分的任何一个上，并且另一个电连接到所述液晶元件的一个电极上。
- [0066] 按照本发明的第五方面，在本发明的第三或第四方面的任何一个中，液晶显示装置的特征在于：
- [0067] 写入存储电路选择部分选择 m 个存储电路中的任何一个，并且变成与写入晶体管的源区或漏区中的一个连接，由此把数字图像信号写入存储电路；以及
- [0068] 读出存储电路选择部分选择存储数字图像信号的存储电路中的任何一个，并且变成与读出晶体管的源区或漏区中的一个连接，由此读出所存储的数字图像。
- [0069] 按照本发明的第六方面，在本发明的第三方面中，所述液晶显示装置的特征在于：
- [0070] 按照时钟信号和启动脉冲顺序地输出抽样脉冲的移位寄存器；
- [0071] 按照抽样脉冲保存 n 位数字图像信号 (n 是整数, 2n) 的第一锁存电路；
- [0072] 把保存在第一锁存电路中的 n 位数字图像信号转移到其中的第二锁存电路；
- [0073] 按每一位依次选择转移到第二锁存电路的 n 位数字图像信号，然后输出到源信号线的位信号选择开关。
- [0074] 按照本发明的第七方面，在本发明的第四方面中，液晶显示装置的特征在于包括：
- [0075] 按照时钟信号和启动脉冲顺序地输出抽样脉冲的移位寄存器；
- [0076] 按照抽样脉冲从 n 位数字图像信号 (n 是整数, 2n) 之中保存 1 位数字图像信号的第一锁存电路；和
- [0077] 把保存在第一锁存电路中的 1 位数字图像信号转移到其中，并且把 1 位数字图像信号输出到源信号线的第二锁存电路。
- [0078] 按照本发明的第八方面，在本发明的第四方面中，液晶显示装置的特征在于包括：
- [0079] 按照时钟信号和启动脉冲顺序地输出抽样脉冲的移位寄存器；知
- [0080] 按照抽样脉冲从 n 位数字图像信号 (n 是整数, 2n) 之中保存 1 位数字图像信号并且把 1 位数字图像信号输出到源信号线的第一锁存电路。

[0081] 按照本发明的第九方面,在本发明的第一至第八方面的任何一个中,液晶显示装置的特征在于存储电路是静态存储器(SRAM)。

[0082] 按照本发明的第十方面,在本发明的第一至第八方面的任何一个中,液晶显示装置的特征在于存储电路是铁电存储器(FeRAM)。

[0083] 按照本发明的第十一方面,在本发明的第一至第八方面的任何一个中,液晶显示装置的特征在于存储电路是动态存储器(DRAM)。

[0084] 按照本发明的第十二方面,在本发明的第一至第八方面的任何一个中,液晶显示装置的特征在于存储电路形成于玻璃衬底上。

[0085] 按照本发明的第十三方面,在本发明的第一至第八方面的任何一个中,液晶显示装置的特征在于存储电路形成于塑料衬底上。

[0086] 按照本发明的第十四方面,在本发明的第一至第八方面的任何一个中,液晶显示装置的特征在于存储电路形成于不锈钢衬底上。

[0087] 按照本发明的第十五方面,在本发明的第一至第八方面的任何一个中,液晶显示装置的特征在于存储电路形成于单晶片衬底上。

[0088] 按照本发明的第十六方面,一种以 n 位数字图像信号驱动液晶显示装置显示图像的方法,其中所述液晶显示装置包括含有移位寄存器和锁存电路的源信号线驱动电路、选通信号线驱动电路和多个像素,该方法包括:

[0089] 在所述源信号线驱动电路中,从所述移位寄存器输出抽样脉冲并且将其输入到所述锁存电路,

[0090] 在所述锁存电路中,按照所述抽样脉冲保存所述数字图像信号,并且把所保存的数字图像信号写入源信号线,

[0091] 在所述选通信号线驱动电路中,输出选通信号线选择脉冲以选择选通信号线,以及

[0092] 在多个像素中,在选择所述选通信号线的行中,执行把从所述源信号线输入的 n 位数字图像信号写入到一个存储电路中,并且读出存储在所述存储电路中的所述 n 位数字图像信号,

[0093] 其中 n 是一整数,且 $2 \leq n$ 。

[0094] 按照本发明的第十七方面,一种以 n 位数字图像信号驱动液晶显示装置显示图像的方法,其中所述液晶显示装置包括含有移位寄存器的源信号线驱动电路、锁存电路、选通信号线驱动电路,以及多个像素,该方法包括:

[0095] 在所述源信号线驱动电路中,从移位寄存器输出抽样脉冲并且将其输入所述锁存电路,

[0096] 在所述锁存电路中,按照所述抽样脉冲保存所述数字图像信号,并且把所保存的数字图像信号写入源信号线,

[0097] 在所述选通信号线驱动电路中,输出选通信号线选择脉冲并且从第一行连续地选择选通信号线,以及

[0098] 在所述多个像素中,执行从所述第一行顺序地写入 n 位数字图像信号,

[0099] 其中 n 是一整数,且 $2 \leq n$ 。

[0100] 按照本发明的第十八方面,一种以 n 位数字图像信号驱动液晶显示装置显示图像

的方法,其中所述液晶显示装置包括含有移位寄存器的源信号线驱动电路、锁存电路、选通信号线驱动电路,以及多个像素,该方法包括:

[0101] 在所述源信号线驱动电路中,从移位寄存器输出抽样脉冲并且将其输入所述锁存电路,

[0102] 在所述锁存电路中,按照所述抽样脉冲保存所述数字图像信号,并且把所保存的数字图像信号写入源信号线,

[0103] 在所述选通信号线驱动电路中,通过指定所述选通信号线的任意一行输出选通信号线选择脉冲,以及

[0104] 在所述多个像素中,在选择了所述选通信号线的任意一行中执行所述 n 位数字图像信号的写入,

[0105] 其中 n 是一整数,且 $2 \leq n$ 。

[0106] 按照本发明的第十九方面,在本发明的第十六至十八方面的任何一个中,驱动液晶显示装置的方法的特征在于,在静止图像的显示周期中,通过重复读取存储在存储电路中的 n 位数字图像信号来显示静止图像,停止源信号线驱动电路的工作。

附图说明

[0107] 在附图中:

[0108] 图 1 表示内部具有多个存储电路的本发明的像素的电路图;

[0109] 图 2 表示把本发明中的像素用于执行显示的源信号线驱动电路的电路结构实例的示意图;

[0110] 图 3A 至 3C 是表示把本发明中的像素用于执行显示的时间图的示意图;

[0111] 图 4A 至 4B 表示内部带有多个存储电路的本发明的像素的详细电路图。

[0112] 图 5 是表示没有第二锁存电路的源信号线驱动电路的电路结构的实例的示意图;

[0113] 图 6 是由图 5 中的源信号线驱动电路驱动的像素的详细电路图;

[0114] 图 7A 至 7C 是表示用于使用图 5 和 6 中描述的电路执行显示的时间图的示意图;

[0115] 图 8 是当在存储电路中使用动态存储器时本发明的像素的详细电路图;

[0116] 图 9A 和 9B 是表示具有本发明中的像素的液晶显示装置的制造步骤的实例的示意图;

[0117] 图 10A 至 10C 是表示具有本发明的像素的液晶显示装置的制造步骤的实例的示意图;

[0118] 图 11A 至 11C 是表示具有本发明的像素的液晶显示装置的制造步骤的实例的示意图;

[0119] 图 12A 至 12B 是表示具有本发明的像素的液晶显示装置的制造步骤的实例的示意图;

[0120] 图 13 是简单表示液晶显示装置的整个电路结构的示意图;

[0121] 图 14 是表示常规液晶显示装置的源信号线驱动电路的电路结构实例的示意图;

[0122] 图 15A 至 15F 是表示适用于具有本发明的像素的显示装置的电气装置的实例的示意图;

[0123] 图 16A 至 16D 是表示适用于具有本发明的像素的显示装置的电气装置的实例的示

意图；

[0124] 图 17 是表示没有第二锁存电路的源信号线驱动电路的电路结构实例的示意图；

[0125] 图 18A 至 18C 是表示用于使用图 17 中描述的电路执行显示的时间图的示意图；

[0126] 图 19A 至 19B 是表示反射型液晶显示装置的制造步骤的实例的示意图；以及

[0127] 图 20 是由图 5 中源信号线驱动电路驱动的像素的电路图。

具体实施方式

[0128] 图 2 表示使用具有多个存储电路（记忆电路）的像素的显示装置的源信号线驱动电路和像素部分的结构。这个电路对应于 3 位数字灰度信号，并且包括移位寄存器电路 201、第一锁存电路 202、第二锁存电路 203、位信号选择开关 204 和像素 205。标号 210 是直接来自选通信号线驱动电路或从外部提供的选通信号线，以选通信号线选择信号输入选通信号线。稍后将与像素的说明一起来描述这点。

[0129] 图 1 详细地表示图 2 中像素 205 的结构。这个像素对应于 3 位数字灰度，并且包括液晶元件 (LC)、存储电容器 (Cs)、存储电路 (A1 至 A3 和 B1 至 B3) 等。标号 101 表示源信号线、标号 102 至 104 表示写入选通信号线，标号 105 至 107 表示读出选通信号线，标号 108 至 110 表示写入 TFT，标号 111 至 113 表示读出 TFT，标号 114 表示写入存储电路选择部分，标号 115 表示第一读出存储电路选择部分，标号 116 表示写入存储电路选择部分，标号 117 表示第二读出存储电路选择部分，标号 118 表示第三写入存储电路选择部分，而标号 119 表示第三读出存储电路选择部分。

[0130] 图 1 中所示像素的存储电路 (A1 至 A3 和 B1 至 B3) 可分别存储 1 位数字图像信号。这里，A1 至 A3 用作一组，而 B1 至 B3 用作一组，并且分别执行 3 位的数字图像信号的存储。也就是说，图 1 中所示像素可存储用于两帧的 3 位数字图像信号。

[0131] 图 3 表示图 1 中所示本发明的显示装置的时间图。这个显示装置是为 3 位数字灰度和 VGA 设计的。现参照图 1 至 3 说明驱动的方法。注意，同样使用图 1 至图 3 中所用的标号（省略图的号码）。

[0132] 现参考图 2 以及图 3A 和 3B。以 α 、 β 、 γ 和 δ 表示每一帧周期并对其说明。首先，说明在帧周期 α 中电路的工作。

[0133] 类似于数字驱动电路的常规情况，把时钟信号 (S-CLK, S-CLKb) 和启动脉冲 (S-SP) 输入移位寄存器电路 201，并且顺序地输出抽样脉冲。随后，把抽样脉冲输入第一锁存电路 202 (LAT1)，并且把同样输入第一锁存电路 202 的数字图像信号（数字数据）分别保存。用于一个水平周期的象点数据抽样周期是图 3A 中表示成 1 至 480 的各个周期。数字图像信号是 3 位的，并且 D1 是 MSB（最高有效位）而 D3 是 LSB（最低有效位）。当在第一锁存电路 202 中完成保存一个水平周期的数字图像信号时，在回扫周期中，按照锁存信号（锁存脉冲）的输入，把保存在第一锁存电路 202 中的数字图像信号立即转移到第二锁存电路 203 (LAT2)。

[0134] 随后，再按照从移位寄存器电路 201 输出的抽样脉冲，执行用于第二水平周期的保存操作。

[0135] 另一方面，把转移至第二锁存电路 203 的数字图像信号写入安排在像素中的存储电路。如图 3B 中所示，把下一行的象点数据抽样周期分成 I、II 和 III 三个，并且把保存在

第二锁存电路中的数字图像信号输出至源信号线。此时,通过位信号选择开关 204 选择性地连接每位的信号,依次输出到源信号线。

[0136] 在周期 I 中,在写入选通信号线 102 输入脉冲,写入 TFT108 变得导通,存储电路选择部分 114 选择存储电路 A1,并且把数字图像信号写入存储电路 A1。随后,在周期 II 中,向写入选通信号线 103 输入脉冲,写入 TFT109 变得导通,写入存储电路选择部分 116 选择存储电路 A2,并且把数字图像信号写入存储电路 A2。最后,在周期 III 中,向写入选通信号线 104 输入脉冲,写入 TFT110 变得导通,存储电路选择部分 118 选择存储电路 A3,并且把数字图像信号写入存储电路 A3。

[0137] 由此,完成了对一个水平周期的数字图像信号的处理。图 3B 中周期是在图 3A 中以 * 表示的周期。通过执行上述操作直至最后阶段,把一帧的数字图像信号写入存储电路 A。

[0138] 另外,本发明的显示装置通过时间灰度方法表现 3 位数字灰度。时间灰度方法,与由加在像素上的电压进行亮度控制的普通方法不同,它通过在像素上仅加两种电压使用亮和灭(显示为白和黑)两个状态利用显示时间差异来获得灰度。当在时间灰度方法中进行 n 位灰度显示时,显示周期被分成 n 个周期,并且每个周期长度的比率为 2 的幂如 $2^{n-1} : 2^{n-2} : \dots : 2^0$,并且通过确定在哪个周期中点亮像素产生显示周期长度的差异。由此,执行灰度的显示。注意,这里像素点亮的状态是施加电压时的状态,并且像素熄灭的状态是未加电压时的状态。下文中,把这种状态表示成亮和灭。

[0139] 另外,通过在不同于显示周期长度是 2 的幂的分隔中的灰度显示,显示是可能的。

[0140] 考虑到上述原因,说明在帧周期 β 中的操作。当完成在最后阶段向存储电路的写入时,执行第一帧的显示。图 3C 是说明 3 位时间灰度方法的示意图。目前,数字图像信号存储在每一位所用的存储电路 A1 至 A3 中。 T_{s1} 是第一位数据的显示周期, T_{s2} 是第二位数据的显示周期,而 T_{s3} 是第三位数据的显示周期。每个显示周期的长度是 $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ 。

[0141] 由于这里是三位,亮度可具有 0 至 7 这八个等级。如果在周期 T_{s1} 至 T_{s3} 的任何一个中均未执行显示,亮度为 0,而如果用所有周期执行显示,亮度为 7。例如,如果要显示亮度 5,应该以像素在周期 T_{s1} 和 T_{s3} 为亮状态来执行显示。

[0142] 现在特别地参照附图来进行说明。在 T_{s1} 中,向读出选通信号线 105 输入脉冲,读出 TFT111 变为导通,存储电路选择部分 115 选择存储电路 A1,并且按照存储在存储电路 A1 中的数字图像信号驱动像素。随后,在 T_{s2} 中,向读出选通信号线 106 输入脉冲,读出 TFT112 变为导通,存储电路选择部分 117 选择存储电路 A2,并且按照存储在存储电路 A2 中的数字图像信号驱动像素。最后,在 T_{s3} 中,向读出选通信号线 107 输入脉冲,读出 TFT113 变为导通,存储电路选择部分 119 选择存储电路 A3,并且按照存储在存储电路 A3 中的数字图像信号把电压加在像素上。

[0143] 这里,在液晶显示装置的情况下,有正常白方式和正常黑方式。在两种方式下,由于白和黑在像素的亮和灭状态上变为相反的,可能有亮度变成与上述说明的相反的情况。

[0144] 以这种方式,执行一个帧周期的显示。另一方面,在驱动电路一侧,同时执行对下一帧周期的数字图像信号的处理。如上所述进行同样的过程直至数字图像信号转移至第二锁存电路。在下一个到存储电路的写入周期中,使用与在前面的帧周期中存储数字图像信

号的存储电路不同的存储电路。

[0145] 在周期 I 中,在写入选通信号线 102 输入脉冲,写入 TFT108 变得导通,存储电路选择部分 114 选择存储电路 B1,并且把数字图像信号写入存储电路 B1。随后,在周期 II 中,在写入选通信号线 103 输入脉冲,写入 TFT109 变得导通,存储电路选择部分 116 选择存储电路 B2,并且向存储电路 B2 写入数字图像信号。最后,在周期 III 中,在写入选通信号线 104 输入脉冲,写入 TFT110 变得导通,存储电路选择部分 118 选择存储电路 B3,并且把数字图像信号写入存储电路 B3。

[0146] 随后,在帧周期 γ 中,按照存储在存储电路 B1 至 B3 中的数字图像信号执行第二帧的显示。同时,开始下一帧周期的数字图像信号的处理。把这个数字图像信号再次存入完成了第一帧显示的存储电路 A1 至 A3。

[0147] 此后,在帧周期 δ 中执行存储在存储电路 A1 至 A3 中的数字图像信号的显示,并且同时开始下一帧周期中的数字图像信号的处理。再次把此数字图像信号存储到完成第二帧的显示的存储电路 B1 至 B3 中。

[0148] 重复上述操作以连续地执行图像的显示。这里,在显示静止图像的情况下,当在第一次操作中在存储电路 A1 至 A3 中存储了一次数字图像信号时,在每个帧周期中可以循环地读取存储在存储电路 A1 至 A3 中的数字图像信号。因此,在显示静止图像的周期中,可以停止源信号线驱动电路的驱动。

[0149] 另外,可以对每个选通信号线执行向存储电路的数字图像信号的写入或从存储电路的数字图像信号的读出。也就是说,仅在需要重写屏幕的行中,可以执行诸如选择选通信号线、仅在短的时间段内操作源信号线驱动电路,以及仅重写一部分屏幕的显示方法。

[0150] 另外,在这个实施例方式中,一个像素包括存储电路 A1 至 A3 和 B1 至 B3,并且具有存储两帧的 3 位数字图像信号的功能,但是本发明不限于这个数量。也就是说,要存储 m 帧的 n 位数字图像信号,一个像素可包括 $n \times m$ 个存储电路。

[0151] 在上述方法中,通过使用安装在像素中的存储电路执行数字图像信号的存储,当显示静止图像时,在每一帧周期中重复使用存储在存储电路中的数字图像信号,则可以连续地执行静止图像显示而不必驱动源信号线驱动电路。由此极大地促进了液晶显示装置的低功耗。

[0152] 另外,关于源信号线驱动电路,从安排按照位数而增加的锁存电路等的问题的观点来看,源信号线驱动电路不必整个形成于绝缘体上,而是可以在外部构造其部分或者其全部。

[0153] 而且,在这个实施例方式中表示的源信号线驱动电路按照位数安排锁存电路,但是有可能通过仅为 1 位安排锁存电路来工作。在这种情况下,可以向锁存电路串行输入从最高有效位至最低有效位的数字图像信号。

[0154] 下面,将描述本发明的实施例。

[0155] [实施例 1]

[0156] 在这个实施例中,在用于实施本发明的方式中描述的电路中,特别地通过使用晶体管等来构造存储电路选择部分,现将描述工作原理。

[0157] 图 4A 表示类似于图 1 中所示像素的实例,并且实际上由电路构成存储电路选择部分 114 至 119。在图中,关于给各个部分的标号,给与图 1 中相同的部分以与图 1 中相同的

标号。在存储电路 A1 至 A3 和 B1 至 B3 中,设置了写入选择 TFT401、403、405、407、409 和 411,和读出选择 TFT402、404、406、408、410 和 412,并且由存储电路选择信号线 413 和 414 来控制。

[0158] 图 4B 表示存储电路的实例。由虚线框 450 表示的部分是存储电路(在图 4A 中由 A1 至 A3 和 B1 至 B3 表示的部分)。标号 451 表示写入选择 TFT;452 表示读出选择 TFT。在这里所示的存储电路中,尽管使用由连接成环路的两个反向器构成的静态存储器(静态 RAM:SRAM),但存储电路不限于这种结构。这里,在把 SRAM 用于存储电路的情况下,可把像素做成具有不包括存储电容器(Cs)的结构。

[0159] 在这个实施例中,可在实施本发明的方式下按照图 3A 至 3C 中所示时间图做出图 4A 中所示电路的驱动。下面将参照图 3A 至 3C 和图 4A 描述电路工作、连同存储电路选择部分的实际驱动方法。另外,照原样使用图 3A 至 3C 和图 4A 中各个数字(省略图号)。

[0160] 现在参考图 3A 和 3B。在图 3A 中,用 α 、 β 、 γ 和 δ 表示各个帧周期并将给出说明。首先,将描述在帧周期 α 中的电路工作。

[0161] 由于从移位寄存器至第二锁存电路的驱动方法与在实施本发明的方式中表示的相同,本方法也与之相符。

[0162] 首先,把脉冲输入存储电路选择信号线 413,写入选择 TFT401、405 和 409 导通,并且获得允许写入存储电路 A1 至 A3 的状态。在周期 I 中,把脉冲输入写入选通信号线 102, TFT108 导通,并且把数字图像信号写入存储电路 A1。随后,在周期 II 中,把脉冲输入写入选通信号线 103,写入 TFT109 导通,并且把数字图像信号写入存储电路 A2。最后,在周期 III 中,把脉冲输入写入选通信号线 104,写入 TFT110 导通,并且把数字图像信号写入存储电路 A3。

[0163] 至此,完成对一个水平周期的数字图像信号的处理。图 3B 的周期是由图 3A 中的星号*表示的周期。执行上述操作到最后阶段,使得一帧的数字图像信号被写入存储电路 A1 至 A3。

[0164] 随后,将描述在帧周期 β 中的操作。当在最后阶段写入存储电路结束时,执行第一帧的显示。图 3C 是用于说明 3 位时间灰度系统的示图。现在,各位的数字图像信号存储在存储电路 A1 至 A3 中。符号 Ts1 表示第一位数据的显示周期;Ts2 表示第二位数据的显示周期;而 Ts3 表示第三位数据的显示周期。各个显示周期的长度为 Ts1 : Ts2 : Ts3 = 4 : 2 : 1。

[0165] 但是,即使把显示周期的长度分成不是 2 的幂的周期以执行灰度显示,也能显示。

[0166] 这里,由于使用三位,对于亮度可以获得 0 至 7 这八级。当在 Ts1 至 Ts3 的任何一个周期中都不执行显示时,亮度为 0,而当使用所有周期都执行显示时,亮度为 7。例如,在想要显示亮度 5 时,只须在使像素在显示周期 Ts1 和 Ts3 中具有点亮状态的这种状态中即可实现显示。

[0167] 现将参照附图具体地给出描述。在向存储电路的写入操作结束后,当进行到显示周期时,已经被输入存储电路选择信号线 413 的脉冲结束,同时,向存储电路选择信号线 414 输入脉冲,写入 TFT401、405 和 409 截止,读出 TFT402、406 和 410 导通,并且出现允许从存储电路 A1 至 A3 读出这种状态。在显示周期 Ts1 中,把脉冲输入读出选通信号线 105,读出 TFT111 导通,并且像素按照存储在存储电路 A1 中的数字图像信号点亮。随后,在显示周

期 Ts2 中,把脉冲输入读出选通信号线 106,读出 TFT112 导通,并且像素按照存储在存储电路 A2 中的数字图像信号点亮。最后,在显示周期 Ts3 中,把脉冲输入读出选通信号线 107,读出 TFT113 导通,并且像素按照存储在存储电路 A3 中的数字图像信号点亮。

[0168] 以如上所述的方式,执行一个帧周期的显示。另一方面,在驱动电路一侧,同时执行下一帧周期的数字图像信号的处理。直至数字图像信号被转移至第二锁存电路的过程与上述相同。在随后的写入存储电路的周期中,使用存储电路 B1 至 B3。

[0169] 注意,在把信号写入存储电路 A1 至 A3 的周期中,尽管存储电路 A1 至 A3 的写入 TFT401、405 和 409 导通,同时,存储电路 B1 至 B3 的读出 TFT404、408 和 412 也导通。类似地,当存储电路 A1 至 A3 的读出 TFT402、406 和 410 导通时,同时,到存储电路 B1 至 B3 的写入 TFT403、407 和 411 也导通,并且在各对存储电路中,在某个帧周期中交替地执行写入和读出。

[0170] 在周期 I 中,把脉冲输入写入选通信号线 102, TFT108 导通,并且把数字图像信号写入存储电路 B1。随后,在周期 II 中,把脉冲输入写入选通信号线 103, TFT109 导通,并且把数字图像信号写入存储电路 B2。最后,在周期 III 中,把脉冲输入写入选通信号线 104, TFT110 导通,并且把数字图像信号写入存储电路 B3。

[0171] 随后,在帧周期 γ 中,按照存储在存储电路 B1 至 B3 中的数字图像信号执行第二帧的显示。同时,开始下一帧周期的数字图像信号的处理。把数字图像信号再次存储在完成了第一帧显示的存储电路 A1 至 A3 中。

[0172] 此后,在帧周期 δ 中执行存储在存储电路 A1 至 A3 中的数字图像信号的显示,同时,开始下一帧周期的数字图像信号的处理。把数字图像信号再次存储在完成了第二帧显示的存储电路 B1 至 B3 中。

[0173] 重复上述过程,实现图像显示。顺便指出,在显示静止图像的情况下,在把某一帧数字图像信号写入存储电路完成之后,停止源信号线驱动电路的工作,对于每一帧读出存储在相同存储电路中的信号,并且实现显示。通过类似于此的方法,可以极大地降低静止图像的显示中的电功耗。

[0174] [实施例 2]

[0175] 在本实施例中,将对以象点顺序执行写入像素部分的存储电路以便省略源信号线驱动电路的第二锁存电路的实例给出说明。

[0176] 图 5 表示使用包括存储电路的像素的液晶显示装置中源信号线驱动电路和一些像素的结构。这个电路对应于 3 位数字灰度信号,并且包括移位寄存器电路 501、锁存电路 502、像素 503。标号 510 表示从选通信号线驱动电路或直接从外部提供的信号,稍后将连同像素的描述来对其进行说明。

[0177] 图 20 是图 5 中所示像素 503 的电路结构的详细视图。类似于实施例 1,这个像素对应于 3 位数字灰度,并且包括多个存储电路 (A1 至 A3 和 B1 至 B3)。图 6 表示类似于实施例 1 构成的写入存储电路选择部分 2014、2016 和 2018 以及读出存储电路选择部分 2015、2017 和 2019 的结构。标号 601 表示第一位 (MSB) 信号所用的源信号线;602 表示用于第二位信号的源信号线;603 表示用于第三位 (LSB) 信号的源信号线;604 表示写入选通信号线;605 至 607 表示读出选通信号线;608 至 610 表示写入 TFT;而 611 至 613 表示读出 TFT。通过使用写入选择 TFT614、616、618、620、622 和 624 和读出选择 TFT615、617、619、621、623

和 625 等来构成存储电路选择部分。标号 626 和 627 表示存储电路选择信号线。

[0178] 图 7A 至 7C 是关于此实施例中所示电路的驱动的时间图。现在参照图 6 和图 7A 至 7C 给出描述。

[0179] 以类似于实现本发明和实施例 1 的方式执行从移位寄存器电路 501 至锁存电路 (LAT1) 502 的操作。如图 7B 中所示, 当结束在第一阶段的锁存操作时, 立即开始写入像素的存储电路。把脉冲输入写入选通信号线 604, 写入 TFT608 至 610 导通, 并且, 把脉冲输入存储电路选择信号线 626, 写入选择 TFT614、618 和 622 导通, 于是出现允许写入存储电路 A1 至 A3 这种状态。通过三个源信号线 601 至 603 同时写入保存在锁存电路 502 中的各位的数字图像信号。

[0180] 当在第一阶段把保存在锁存电路中的数字图像信号存储到存储电路中时, 在下一阶段, 把数字图像信号按照抽样脉冲保存在锁存电路中。以这种方式, 连续执行写入存储电路。

[0181] 在一个水平周期 (在图 7A 中以 ** 指明的周期) 中执行以上操作, 并且重复预定次数, 这个次数等于选通信号线的数量, 当结束在帧周期 α 中把一帧的数字图像信号写入存储电路时, 程序进行到由帧周期 β 指明的第一帧的显示周期。终止已经被输入写入选通信号线 604 的脉冲, 并且, 终止已被输入存储电路选择信号线 626 的脉冲, 取而代之, 向存储电路选择信号线 627 输入脉冲, 读出选择 TFT615、619 和 623 导通, 于是出现允许从存储电路 A1 至 A3 读出这种状态。

[0182] 随后, 通过在实现本发明的方式、实施例 1 等中描述的时间灰度系统, 如图 7C 中所示, 在显示周期 T_{s1} 中, 把脉冲输入读出选通信号线 605, 读出 TFT611 导通, 并且由写入存储电路 A1 的数字图像信号执行显示。随后, 在显示周期 T_{s2} 中, 把脉冲输入读出选通信号线 606, 读出 TFT612 导通, 并且由写入存储电路 A2 的数字图像信号执行显示。类似地, 在显示周期 T_{s3} 中, 把脉冲输入读出选通信号线 607, 读出 TFT613 导通, 并且由写入存储电路 A3 的数字图像信号执行显示。

[0183] 至此, 完成第一帧的显示周期。在帧周期 β 中, 同时执行下一帧中数字图像信号的处理。执行类似于上述的过程一直到把数字图像信号保存在锁存电路 502 中。在随后写入存储电路的周期中, 使用存储电路 B1 至 B3。

[0184] 顺便提出, 在信号写入存储电路 A1 至 A3 的周期中, 尽管到存储电路 A1 至 A3 的写入 TFT614、618 和 622 导通、同时存储电路 B1 至 B3 的读出 TFT617、621 和 625 也导通。类似地, 当存储电路 A1 至 A3 的读出 TFT615、619 和 623 导通时, 存储电路 B1 至 B3 的写入 TFT616、620 和 624 也同时导通, 并且在双方存储电路中在某个帧周期中交替执行写入和读出。

[0185] 对存储电路 B1 至 B3 的写入操作和读出操作与存储电路 A1 至 A3 的相同。当结束写入存储电路 B1 至 B3 时, 帧周期 γ 开始, 并且第二帧的显示周期开始。而且, 在这个帧周期中, 执行下一帧中数字图像信号的处理。执行类似于前述的过程一直到把数字图像信号保存在锁存电路 502 中。在随后写入存储电路的周期中, 再次使用存储电路 A1 至 A3。

[0186] 此后, 在帧周期 δ 中执行存储在存储电路 A1 至 A3 中的数字图像信号的显示, 同时, 开始下一帧周期中的数字图像信号的处理。把数字图像信号再次存储在完成了第二帧显示的存储电路 B1 至 B3 中。

[0187] 重复上述过程,使图像显示。另外,在执行静止图像的显示的情况下,在完成把某一帧数字图像信号写入存储电路时,停止源信号线驱动电路的工作,在每一帧中读出存储在相同存储电路中的信号,并且实现显示。通过类似于此的方法,可以极大地降低静止图像显示过程中的电功耗。而且,与实施例 1 中描述的电路相比,可以使锁存电路的数量减半,这有助于通过电路安排的空间的减小使整个器件小型化。

[0188] [实施例 3]

[0189] 在此实施例中,将给出液晶显示装置的实例的描述,它采用如实施例 2 中所描述的、其中省略第二锁存电路的液晶显示装置的电路结构,并且使用通过线性顺序驱动执行写入像素中的存储电路的方法。

[0190] 图 17 表示要在此实施例中描述的液晶显示装置的源信号线驱动电路的电路结构实例。这个电路对应于 3 位数字灰度信号,并且包括移位寄存器电路 1701、锁存电路 1702、开关电路 1703、像素 1704。标号 1710 表示从选通信号线驱动电路或直接从外部提供的信号。由于像素的电路结构可与实施例 2 的相同,可按照原样参考图 6。

[0191] 图 18A 至 18C 是关于在此实施例中描述的电路的驱动的时间图。现参照图 6、图 17 和图 18A 至 18C 来给出描述。

[0192] 从移位寄存器电路 1701 输出抽样脉冲并且按照抽样脉冲把数字图像信号保存在锁存电路 1702 中的操作与在实施例 1 和 2 中的相同。在此实施例中,由于开关电路 1703 设置在锁存电路 1702 和像素 1704 中的存储电路之间,即使在完成把数字图像信号保存在锁存电路中后,并不立即开始写入存储电路。开关电路 1703 保持关闭直至完成象点数据抽样周期,并且锁存电路继续保存数字图像信号。

[0193] 如图 18B 中所示,当完成保存一个水平周期的数字图像信号时,在随后的回扫周期中输入锁存信号(锁存脉冲),立即打开所有的开关电路 1703,并且立即把保持在锁存电路 1702 中的数字图像信号全部写入像素 1704 中的存储电路中。由于关于当时写入操作的像素 1704 中的操作与关于在下一帧周期中显示的重读操作的像素 1704 中的操作可与实施例 2 中的相同,这里省略描述。

[0194] 通过上述方法,即使在其中省略锁存电路的源信号线驱动电路中,也可以容易地执行线性顺序写入。

[0195] [实施例 4]

[0196] 在实施例 4 中,说明同步制造设置在像素部分及其周边的驱动电路部分(源信号线驱动电路、选通信号线驱动电路和像素选择驱动电路)的 TFT 的方法。但是为了简化说明,在图中表示出作为用于驱动电路的基本电路的 CMOS 电路。

[0197] 首先,如图 10A 中所示,在由玻璃、如 Corning 公司的以 #7059 玻璃或 #1737 玻璃代表的硼硅酸钡玻璃或硼硅酸铝玻璃制成的衬底 5001 上,形成由绝缘薄膜如氧化硅薄膜、氮化硅薄膜或氮化硅氧化物(silicon nitride oxide)薄膜制成的带基薄膜 5002。例如,由 SiH_4 、 NH_3 和 N_2O 通过等离子体化学汽相淀积(CVD)方法制成的氮化硅氧化物薄膜 5002a 形成 10 至 200nm(最好是 50 至 100nm)的厚度,而类似地由 SiH_4 和 N_2O 制成的氢化氮化硅氧化物薄膜 5002b 形成 50 至 200nm(最好是 100 至 150nm)的厚度从而形成分层结构。在实施例 4 中,尽管把带基薄膜 5002 表示成两层结构,但是该薄膜可以形成前述绝缘薄膜的单层薄膜或者多于两层的分层结构。

[0198] 岛状半导体层 5003 至 5006 是由通过在具有非晶体结构的半导体薄膜上使用激光结晶方法、或者通过使用众所周知的热结晶方法制造的晶态半导体薄膜形成的。把岛状半导体薄膜 5003 至 5006 的厚度设置成从 25 至 80nm (最好在 30 至 60nm 之间)。对于晶态半导体薄膜材料没有限制,但最好由硅或硅锗 (SiGe) 合金形成薄膜。

[0199] 在激光结晶方法中,用激光器,如脉冲振荡型或持续发射型准分子激光器、钇铝石榴石 (YAG) 激光器、或者钇钒氧化物 (YVO₄) 激光器,制造晶态半导体薄膜。当使用这些类型的激光器时,可以采用通过光学系统把从激光振荡器发出的激光会聚成线形、然后把光照射在半导体薄膜上的方法。操作者可适当地选择结晶条件,但是要把脉冲振荡频率设置为 30Hz,而在使用准分子激光器时,把激光能量密度设置为 100 至 400mJ/cm² (一般在 200 至 300mJ/cm² 之间)。而且,当使用 YAG 激光器时利用二次谐波,把脉冲振荡频率设置为 1 至 10kHz,可把激光能量密度设置为 300 至 600mJ/cm² (一般在 350 至 500mJ/cm² 之间)。然后,把已经被会聚成具有 100 至 1000 μm 例如 400 μm 宽度的线形的激光照射在衬底的整个表面上。以 80 至 98% 的覆盖率来执行。

[0200] 接着,形成栅极绝缘薄膜 5007,覆盖岛状半导体薄膜 5003 至 5006。栅极绝缘薄膜 5007 是由通过等离子体 CVD 方法或溅射方法形成的厚度为 40 至 150nm 的含硅绝缘薄膜构成的。在实施例 4 中,形成 120nm 厚的氮化硅氧化物薄膜。栅极绝缘薄膜不限于这种氮化硅氧化物薄膜,当然还可以使用单层或分层结构的其他含硅的绝缘薄膜。例如,当使用氧化硅薄膜时,可以在 40Pa 的反应压强、设为 300 至 400°C 的衬底温度下,用 TEOS (四乙基原硅酸盐) 和 O₂ 的混合物,以 0.5 至 0.8W/cm² 的电功率密度,通过高频 (13.56MHz) 下放电、由等离子体 CVD 方法形成它。通过随后在 400 至 500°C 进行热退火,可以获得这样制造成栅极绝缘薄膜的氧化硅薄膜的良好特性。

[0201] 然后在栅极绝缘薄膜 5007 上形成第一导电薄膜 5008 和第二导电薄膜 5009 以便形成栅电极。在实施例 4 中,由 Ta 形成第一导电薄膜 5008,其厚度为 50 至 100nm,由 W 形成第二导电薄膜 5009,厚度为 100 至 300nm。

[0202] 通过溅射形成 Ta 薄膜,用 Ar 来进行 Ta 靶的溅射。如果在溅射过程中把适量的 Xe 或 Kr 加入 Ar,会松弛 Ta 薄膜的内应力,并且可以防止薄膜剥离。 α 相 Ta 薄膜的电阻率约为 20 μΩ cm,并且这种 Ta 薄膜可被用于栅电极,但是 β 相 Ta 薄膜的电阻率约为 180 μΩ cm,这种 Ta 薄膜不适用于栅电极。如果形成 10 至 50nm 厚的具有接近 α 相 Ta 的晶体结构的氮化钽薄膜,作为形成 α 相 Ta 薄膜的 Ta 的带基,可容易地获得 α 相 Ta 薄膜。

[0203] 通过以 W 作为靶溅射而形成 W 薄膜。也可使用六氟化钨 (WF₆) 通过热 CVD 方法形成 W 薄膜。无论用哪一种方法,必须使薄膜低阻抗以使用其作为栅电极,并且最好把 W 薄膜的电阻率设置为 20 μΩ cm 或更小。可以通过扩大 W 薄膜的晶体来降低电阻率,但是对于在 W 薄膜内有许多杂质元素如氧的情况下,结晶受到抑制,并且薄膜变得高阻抗。因此在溅射中使用具有 99.9999% 的纯度的 W 靶。另外,通过形成 W 薄膜的同时给予足够的注意,使得不会在薄膜形成时引入来自气相内的杂质,能够获得 9 至 20 μΩ cm 的电阻率。

[0204] 注意,在实施例 4 中,尽管第一导电薄膜 5008 和第二导电薄膜 5009 是分别由 Ta 和 W 形成的,但是导电薄膜并不限于这些。第一导电薄膜 5008 和第二导电薄膜 5009 都可由从包括 Ta、W、Ti、Mo、Al 和 Cu 的组中选择的元素构成,或者由合金材料或具有这些元素中的一种作为其主要成分的化合物材料构成。另外,还可以使用半导体薄膜,代表性的有,其中

掺杂了诸如磷的杂质元素的多晶硅薄膜。与实施例 4 中的不同的最佳组合的实例包括：由氮化钽 (TaN) 形成的第一导电薄膜 5008 和由 W 形成的第二导电薄膜 5009；由氮化钽 (TaN) 形成的第一导电薄膜 5008 和由 Al 形成的第二导电薄膜 5009；由氮化钽 (TaN) 形成的第一导电薄膜 5008 和由 Cu 形成的第二导电薄膜 5009。

[0205] 随后，由抗蚀膜形成掩模 5010，并且进行第一蚀刻处理以便形成电极和布线。在实施例 4 中使用 ICP (感应耦合等离子体) 蚀刻方法。用 CF_4 和 Cl_2 的气体混合物作为蚀刻气体，并且通过在 1Pa 的压强下向线圈形电极施加 500W 射频电功率 (13.56MHz) 产生等离子体。还在衬底侧 (试件阶段) 加上 100W 射频电功率 (13.56MHz)，有效地施加负的自偏压。当混合 CF_4 和 Cl_2 时同时蚀刻 W 薄膜和 Ta 薄膜。

[0206] 在上述蚀刻条件下，通过使用适当的抗蚀膜掩模形状，把第一导电层和第二导电层的边缘部分按照加在衬底侧的偏压的效果做成斜削的形状。斜削段的角度为 15° 至 45° 。蚀刻时间可增加约 10% 至 20% 以进行蚀刻，使在栅极绝缘薄膜上不留任何残余物。关于 W 薄膜的氮化硅氧化物薄膜的选择性为 2 至 4 (一般是 3)，因此通过这种过蚀刻处理蚀刻大约 20 至 50nm 的氮化硅氧化物薄膜的暴露面。由此，通过第一蚀刻处理，由第一导电层和第二导电层形成第一形状导电层 5011 至 5016 (第一导电层 5011a 至 5016a 和第二导电层 5011b 至 5016b)。这时，通过蚀刻，使栅极绝缘薄膜 5007 未被第一形状导电层 5011 至 5016 覆盖的区域变薄约 20 至 50nm (图 10A)。

[0207] 然后，进行第一掺杂处理以加入用于产生 n 型电导率的杂质元素。可以通过离子掺杂方法或离子注入方法进行掺杂。离子掺杂方法的条件是，剂量为 1×10^{13} 至 5×10^{14} 原子 / 平方厘米，并且加速电压为 60 至 100keV。作为用于产生 n 型电导率的杂质元素，使用属于第 15 族的元素，一般是磷 (P) 或砷 (As)，但是这里使用磷。在这种情况下，导电层 5011 至 5016 变为对产生 n 型电导率的杂质元素的掩模，并且以自动对准方式形成第一杂质区 5017 至 5020。把在 1×10^{20} 至 1×10^{21} 原子 / 立方厘米的浓度范围内的产生 n 型电导率的杂质元素加至第一杂质区 5017 至 5020 (图 10B)。

[0208] 接着，如图 10C 中所示，进行第二蚀刻处理而不去掉抗蚀膜掩模。使用 CF_4 、 Cl_2 和 O_2 的混合物的蚀刻气体，并且选择性地蚀刻 W 薄膜。此时，通过第二蚀刻处理形成第二形状导电层 5021 至 5026 (第一导电层 5021a 至 5026a 和第二导电层 5021b 至 5026b)。通过蚀刻使栅极绝缘薄膜 5007 未被第二形状导电层 5021 至 5026 覆盖的区域变薄约为 20nm 至 50nm。

[0209] 从产生的原子团或离子种类以及反应产物的蒸气压力可以推测 W 薄膜或 Ta 薄膜由 CF_4 和 Cl_2 的混合气体引起的蚀刻反应。在相互比较 W 和 Ta 的氟化物和氯化物的蒸气压力时，W 的氟化物 WF_6 的蒸气压力极高，而其他 WCl_5 、 TaF_5 和 TaCl_5 具有几乎相等的蒸气压力。因此，在 CF_4 和 Cl_2 的混合气体中，W 薄膜和 Ta 薄膜都被腐蚀。但是，当把适量的 O_2 加入此混合气体时， CF_4 和 O_2 互相反应以形成 CO 和 F，并且产生大量的 F 原子团或 F 离子。结果，增加了具有高的氟化物蒸气压力的 W 薄膜的腐蚀率。另一方面，关于 Ta，即使在增加 F 的情况下，其腐蚀率的增加相对小些。另外，由于与 W 相比 Ta 容易被氧化，Ta 的表面被增加的 O_2 氧化。由于 Ta 的氧化物不与氟或氯起反应，所以进一步降低了 Ta 薄膜的腐蚀率。因此，在 W 薄膜与 Ta 薄膜的腐蚀率之间产生差异变为可能，并且使 W 薄膜的腐蚀率高于 Ta 薄膜变为可能。

[0210] 然后,如图 11A 中所示,进行第二掺杂处理。在这种情况下,使剂量低于第一掺杂处理的剂量,并且在高加速电压的条件下,掺杂用于产生 n 型电导率的杂质元素。例如,在设置为 70 至 120keV 的加速电压下和 1×10^{13} 原子 / 平方厘米的剂量下,进行该处理,使得在形成图 10B 中岛状半导体层的第一杂质区的内部形成新杂质区。进行掺杂,使得用第二形状导电层 5021 至 5026 作为对杂质元素的掩模并且把杂质元素也加到第一导电层 5021a 至 5026a 下面的区域。这样,形成第二杂质区 5027 至 5031。加在第二杂质区 5027 至 5031 的磷 (P) 的浓度具有按照第一导电层 5021a 至 5026a 的斜削段的厚度平缓变化的浓度梯度。注意,在与第一导电层 5021a 至 5026a 的斜削段相交迭的半导体层中,从第一导电层 5021a 至 5026a 斜削段的尾部到里面部分,杂质元素的浓度略有下降,但是浓度几乎保持在同样水平。

[0211] 如图 11B 中所示,进行第三蚀刻处理。这是通过以 CHF_3 蚀刻气体使用反应离子蚀刻方法 (RIE 方法) 来完成的。第一导电层 5021a 至 5026a 的斜削段是局部蚀刻的,并且通过第三蚀刻处理减小第一导电层与半导体层相交迭的区域。形成第三形状导电层 5032 至 5037 (第一导电层 5032a 至 5037a 和第二导电层 5032b 至 5037b)。这时,通过蚀刻使栅极绝缘薄膜 5007 未被第三形状导电层 5032 至 5037 覆盖的区域变薄约 20nm 至 50nm。

[0212] 通过第三蚀刻处理,在第二杂质区 5027 至 5031 的情况下,第二杂质区 5027a 至 5031a 与第一导电层 5032a 至 5037a 交迭,而第三杂质区 5027b 至 5031b 在第一杂质区和第二杂质区之间。

[0213] 然后,如图 11C 中所示,在岛状半导体层 5004 中形成具有与第一导电类型相反的导电类型的第四杂质区 5039 至 5044,形成 p 沟道 TFT。第三导电层 5033b 用作对杂质元素的掩模,并且以自动对准方式形成杂质区。此时,形成 n 沟道 TFT 的岛状半导体层 5003、5005、保留电容器部分 5006 和布线部分 5034 的整个表面,被抗蚀膜掩模 5038 覆盖。把磷分别加入不同浓度的杂质区 5039 至 5044。用乙硼烷 (B_2H_6) 通过离子掺杂方法形成这些区域,并且使在任何一个区中杂质浓度为 2×10^{20} 至 2×10^{21} 原子 / 立方厘米。

[0214] 通过至此的这些步骤,在各个岛状半导体层中形成杂质区。被岛状半导体层交迭的第三形状导电层 5032、5033、5035 和 5036 起到栅电极的作用。标号 5034 起到岛状源信号线的作用。标号 5037 起到电容器布线的作用。

[0215] 在去掉抗蚀膜掩模 5038 之后,是活化为了控制导电类型加入各个岛状半导体层中的杂质元素的步骤。使用炉内退火炉通过热退火方法来完成这个步骤。另外,可以使用激光退火方法或者快速热退火方法 (RTA 方法)。在 400 至 700°C,一般在 500 至 600°C 下,在具有 1ppm 或更小、最好是 0.1ppm 或更小的氧浓度的氮气气氛中,实行热退火方法。在实施例 4,热处理在 500°C 下进行 4 个小时。但是,在用于第三导电层 5037 至 5042 的布线材料不耐热的情况下,最好在形成层间绝缘薄膜 (含有硅作为其主要成份) 之后进行活化,以保护布线等。

[0216] 另外,在含有 3% 至 100% 的氢气的气氛中进行 300 至 450°C 下 1 至 12 小时的热处理,并且执行氢化岛状半导体层的步骤。这个步骤是通过热激发氢气来端接半导体层中的悬挂键的步骤。作为另一种氢化的方法,可以实行等离子体氢化 (使用由等离子体激发的氢气)。

[0217] 接着,形成厚度为 100nm 至 200nm 的氧氮化硅薄膜的第一层间绝缘薄膜 5045。然

后在其上形成有机绝缘材料的第二层间绝缘薄膜 5046。此后,进行蚀刻以形成接触孔。

[0218] 然后,在驱动电路部分,形成用于接触岛状半导体层的源区的源布线 5047 和 5048,以及用于接触岛状半导体层的漏区的漏布线 5049。在像素部分,形成连接电极 5050 和像素电极 5051 和 5052(图 12A)。连接电极 5050 使源信号线 5034 与像素 TFT 之间能电连接。要注意的是,像素电极 5052 与存储电容器是相邻像素的。

[0219] 如上所述,可以在一个衬底上形成具有 n 型 TFT 和 p 型 TFT 的驱动电路部分以及具有像素 TFT 和存储电容器的像素部分。这里称这种衬底为有源矩阵衬底。

[0220] 在此实施例中,为了与像素电极之间的光空间隔开而不用黑矩阵,这样安排像素电极的末端部分以便覆盖信号线和扫描线。

[0221] 另外,按照在本实施例中描述的处理,可把用于制造有源矩阵衬底所必须的光掩模的数量设置为五[用于岛状半导体层的图案、用于第一布线(扫描线、信号线和电容器布线)的图案、用于 p 沟道区的掩模图案、用于接触孔的图案和用于第二布线(包括像素电极和连接电极)的图案]。因此,能使处理过程短一些,能降低制造成本,并且能提高产量。

[0222] 随后,在获得图 12B 中所示有源矩阵衬底之后,在有源矩阵衬底上形成定向薄膜 5053,并且进行磨擦处理(rubbing treatment)。

[0223] 同时,制备好对置衬底 5054。在对置衬底 5054 上形成色彩过滤器层 5055 至 5057 和防护层 5058。这样构造色彩过滤器层,使得红色过滤器层 5055 和蓝色过滤器层 5056 重叠在 TFT 上,以便也用作光隔离薄膜。由于至少在 TFT、连接电极和像素电极之间的空间必须与光隔离,最好是安排红色过滤器和蓝色过滤器使得这样叠加以便使这些空间与光隔离。

[0224] 使红色过滤器层 5055、蓝色过滤器层 5056 和绿色过滤器层 5057 重叠,与连接电极 5050 对准以形成间隔物。通过在丙烯酸类树脂中混合适当的颜料形成各个色彩过滤器,并且厚度为 1 至 3 μm 。可以使用掩模以预定图案由感光材料形成这些色彩过滤器。考虑到防护层 5058 的 1 至 4 μm 的厚度,可使间隔物的高度为 2 至 7 μm ,最好是 4 至 6 μm 。当有源矩阵衬底与对置衬底互相粘合时,这个高度形成间隙。防护层 5058 是由光固化或热固性有机树脂材料如聚酰亚胺树脂或丙烯酸类树脂构成的。

[0225] 可以任意确定隔离物的安排。例如,如图 12B 中所示,可把隔离物安排在对置衬底 5054 上,使得它与连接电极 5050 对准。或者,可把隔离物安排在对置衬底 5054 上,使得它与驱动电路部分的 TFT 对准。可把这种隔离物安排在驱动电路部分的整个表面上,或者这样安排使得它覆盖源布线和漏布线。

[0226] 在形成防护层 5058 之后,按图案形成对置电极 5059,形成定向薄膜 5060,并且进行摩擦处理。

[0227] 然后,把具有形成于其上的像素部分和驱动电路部分的有源矩阵衬底用密封剂 5062 粘附在对置衬底上。把填料混合在密封剂 5062 中,填料与隔离物促进两个衬底互相粘合并且其间留有恒定的缝隙。此后,把液晶材料 5061 注入两个衬底之间,并且密封剂(未示出)进行完全的密封。作为液晶材料 5061,可以使用已知的液晶材料。以这样的方法,完成图 12B 中所示的有源矩阵液晶显示装置。

[0228] 要注意的是,尽管在上述过程中形成的有源矩阵型显示装置中的 TFT 是顶部栅极结构的,可容易地把这个实施例应用于底部栅极结构的或其他结构的 TFT。

[0229] 另外,在这个实施例中使用玻璃衬底,但是并不限于此。除了玻璃衬底,可用诸如

塑料衬底、不锈钢衬底和单晶片来实施。

[0230] [实施例 5]

[0231] 本发明的显示装置使用时间灰度方法作为表现灰度的方式。因此,在像素中使用液晶元件的情况下,与普通模拟灰度相比,要求有更快的响应速度。因此,最好使用铁电液晶 (FLC)。在本实施例中,在实施例 4 中介绍的显示装置的制造步骤中,描述了在把铁电液晶用于液晶元件的情况下制造衬底的实例。在说明中将参照图 9。

[0232] 按照实施例 4,制造图 9A(类似于图 12A)中所示有源矩阵衬底和对置衬底 5054。

[0233] 在有源矩阵衬底和对置衬底上形成定向薄膜 5101 和 5102。形成 Nissan Chemical Industries, Ltd. 的定向薄膜 RN 1286,并将其在 90℃下预焙烘 5 分钟。然后,将其在 250℃下后焙烘一小时。在后焙烘之后,薄膜厚度为 40nm。可由苯胺印刷方法或旋涂涂敷 (Spinnerapplication) 方法来实施定向薄膜的成形方法。RN 1286 与密封介质的粘合性不令人满意,因此,在放置密封介质的位置去掉定向薄膜。另外,在把接触垫上的定向薄膜连接到柔性印刷电路 (FPC) 的导线上没有形成定向薄膜,所述接触垫与有源矩阵衬底和对置衬底电连接。

[0234] 在定向薄膜 5101 和 5102 上进行摩擦。这里,当对置衬底 5054 与有源矩阵衬底粘附在一起时,使摩擦的方向平行。在摩擦处理中,作为摩擦布,使用 Yoshikawa Chemicals 的 YA-20R。在 0.25mm 的压入量、100rpm 的辊子转动次数、10 毫米 / 秒的级速率以及 1 次的摩擦次数的条件下,用 Joyo Engineering Co., Ltd. 的摩擦设备进行摩擦。摩擦辊 (rubbing roll) 的直径为 130mm。在摩擦之后,通过把水射在衬底表面上来洗定向薄膜。

[0235] 接着,形成密封介质 5103。密封介质在一部分中设有液晶材料的注入口,并且可以是可在真空状态下进行注入的样式。

[0236] 通过 Hitachi Chemical Co., Ltd. 的密封加注器 (seal dispenser) 在对置衬底上形成密封介质。使用的密封介质是 Mitsui Chemicals 的 XN-21S。在 90℃下进行 30 分钟密封介质的预焙烘,并且在接下来的 15 分钟内渐渐将其冷却。

[0237] 众所周知,即使热压密封介质 XN-21S,也仅可获得 2.3 至 2.6 μm 的小区间隙。为了形成 1.0 μm 的小区间隙,应该通过设置与像素部分相比、具有 1.5 μm 或更多的分层薄膜的厚度薄的区域,安排密封介质。在此实施例中,把密封介质 5103 安排在通过蚀刻去掉了第一层间绝缘薄膜 5045 与第二层间绝缘薄膜 5046 的区域中。

[0238] 在形成密封介质的同时形成导电隔离物。

[0239] 在对置衬底或有源矩阵衬底上形成隔离物(未示出)。作为隔离物,可以散射球形小珠。另一方面,可以在显示区把感光树脂做成点形或条形的图形。通过隔离物可以防止液晶材料的定向错误。

[0240] 考虑到光程差,反射型液晶显示装置的小区间隙最好是 0.5 至 1.5 μm 。在这个实施例中,使像素部分中的小区隙为 1.0 μm 。

[0241] 此后,通过 Newton Limited 的粘合装置,把对置衬底和有源矩阵衬底的标记对准,以进行粘合的一起。

[0242] 接着,在垂直方向上把 0.3 至 1.0 kgf/cm^2 的压力加在衬底板上以及衬底的整个表面上,在 160℃下在清洁炉中进行三小时的热固化,使密封介质熟化,并且使对置衬底与有源矩阵衬底粘合。

[0243] 通过把对置衬底与有源矩阵衬底粘合在一起形成的一对衬底是分开的。

[0244] 液晶材料 5104 使用表现出双稳态的铁电液晶、表现出三稳态的反铁电液晶等。

[0245] 加热液晶材料直到它变成各向同性的,然后将其注入。此后逐渐冷却,以 $0.1^{\circ}\text{C}/\text{min}$ 降至室温。

[0246] 作为密封介质,可以通过盖在注入口的小型加注器加入紫外线固化型树脂(未示出)。

[0247] 然后,通过各向异性导电薄膜(未示出)粘附柔性印刷电路板(未示出),则完成有源矩阵液晶显示装置。

[0248] 采用有源矩阵衬底的像素电极作为透射导电薄膜,还可按照本实施例的步骤制造透射型液晶显示装置。考虑到光程差,并抑制铁电液晶的螺旋结构,透射型液晶显示装置的小区间隙最好是 1.0 至 $2.5\ \mu\text{m}$ 。

[0249] [实施例 6]

[0250] 本发明的液晶显示装置具有在像素部分中的多个存储电路,使得构成一个像素的元件数比普通像素的多。因此,在透射型液晶显示装置的情况下,有可能由于孔径比的减小引起亮度不足,最好把本发明用在反射型液晶显示装置上。在这个实施例中,说明制造步骤的实例。

[0251] 按照实施例 4,形成图 19A(类似于图 12A)中所示的有源矩阵衬底。随后,在形成作为第三层间绝缘薄膜 5201 的树脂薄膜后,在像素电极部分中开出接触孔,并且形成反射电极 5202。作为反射电极 5202,最好使用具有较高反射率的材料,如以 Al 和 Ag 为主要成分的薄膜或其叠层薄膜。

[0252] 同时,制备对置衬底 5054。在此实施例中通过把对置衬底 5205 做成图案来形成对置衬底 5054。形成对置衬底 5205 作为透射导电薄膜。作为透射导电薄膜,可以使用由氧化铟与氧化锡的化合物(称为 ITO)或者氧化铟与氧化锌的化合物构成的材料。

[0253] 尽管没有特别说明,当形成彩色液晶显示装置时,形成彩色过滤器层。此时,结构可以是这样的,使得形成的具有不同颜色的相邻彩色过滤器层相互重叠,并且也是 TFT 部分的光屏蔽薄膜。

[0254] 此后,在有源矩阵衬底和对置衬底上形成定向薄膜 5203 和 5204,并且进行摩擦处理。

[0255] 然后,用密封介质 5206 把形成有像素部分和驱动电路部分的有源矩阵衬底、以及对置衬底粘合在一起。密封介质 5206 被混有填料,并且通过填料和隔离物以均匀的间隔将两个衬底粘合在一起。然后,把液晶材料 5207 注入两衬底之间,并且用密封介质(未示出)完全密封。作为液晶材料 5207,可以使用已知的液晶材料。这样便完成图 19B 中所示的反射型液晶显示装置。

[0256] 注意,在此实施例中,除玻璃衬底之外,可能使用塑料衬底、不锈钢衬底、单晶片等。

[0257] 另外,可容易地把本发明应用于以一半像素作为反射电极而其余一半作为透射电极而形成半透射型显示装置的情况。

[0258] [实施例 7]

[0259] 在实施例 1 至 3 中所示本发明的液晶显示装置的像素部分中,它是通过把静态存

存储器（静态 RAM:SRAM）用作存储电路而形成的，但是存储电路并不限于 SRAM。作为适用于本发明的液晶显示装置的像素部分的存储电路，有诸如动态存储器（动态 RAM:DRAM）。在这个实施例中，介绍使用这些存储电路构成电路的实例。

[0260] 图 8 表示在像素中安排的存储电路 A1 至 A3 和 B1 至 B3 中使用 DRAM 的实例。基本结构类似于实施例 1 中所示电路。用于存储电路 A1 至 A3 和 B1 至 B3 中的 DRAM 可以使用具有一般结构的 DRAM。在这个实施例中，可使用图中所示、由反相器和电容构成的具有简单结构的 DRAM。

[0261] 源信号线驱动电路的操作与实施例 1 相同。这里，与 SRAM 不同的是，在 DRAM 的情况下，由于需要在每个具体周期重写入存储电路（下文将此操作称为刷新），设置了刷新 TFT801 至 803。在显示静止图像的周期（通过重复读取存储在存储电路中的数字图像信号来执行显示的周期）中的特定定时下，通过使每个刷新 TFT801 至 803 导通，并且通过使像素部分中的电荷反馈到存储电路侧来执行刷新。

[0262] 另外，尽管未特别说明，作为其他存储电路的形式，可通过使用铁电存储器（铁电 RAM:FeRAM）来构成本发明的液晶显示装置的像素部分。FeRAM 是具有与 SRAM 和 DRAM 同样写入速度的非易失性存储器，并且通过利用写入电压低等特性，本发明的液晶显示装置的更低功耗是可能的。另外，通过使用如闪速存储器，构造是可能的。

[0263] [实施例 8]

[0264] 使用按照本发明形成的驱动电路的有源矩阵型显示装置具有各种用途。在这个实施例中，半导体器件实现了使用按照本发明形成的驱动电路的显示装置。

[0265] 给出以下作为这种显示装置的实例：便携式信息终端（如电子图书、移动式计算机、蜂窝电话）；视频摄像机、数字摄像机；个人计算机和电视机。在图 15 和 16 中表示出这些电子装置的实例。

[0266] 图 15A 是包括主体 2601、语音输出部分 2602、语音输入部分 2603、显示部分 2604、操作开关 2605 和天线 2606 的蜂窝电话。可把本发明应用于显示部分 2604。

[0267] 图 15B 表示包括主体 2611、显示部分 2612、音频输入部分 2613、操作开关 2614、电池 2615、图像接收部分 2616 等的视频摄像机。可把本发明应用于显示部分 2612。

[0268] 图 15C 表示包括主体 2621、摄像机部分 2622、图像接收部分 2623、操作开关 2624、显示部分 2625 等的移动式计算机或便携式信息终端。可把本发明应用于显示部分 2625。

[0269] 图 15D 表示包括主体 2631、显示部分 2632 和臂部 2633 的头戴式显示器。可把本发明应用于显示部分 2632。

[0270] 图 15E 表示包括主体 2641、扬声器 2642、显示部分 2643、接收装置 2644 和放大装置 2645 的电视机。可把本发明应用于显示部分 2643。

[0271] 图 15F 表示包括主体 2651、显示部分 2652、存储介质 2653、操作开关 2654 和天线 2655 的便携式电子图书，并且该便携式电子图书播放记录在微型光盘（MD）和 DVD（数字视盘）上的数据和通过天线记录的数据。可把本发明用于显示部分 2652。

[0272] 图 16A 表示包括主体 2701、图像输入部分 2702。显示部分 2703。键盘 2704 等的个人计算机。可把本发明用于显示部分 2703。

[0273] 图 16B 表示使用记录节目的记录媒体（下文称为记录媒体）并且包括主体 2711、显示部分 2712、扬声器部分 2713、记录媒体 2714 和操作开关 2715 的播放器。该播放器使

用 DVD(数字视盘)、CD(小型光盘)等作为存储媒体,并且可以用于音乐欣赏、影视欣赏、游戏和互联网。可把本发明用于显示部分 2712。

[0274] 图 16C 表示包括主体 2721、显示部分 2722、取景器部分 2723、操作开关 2724 和图像接收部分(图中未示出)的数字照相机。可把本发明用于显示部分 2722。

[0275] 图 16D 表示包括主体 2731 和带部分 2732 的单眼头戴式显示器。本发明用于显示部分 2731。

[0276] 通过使用安排在每个像素内的多个存储电路存储数字图像信号,当显示静止图像时在每个帧周期中重复使用存储在存储电路中的数字图像信号,并且当连续地执行静止图像显示时,可以停止源信号线驱动电路的工作。由此,极大地促进了整个液晶显示装置的低功耗。

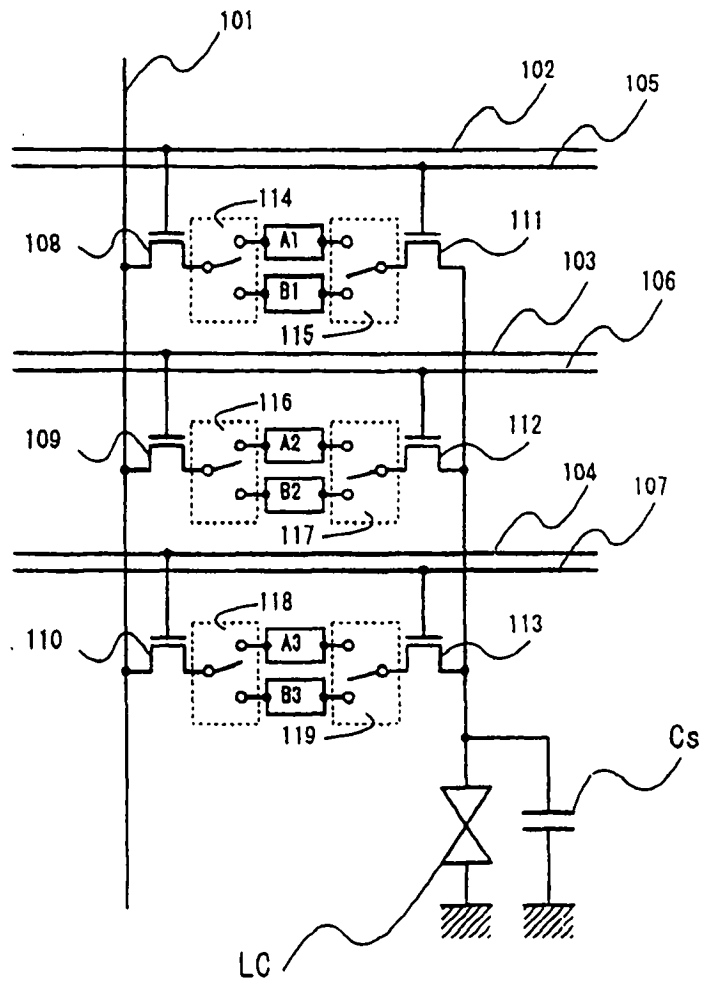


图 1

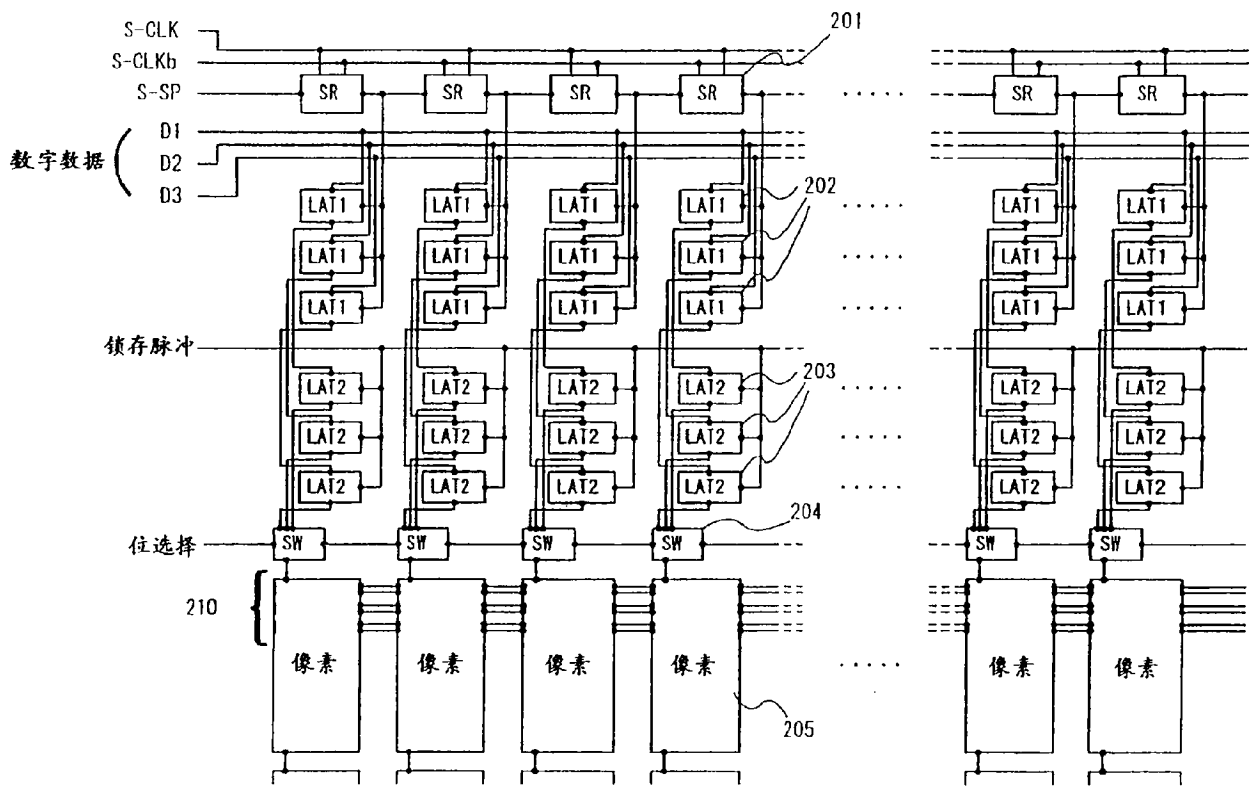
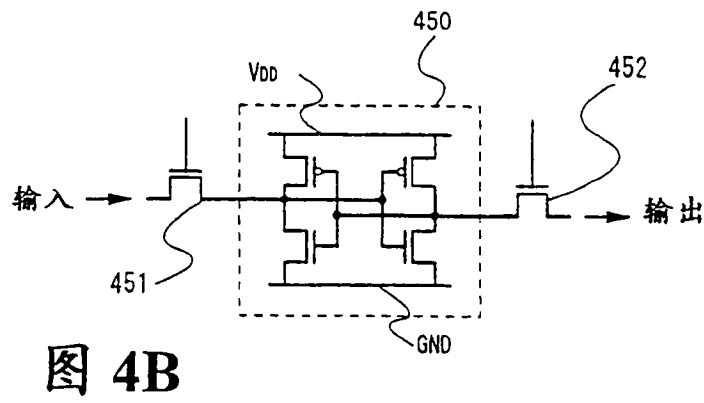
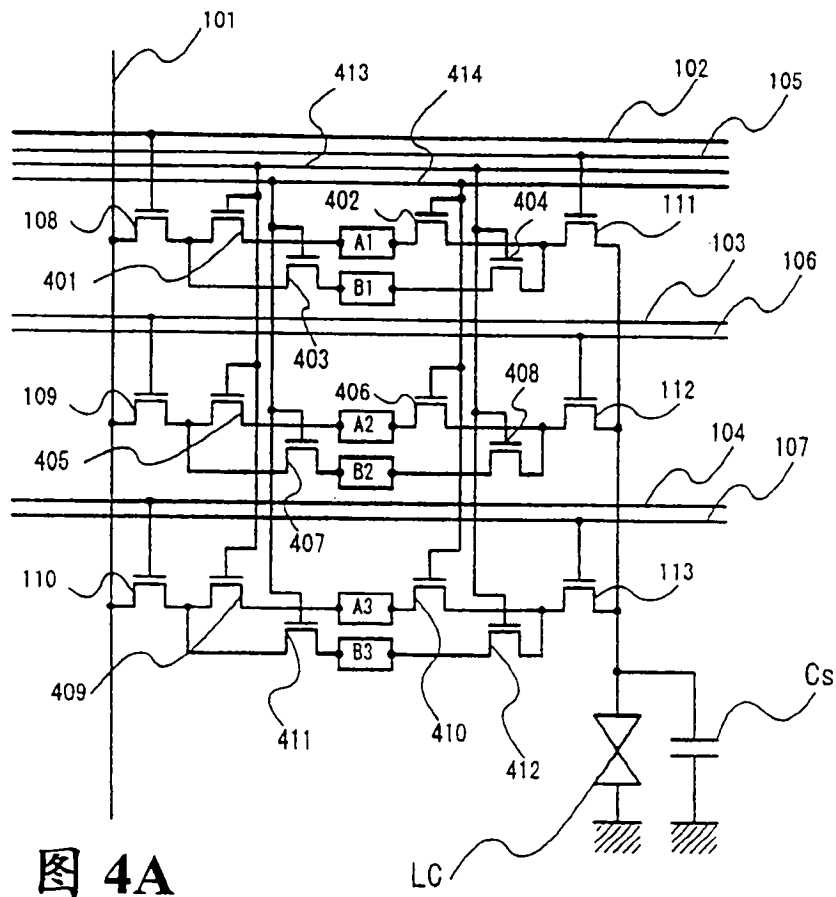


图 2



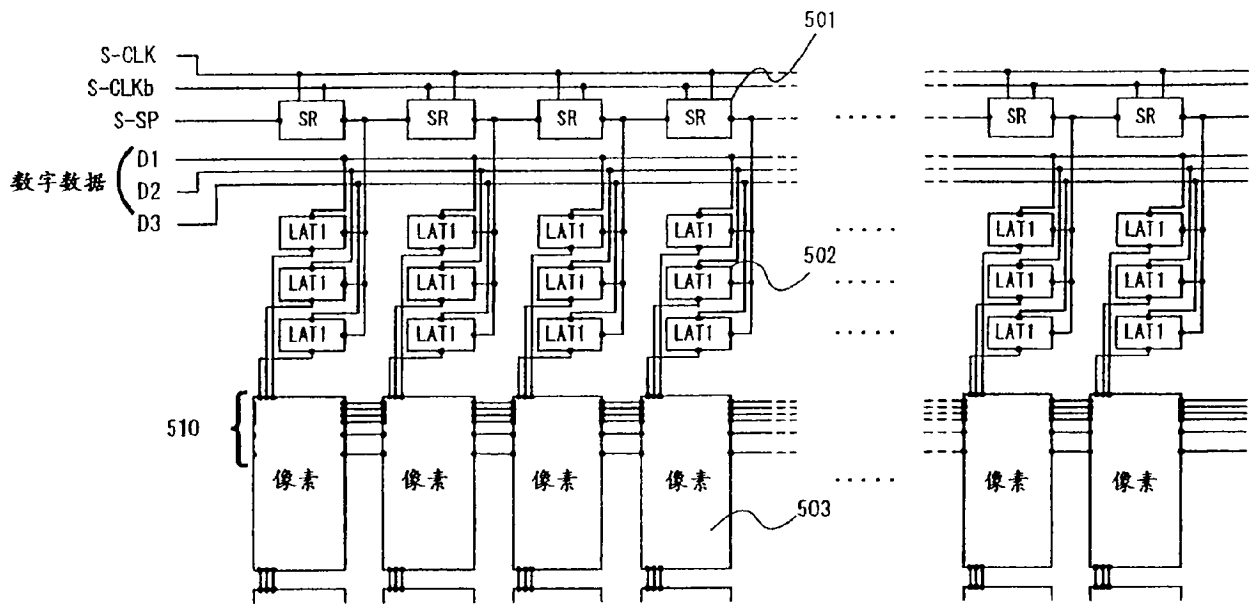


图 5

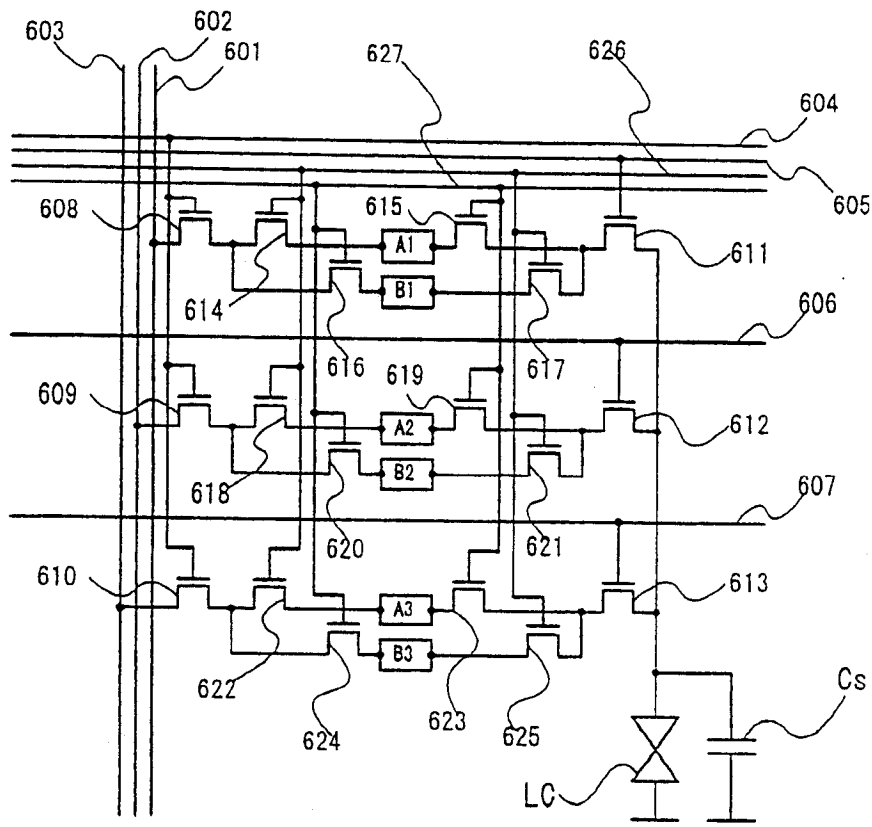
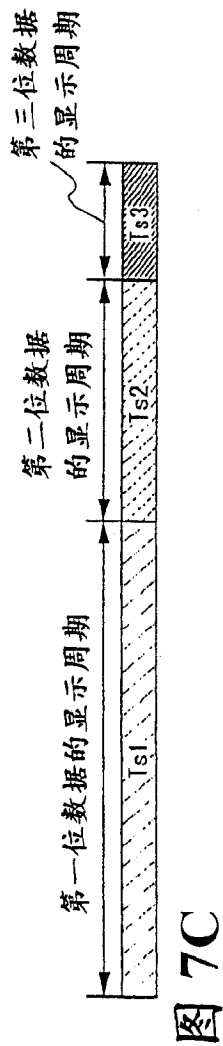
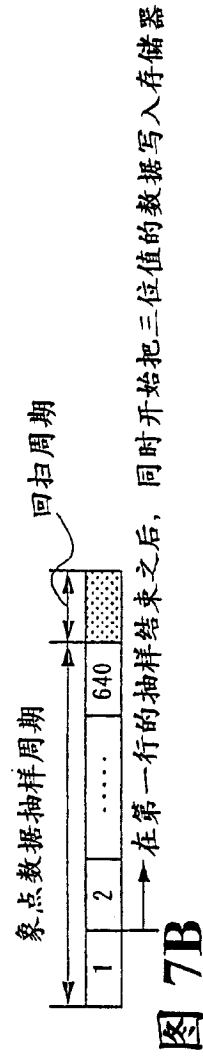
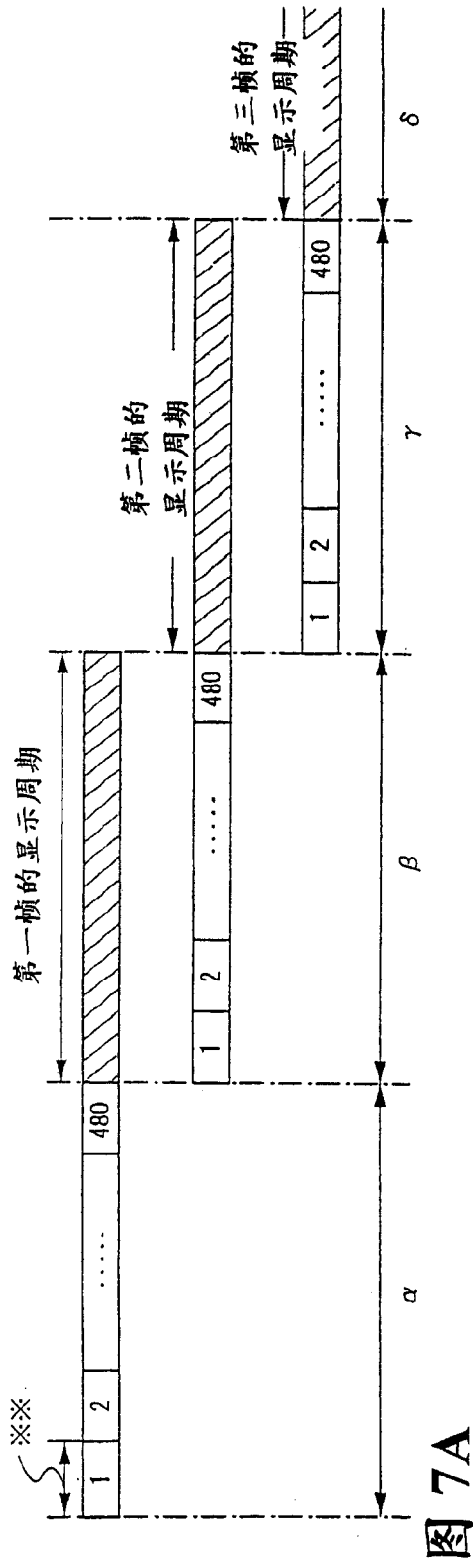


图 6



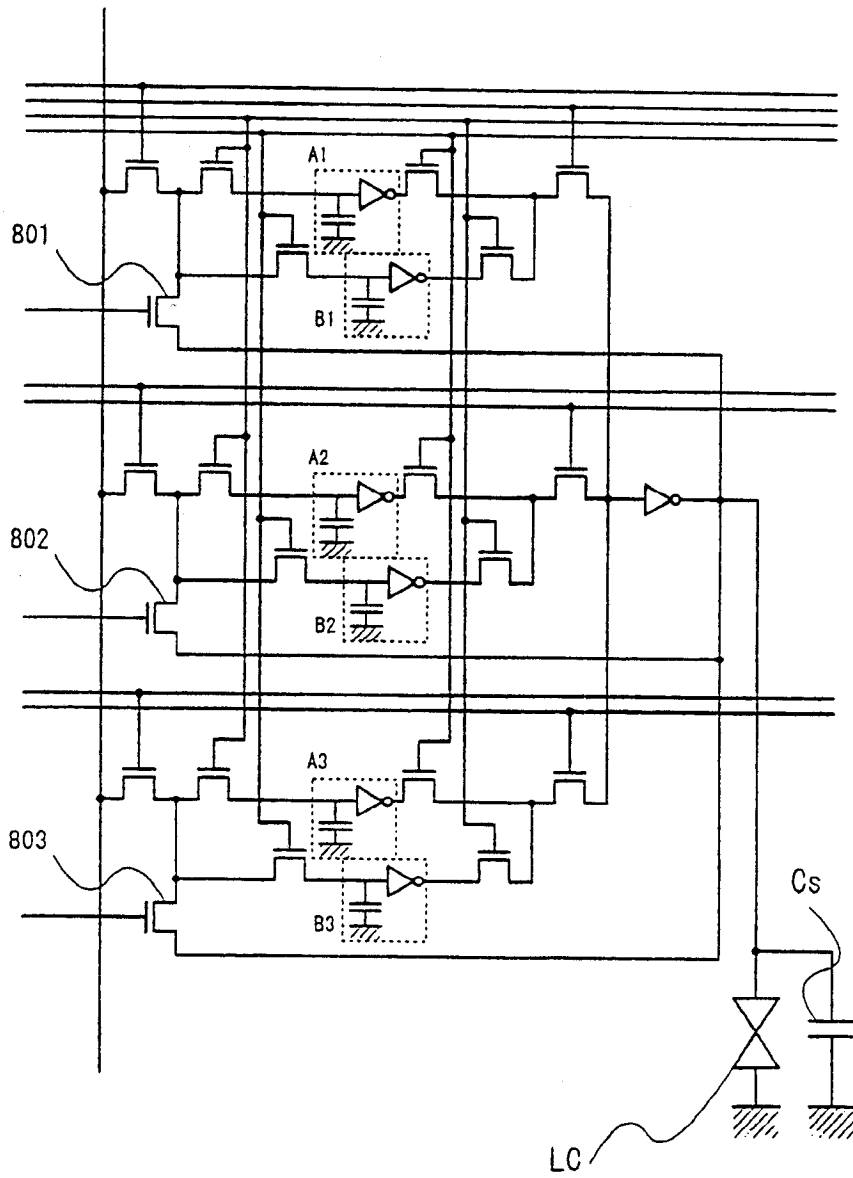


图 8

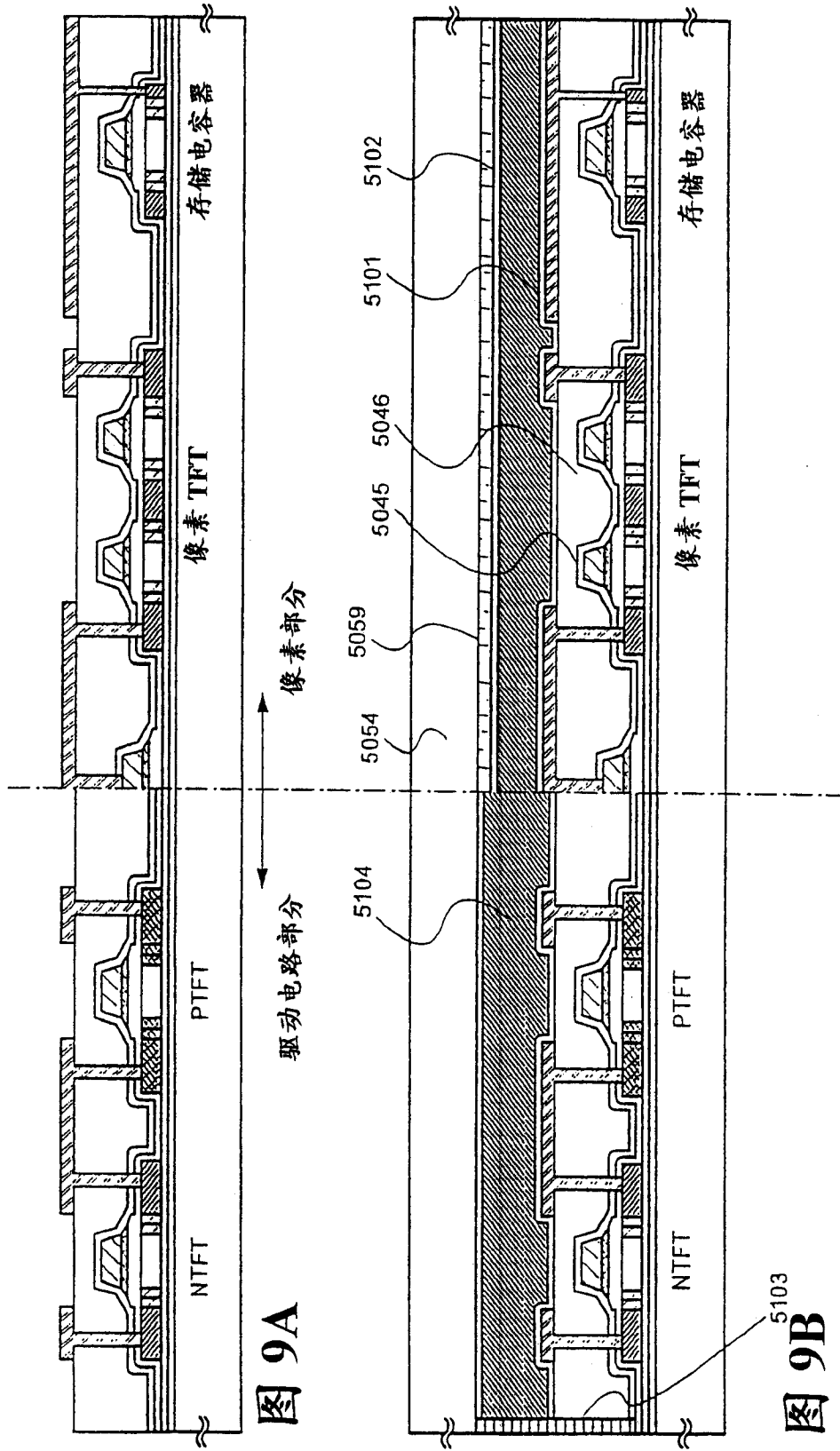


图 9A

图 9B

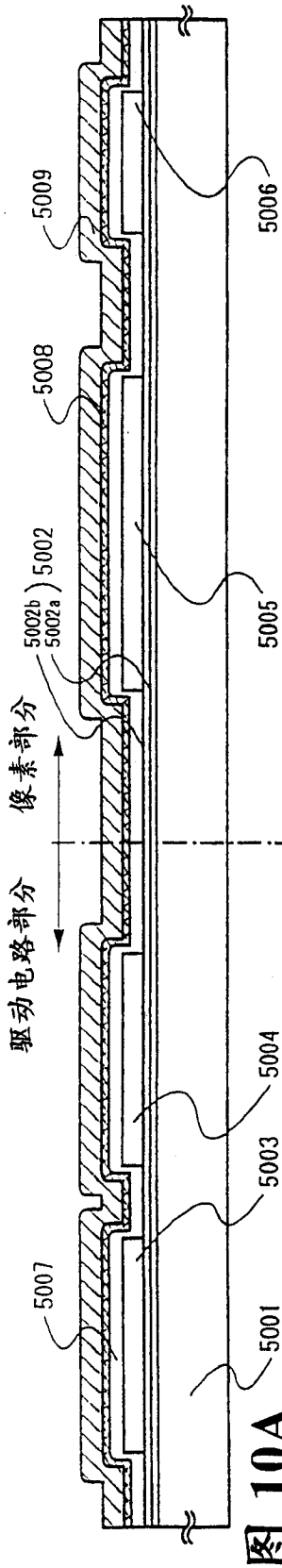


图 10A

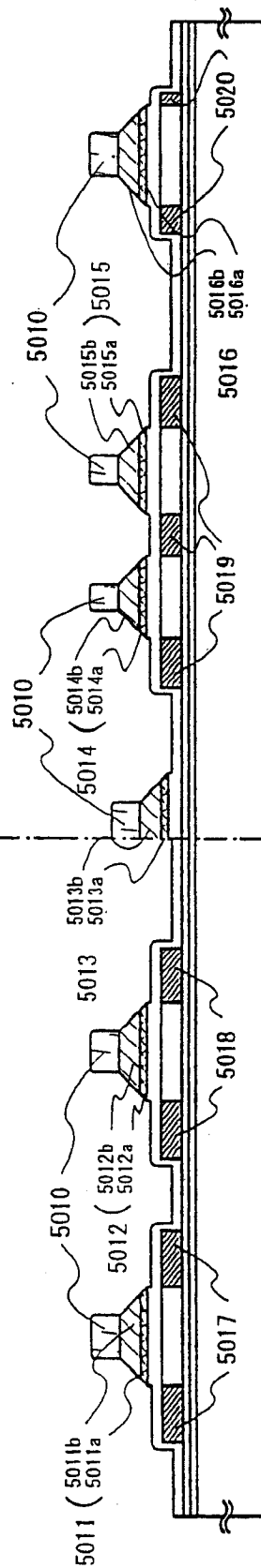


图 10B

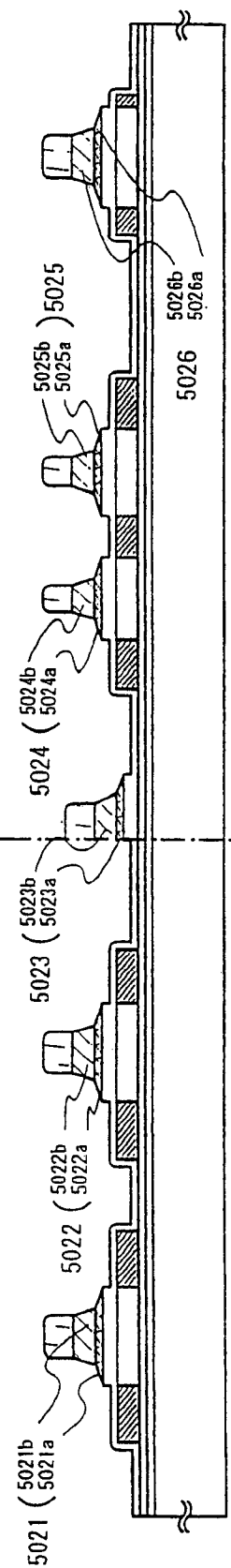
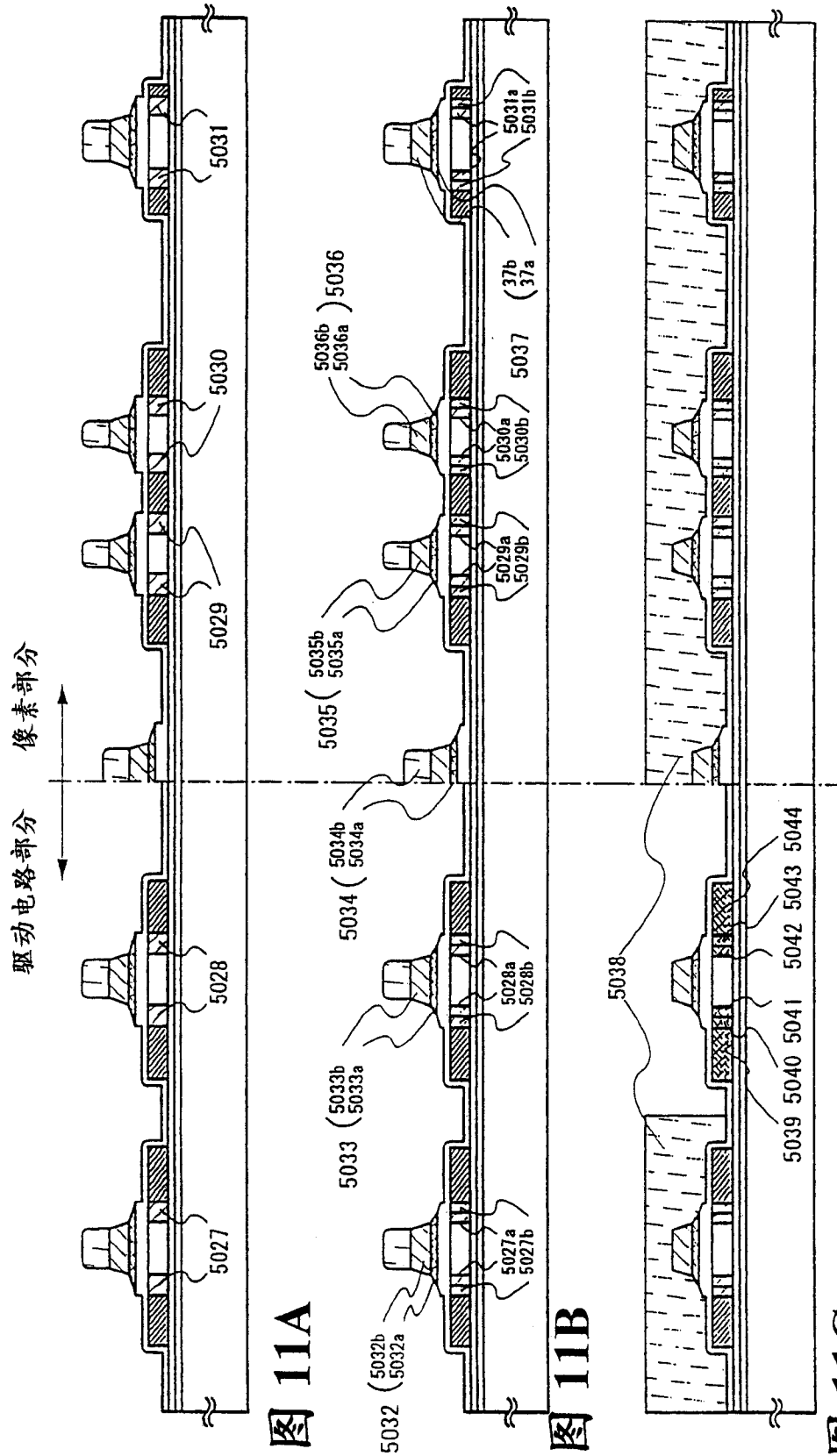


图 10C



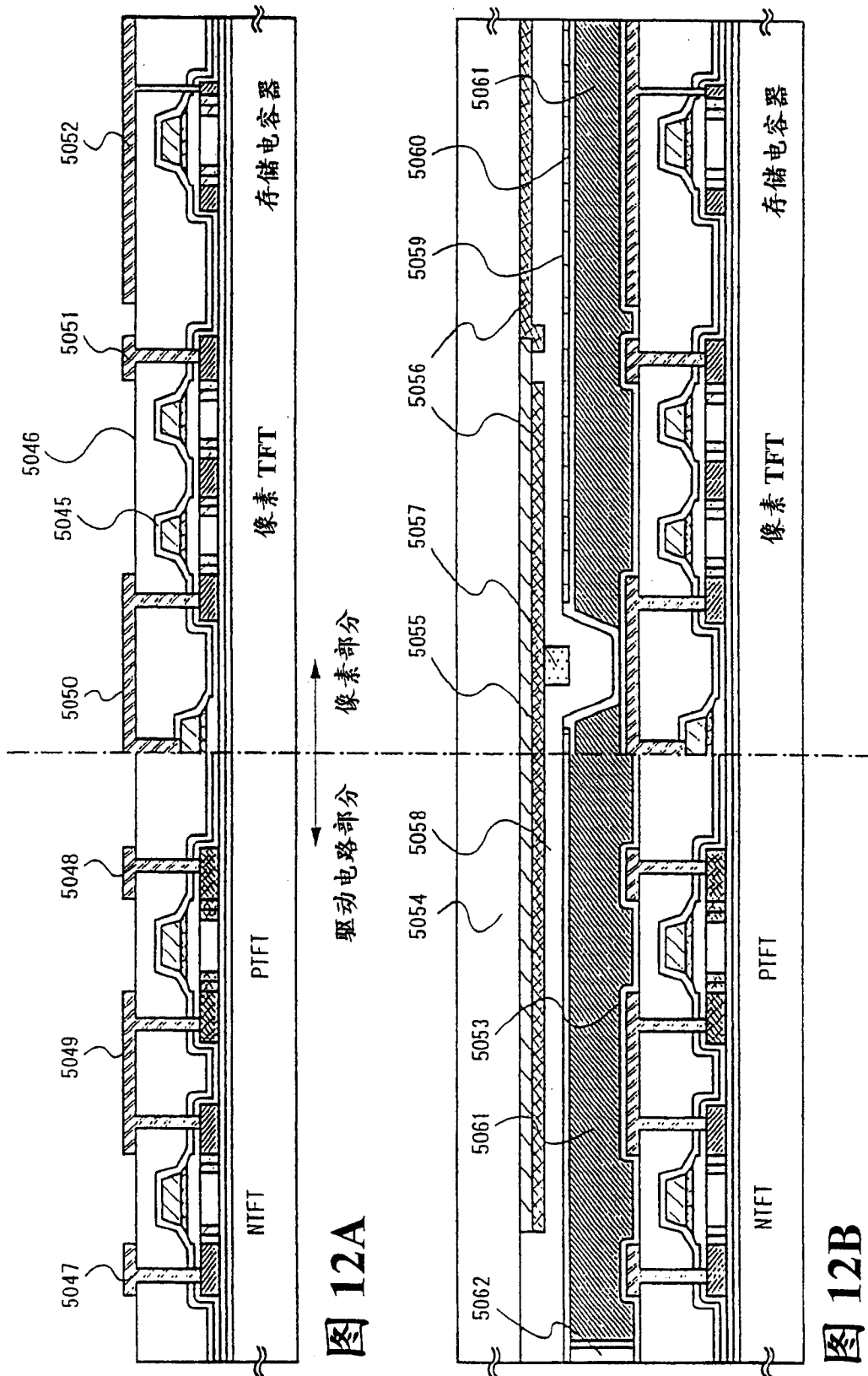


图 12A

图 12B

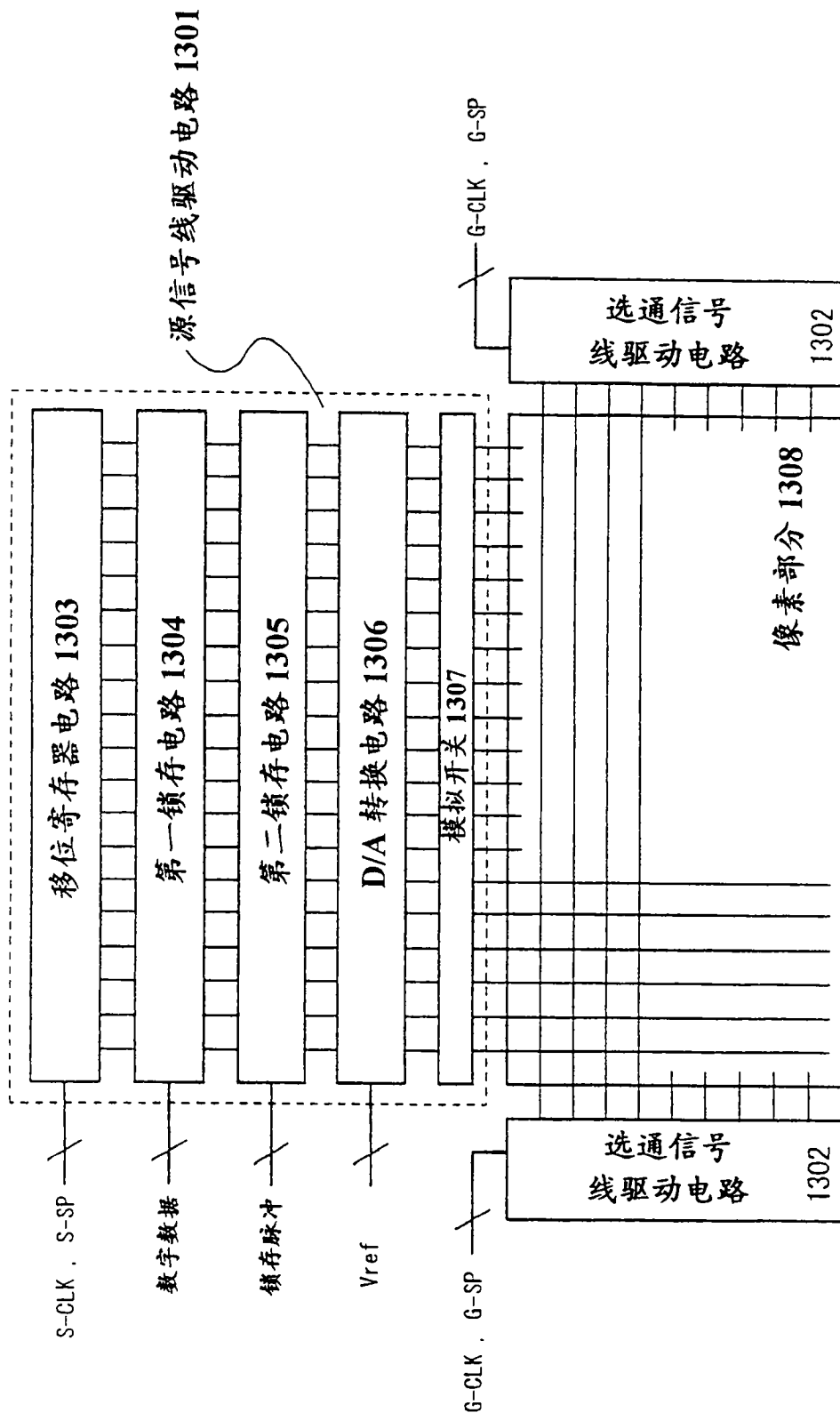


图 13

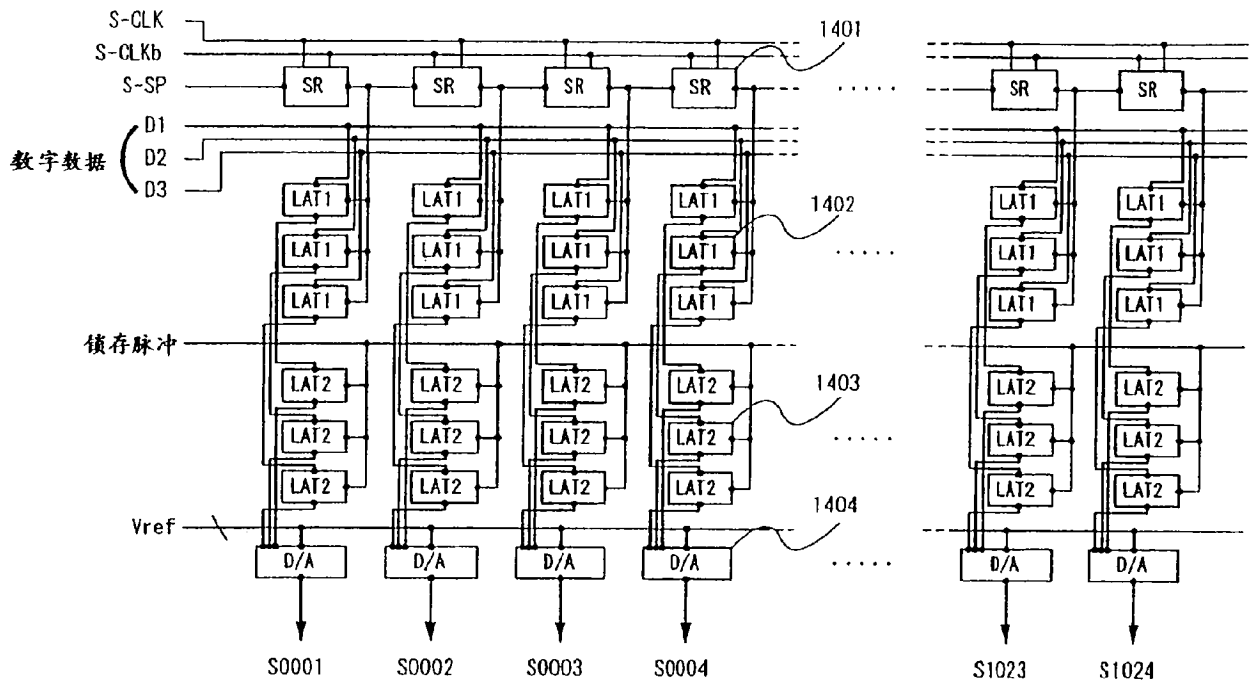


图 14

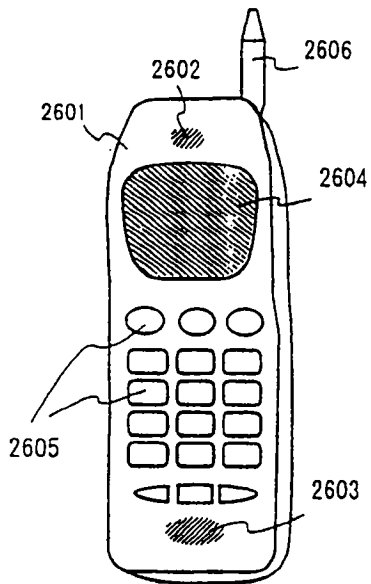


图 15A

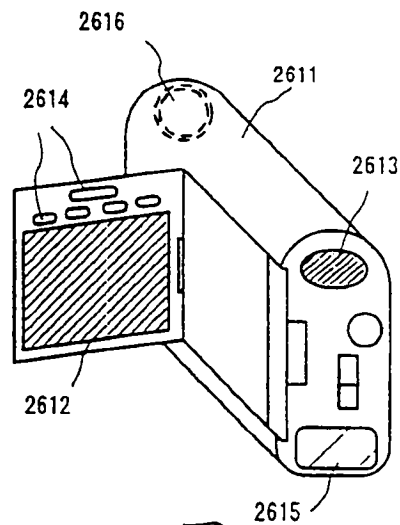


图 15B

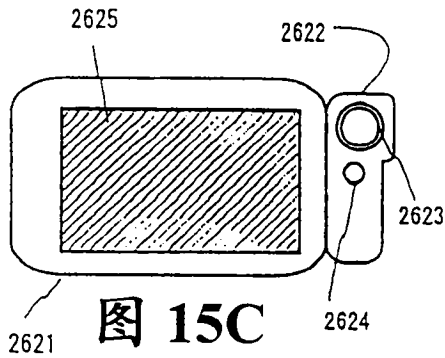


图 15C

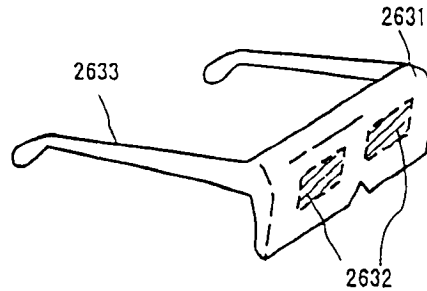


图 15D

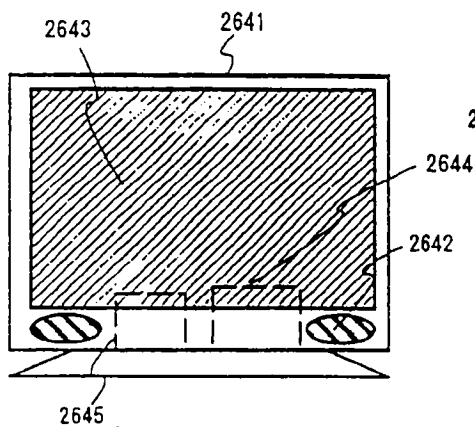


图 15E

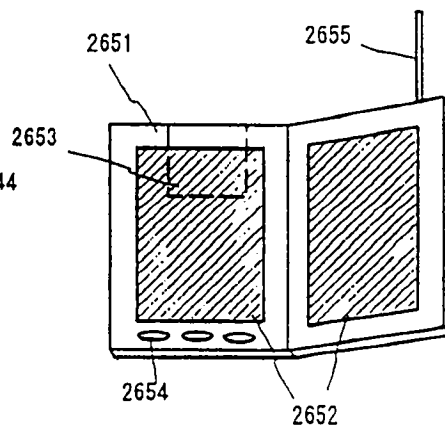


图 15F

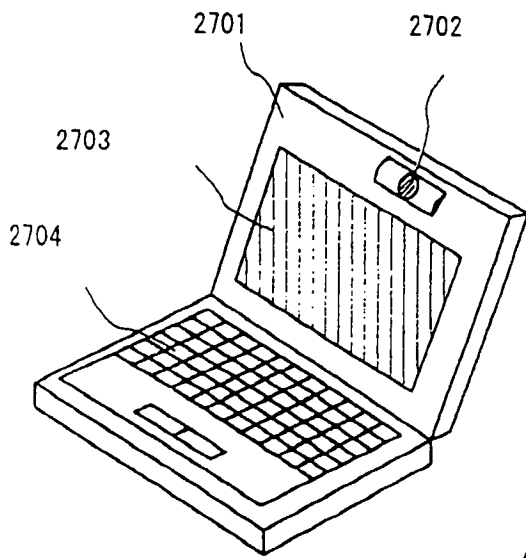


图 16A

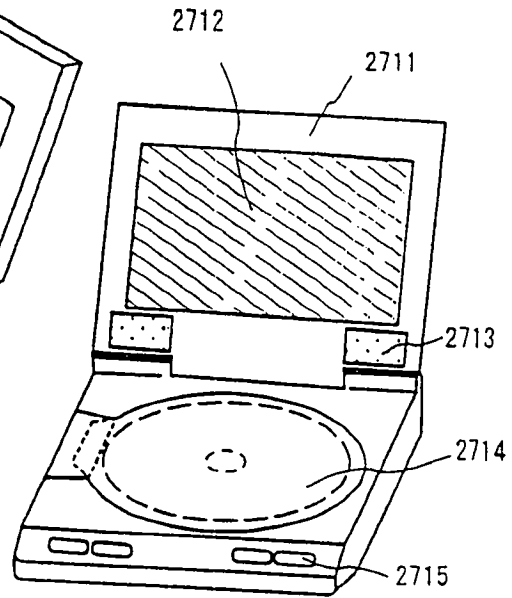


图 16B

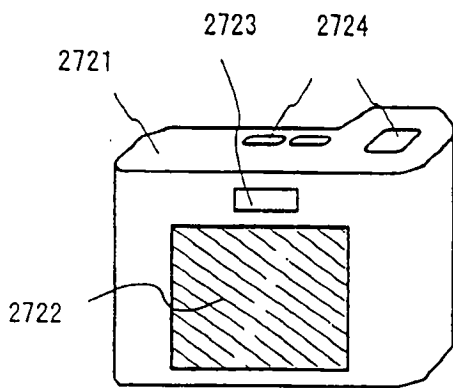


图 16C

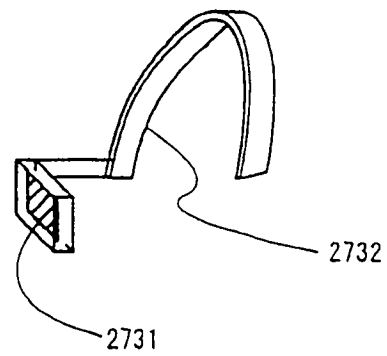


图 16D

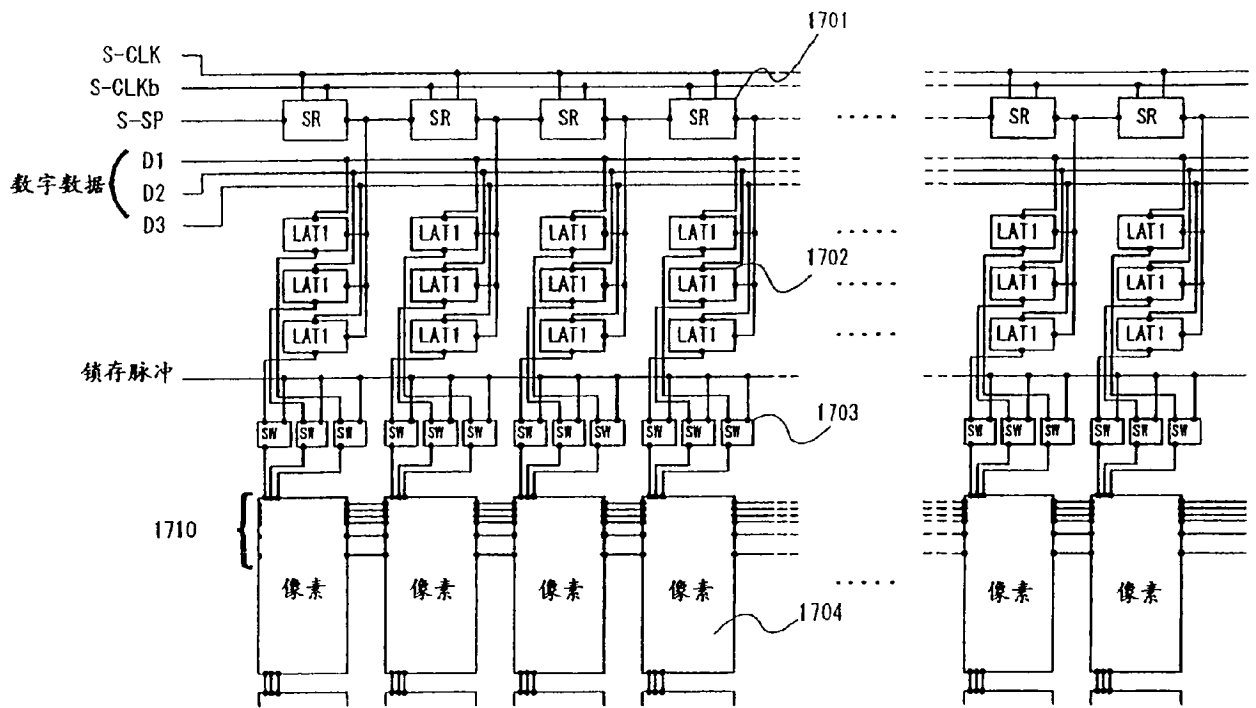


图 17

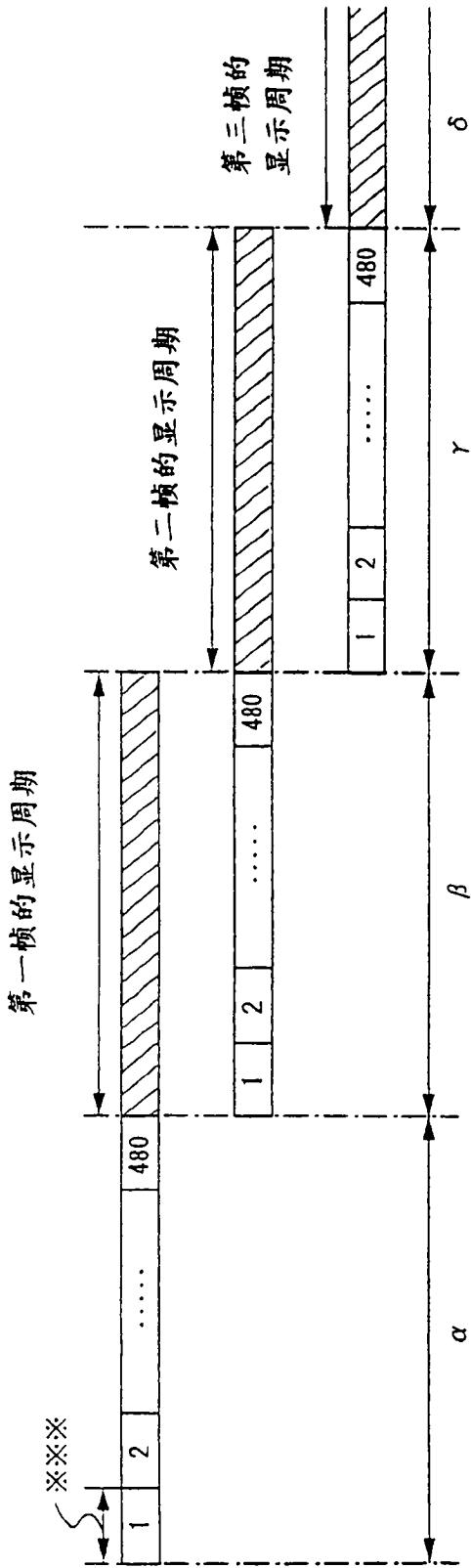


图 18A

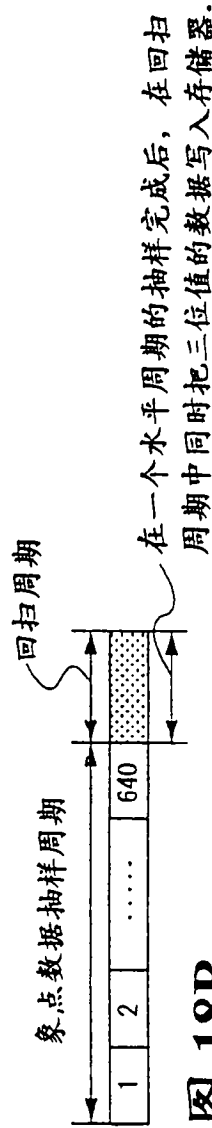


图 18B

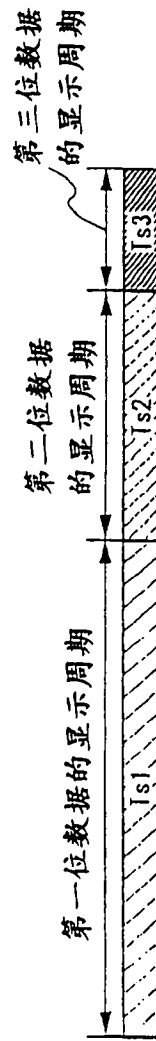


图 18C

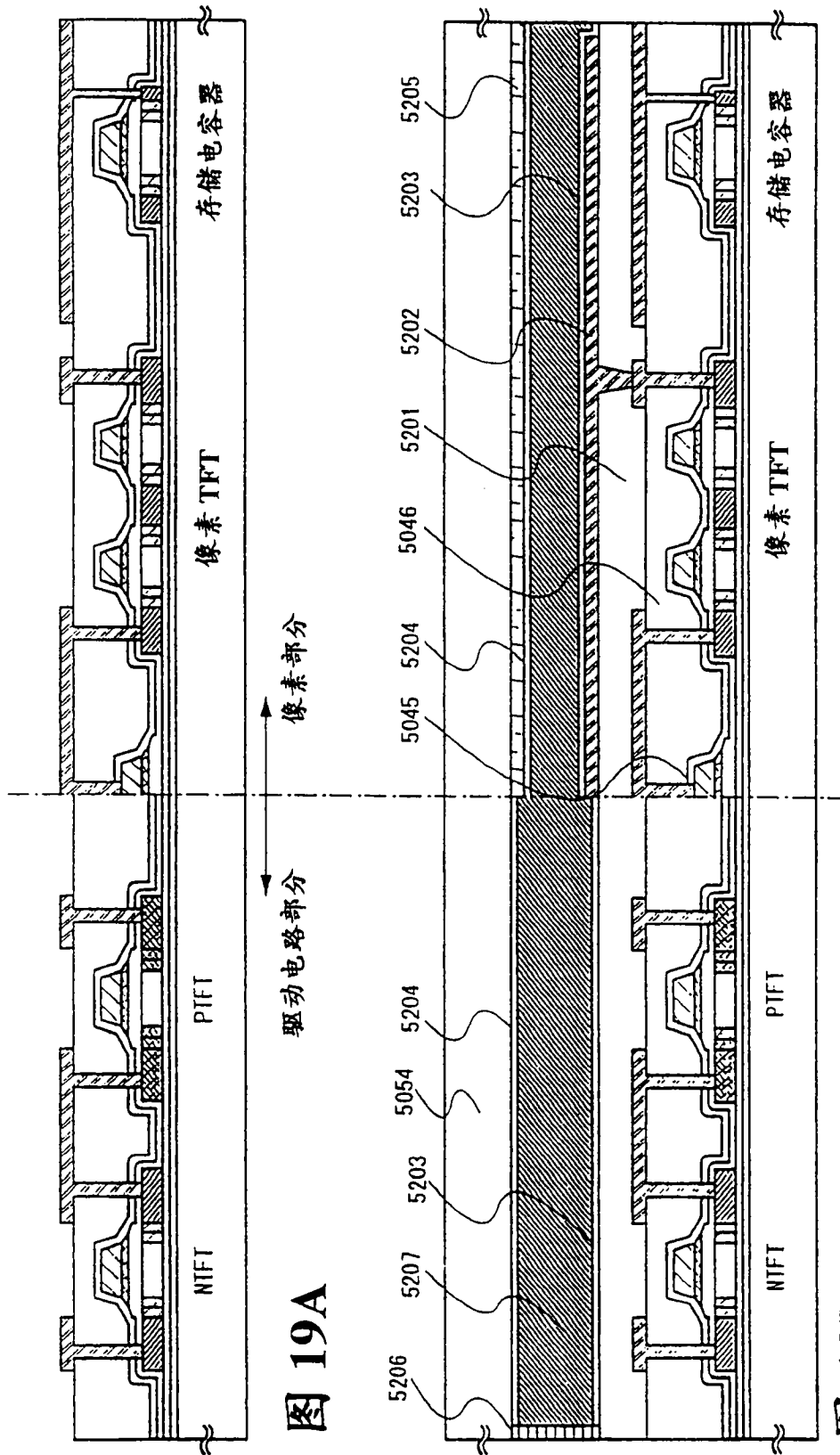


图 19A

图 19B

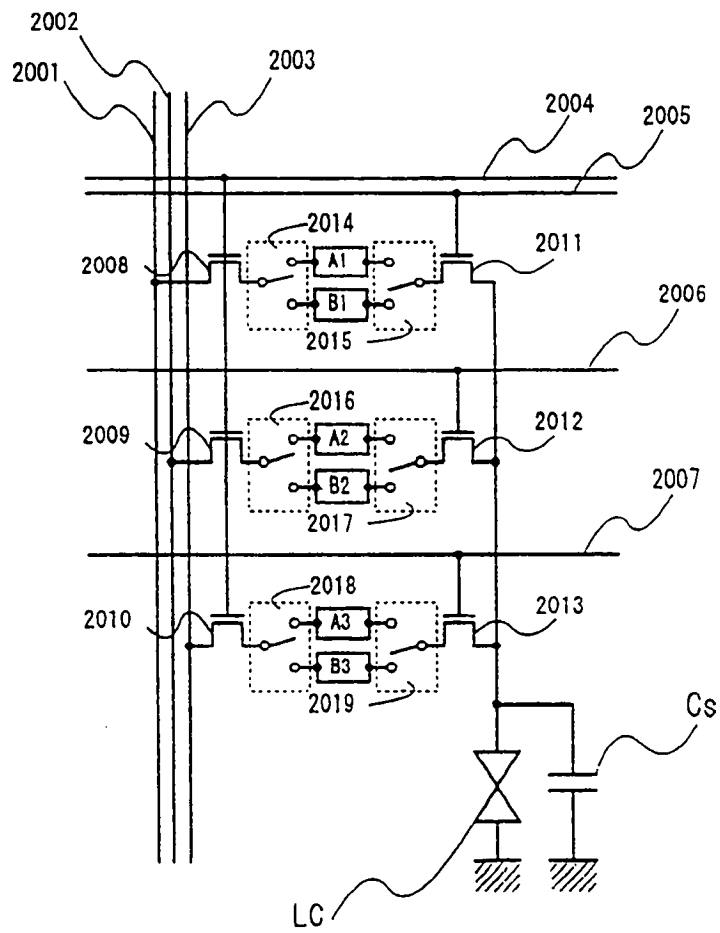


图 20

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶显示装置及其驱动方法 | | |
| 公开(公告)号 | CN1982965B | 公开(公告)日 | 2012-02-01 |
| 申请号 | CN200710008327.3 | 申请日 | 2001-08-08 |
| [标]申请(专利权)人(译) | 株式会社半导体能源研究所 | | |
| 申请(专利权)人(译) | 株式会社半导体能源研究所 | | |
| 当前申请(专利权)人(译) | 株式会社半导体能源研究所 | | |
| [标]发明人 | 小山润 | | |
| 发明人 | 小山润 | | |
| IPC分类号 | G02F1/133 G09G3/36 G09G3/20 | | |
| CPC分类号 | G09G2300/0852 G09G3/3648 G09G2300/0809 G09G2310/027 G09G2300/0857 G09G3/3688 G09G3/2018 G09G3/3659 | | |
| 审查员(译) | 史永良 | | |
| 优先权 | 2000240332 2000-08-08 JP | | |
| 其他公开文献 | CN1982965A | | |
| 外部链接 | Espacenet SIPO | | |

摘要(译)

本发明的目的之一是提供带有具有新电路结构的驱动电路和像素、能够有低功耗的液晶显示装置。在使用n位数字图像信号(n为整数)显示图像的液晶显示装置中,通过在每个像素中装入n×m个存储电路(m为整数),它包括在像素中存储m帧数字图像信号的功能(在实例的所示附图中, n=3, m=2, 3位×2帧被存储在存储电路A1至A3和B1至B3内)。因此,在显示静止图像时,通过重复读取暂时存储在存储电路中的数字图像信号并且在每帧中显示,可以停止源信号线驱动电路在这段时间内的驱动,以减小液晶显示装置的功耗。

