

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G02F 1/136 (2006.01)
G02F 1/133 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610103001.4

[45] 授权公告日 2008 年 10 月 15 日

[11] 授权公告号 CN 100426108C

[22] 申请日 2001.9.20

[21] 申请号 200610103001.4

分案原申请号 200510052594.1

[30] 优先权

[32] 2000.9.20 [33] JP [31] 286046/2000

[73] 专利权人 株式会社日立制作所

地址 日本东京都

[72] 发明人 桶隆太郎 仲吉良彰 小野记久雄

[56] 参考文献

CN1254948A 2000.5.31

CN1257304A 2000.6.21

US5825437A 1998.10.20

CN1183570A 1998.6.3

审查员 钟 杰

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 陈景峻

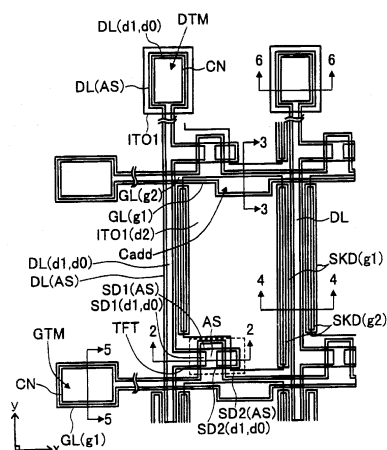
权利要求书 1 页 说明书 29 页 附图 49 页

[54] 发明名称

液晶显示器

[57] 摘要

提供一种降低信号线的布线电阻率的液晶显示装置。液晶显示装置包括液晶插入其中的彼此相对设置的衬底、通过从栅区信号线提供的扫描信号驱动的薄膜晶体管和经薄膜晶体管从漏区信号线提供视频信号的像素电极，薄膜晶体管和像素设置在一个衬底的液晶侧表面上的每个像素区域中。栅区信号线由多层结构制成，该多层结构包括形成在液晶侧表面上的至少一个 ITO 膜和形成来叠加在 ITO 膜上的 Mo 层。



1. 一种液晶显示装置，在经由液晶相对设置的各衬底中的一个衬底的液晶侧像素区域，设有栅绝缘膜、形成于该栅绝缘膜上的半导体层、作为层叠于该半导体层上的漏区信号线起作用的金属层，所述液晶显示装置的特征在于：

所述金属层的侧壁具有锥形面，所述半导体层以具有阶梯差而露出于所述金属层的两侧，ITO膜或IZO膜覆盖所述金属层和露出于所述金属层两侧的半导体层。

2. 根据权利要求1所述的液晶显示装置，其特征在于：

在所述栅绝缘膜下层具有ITO膜或IZO膜的对置电极，在所述栅绝缘膜上层具有ITO膜或IZO膜的像素电极。

3. 根据权利要求2所述的液晶显示装置，其特征在于：

所述对置电极在所述像素区域的大部分区域上形成，所述像素电极是多个并排设置的条带形状。

4. 根据权利要求1所述的液晶显示装置，其特征在于：

所述金属层是钼(Mo)、钨(W)、铬(Cr)、钛(Ti)、钽(Ta)中的任一种。

液晶显示器

本申请是分案提交日为2005年2月21日（申请日为2001年9月20日）、申请号为200510052594.1、发明名称为“液晶显示器”的发明专利申请的分案申请。

技术领域

本发明涉及液晶显示装置，尤其涉及有源矩阵型液晶显示装置。

背景技术

有源矩阵型液晶显示装置包括在其间插入液晶的彼此相对设置的衬底之一的液晶侧表面上提供的像素区域，每个像素区域是由设置来在X方向延伸并在Y方向并置的栅区信号线以及设置来在Y方向延伸并在X方向并置的漏区信号线包围的区域。

每个像素区域包括由来自栅区信号线之一的栅信号驱动的开关元件、经开关元件从漏区信号线提供视频信号的像素电极。

已知两种类型的液晶显示装置。一种是所谓的垂直电场型液晶显示装置，其中各个像素区域共用的反电极形成在衬底之一的液晶侧表面上，使得液晶的透光率由大致垂直于衬底的反电极与像素电极之间产生的电场控制。另一种是所谓的平面内开关型液晶显示装置，其中像素电极和相邻的反电极形成在形成有像素电极的衬底上的各个像素区域中，使得使得液晶的透光率由大致平行于衬底的像素电极与反电极之间产生的电场控制。

但是，要求这种液晶显示装置的栅区信号线或漏区信号线具有更小的布线电阻率，以与近来的面板尺寸增加相适应。

换言之，通过降低这些信号线的布线电阻率，可限制信号延迟，从而可实现更大的面板尺寸。

但是，即使可降低这些信号线的布线电阻率，由于产出率降低，也必须避免制造工序数增加。

另外，在以预定模式在衬底的液晶表面侧上层叠导电层、半导体层和绝缘层的情况下，考虑到产出率提高，要求制造出陡峭的台阶，并尽可能平滑。这是因

为在出现台阶的部分中薄膜承受爬坡(climb-over)损坏。

本发明考虑上述问题作出,本发明的一个目的是提供一种信号线的布线电阻率低的液晶显示装置。

本发明的另一个目的是提供一种液晶显示装置,其中很少个陡峭台阶出现在衬底的液晶侧表面上。

本发明的又一个目的是提供一种液晶显示装置的制造方法,其中制造工序数目减小。

发明内容

下面简要说明本申请公开的本发明的代表性方面。

根据本发明的液晶显示装置,包括:液晶插入其中的彼此相对设置的衬底;通过从栅区信号线提供的扫描信号驱动的薄膜晶体管;和经薄膜晶体管从漏区信号线提供视频信号的像素电极,薄膜晶体管和像素设置在一个衬底的液晶侧表面上的每个像素区域中。栅区信号线由多层结构制成,包括:例如形成在液晶侧表面上的ITO膜和形成来叠加在ITO膜上的Mo层。

在以这种方式构建的液晶显示装置中,通过使用具有小电阻率的Mo等使栅区信号线的布线电阻率减小。

在这种情况下,ITO膜等插入在Mo层与衬底之间的原因是如果栅区信号线由单层Mo等构成,栅区信号线对衬底的粘结不足。

在由这种多层结构制成的栅区信号线通过选择蚀刻形成的情况下,栅区信号线的侧壁分别形成有锥形表面,该表面朝向衬底渐渐变宽,从而可能降低陡峭台阶。

根据本发明的液晶显示装置的制造方法,包括步骤:在衬底上形成栅区信号线,每一个栅区信号线由依次层叠透明导电膜和金属层构成的叠层结构制成;形成绝缘膜来覆盖栅区信号线;在绝缘膜上形成由依次层叠半导体层、高浓度层和导电层构成的叠层结构;通过使用抗蚀剂回流方法对导电层和高浓度层执行选择蚀刻,用以形成薄膜晶体管的漏电极和源电极以及漏区信号线,并且用以执行半导体层的选择蚀刻;形成像素电极,每个电极部分直接叠加在对应薄膜晶体管中的一个的源电极上;形成保护膜并在保护膜中开孔来暴露出各个像素电极。

在这种方式构建的液晶显示装置的制造方法中,尽管迄今为止半导体层的形成和漏电极与源电极的形成以各自的光电处理进行,这种各个的光电处理可使用

用抗蚀剂回流方法的一个光电处理替代，从而可降低（简化）整个制造过程。

在保护膜中形成孔的同时，在栅区端子部件和漏区端子部件处形成孔，从而可降低（简化）制造过程。

附图说明

联系附图从下面的对本发明的优选实施例的具体描述中更容易理解和领会本发明，其中：

图1是根据本发明的液晶显示装置的像素的一实施例的平面图；

图2是沿着图1的线2-2的横截面图；

图3是沿着图1的线3-3的横截面图；

图4是沿着图1的线4-4的横截面图；

图5是沿着图1的线5-5的横截面图；

图6是沿着图1的线6-6的横截面图；

图7A到7C是表示图1所示的栅区信号线GL的制造方法的一个实施例的过程图；

图8A到8F是表示图1所示的薄膜晶体管的制造方法的一个实施例的过程图；

图9A到9H是表示图1所示的液晶显示装置的制造方法的一个实施例的过程图；

图10是表示图1所示的液晶显示装置的制造方法的一个实施例的表；

图11是表示根据本发明的液晶显示装置的另一实施例的视图，并表示薄膜晶体管的横截面；

图12表示根据本发明的液晶显示装置的另一实施例的视图，并表示漏区信号线及其附近的横截面；

图13是表示根据本发明的液晶显示装置的另一实施例的视图，并表示栅区端子部件的横截面；

图14是表示根据本发明的液晶显示装置的另一实施例的视图，并表示漏区端子部件的横截面；

图15A到15E是表示根据本发明的液晶显示装置的另一实施例的视图，是表示薄膜晶体管的制造方法的一实施例的过程图；

图16A到16G是表示根据本发明的液晶显示装置的制造方法的一个实施例的

过程图;

图17是表示根据本发明的液晶显示装置的制造方法的一个实施例的表;

图18是表示根据本发明的液晶显示装置的另一实施例的视图,并表示薄膜晶体管的横截面;

图19是表示根据本发明的液晶显示装置的另一实施例的视图,并表示漏区信号线及其附近的横截面;

图20表示根据本发明的液晶显示装置的另一实施例的视图,并表示栅区端子部件的横截面;

图21是表示根据本发明的液晶显示装置的另一实施例的视图,并表示漏区端子部件的横截面;

图22A到22G是表示根据本发明的液晶显示装置的另一实施例的视图,是表示薄膜晶体管的制造方法的一个实施例的过程图;

图23A到23G是表示根据本发明的液晶显示装置的制造方法的一个实施例的过程图;

图24是表示根据本发明的液晶显示装置的制造方法的一个实施例的表;

图25是根据本发明的液晶显示装置的像素的一实施例的平面图;

图26是沿着图25的线26-26的横截面图;

图27是沿着图25的线27-27的横截面图;

图28是根据本发明的液晶显示装置的像素的一实施例的平面图;

图29是沿着图28的线29-29的横截面图;

图30是沿着图28的线30-30的横截面图;

图31是根据本发明的液晶显示装置的像素的一实施例的平面图;

图32是沿着图31的线32-32的横截面图;

图33是沿着图31的线33-33的横截面图;

图34是沿着图31的线34-34的横截面图;

图35是表示图25所示的液晶显示装置的栅区端子部件的一个实施例的横截面图;

图36是表示图25所示的液晶显示装置的漏区端子部件的一个实施例的横截面图;

图37A到37F是图25所示的液晶显示装置的薄膜晶体管的制造方法的一个实

施例的过程图；

图38A到38E是表示图25所示的液晶显示装置的一个实施例的过程图；

图39是表示图25所示的液晶显示装置的一个实施例的表；

图40是根据本发明的液晶显示装置的像素的一实施例的平面图；

图41是沿着图40的线41-41的横截面图；

图42是沿着图40的线42-42的横截面图；

图43A-43D是表示半曝光方法的解释图；

图44是沿着图40的线44-44的横截面图；

图45是沿着图40的线45-45的横截面图；

图46A到46D是表示图40所示的薄膜晶体管的制造方法的一个实施例的过程图；

图47E到47H是图46D之后的过程图，表示图40所示的薄膜晶体管的制造方法的一个实施例；

图48I是图47H之后的过程图，表示图40所示的薄膜晶体管的制造方法的一个实施例；

图49是根据本发明的液晶显示装置的像素的一实施例的平面图；

图50是沿着图49的线50-50的横截面图；

图51是沿着图49的线51-51的横截面图；

图52是表示图49所示的漏区端子部件的横截面图；

图53A到53D是图49所示的薄膜晶体管的制造方法的一个实施例的过程图

；

图54是表示根据本发明的液晶显示装置的等效电路的一个实施例的视图。

具体实施方式

下面参考附图说明根据本发明的液晶显示装置的实施例。

实施例1

<<等效电路>>

图54是表示根据本发明的液晶显示装置的一个实施例的等效电路图。图54是一个电路图，描述来对应于液晶显示装置的实际的几何布局。

在图54中，表示出透明衬底SUB1。这个透明衬底SUB1设置来与另一个透明衬底SUB2相对，其间插入液晶。

栅区信号线GL和漏区信号线DL形成在透明衬底SUB1的液晶侧表面上。栅区信号线GL设置来在X方向延伸并在Y方向并置,如图54所示,而漏区信号线DL与栅区信号线GL绝缘,并设置来在Y方向延伸并且在X方向并置,如图54所示。每一个由相邻的栅区信号线GL和相邻的漏区信号线DL包围的矩形区域分别构成像素区域,并且通过集合这些像素区域形成显示部件AR。

薄膜晶体管TFT和像素电极PX形成在各个像素区域中。薄膜晶体管TFT通过从相邻的栅区信号线GL之一提供扫描信号(电压)来驱动,并且经薄膜晶体管TFT从相邻的漏区信号线DL之一把视频信号(电压)提供给像素电极PX。

电容器件Cadd形成在像素电极PX和相邻的栅区信号线GL的另一个之间,使得在断开薄膜晶体管TFT时,提供给像素电极PX的视频信号被长时间存储在电容器件Cadd中。

在各个像素区域中的像素电极PX被设置来在像素电极PX和对于另一透明衬底SUB2的液晶显示侧表面上的各个像素区域公共形成的反电极CT(未示出)之间产生电场,其中另一透明衬底SUB2设置成与透明衬底SUB1相对,其间插入液晶。各个像素电极PX与反电极CT之间的液晶的透光率由电场控制。

每个栅区信号线GL的一端被形成来向透明衬底SUB1的一侧(图54中是左侧)延伸,并且延伸的部分(后面称为栅区端子部件GTM)连接于安装在透明衬底SUB1上的垂直扫描电路(半导体集成电路)V的凸块。

另外,每个漏区信号线DL的一端被形成来向透明衬底SUB1的一侧(图54中是顶侧)延伸,并且延伸的部分(后面称为漏区端子部件DTM)连接于安装在透明衬底SUB1上的视频信号驱动电路(半导体集成电路)He。

把透明衬底SUB2设置成与透明衬底SUB1的区域(显示部件AR)相对,这避开了安装垂直扫描电路V和视频信号驱动电路He的区域。

通过形成在透明衬底SUB2周围的密封材料SL把透明衬底SUB2紧固于透明衬底SUB1,这个密封材料SL还具有密封透明衬底SUB1与SUB2之间的液晶的功能。

<<像素结构>>

图1表示透明衬底SUB1的液晶显示侧表面上的一个像素的结构(对应于图54的虚线框A中所示的部分)以及提供扫描信号和视频信号给像素的端子部件的结构。图2表示沿着图1的2-2线的横截面图,图3表示沿着图1的3-3线的横截面图

，图4表示沿着图1的4-4线的横截面图，图5表示沿着图1的5-5线的横截面图，图6表示沿着图1的6-6线的横截面图。

图1所示的设置成在X方向延伸并在Y方向并置的栅区信号线GL形成在透明衬底SUB1的液晶显示侧表面上。各个栅区信号线GL由2层结构制成，包括底层ITO（Indium-tin-Oxide）膜和上层钼（Mo）膜。

各个栅区信号线GL的一端（图1中为左右侧）形成来从显示部件AR向外延伸，并且延伸的部分形成具有相对大的面积的栅区端子部件GTM。

栅区信号线GL和后面描述的漏区信号线DL包围矩形区域，这个矩形区域构成成为像素区域。

各个栅区信号线GL的一部分具有延伸的部分，其突出到像素区域中，这个延伸的部分具有后面描述的薄膜晶体管TFT的栅电极的功能。

另外，各个栅区信号线GL的另一部分具有突出到与像素区域在Y方向上相邻设置的另一像素区域中的延伸部分，这个延伸部分具有电容器件Cadd的一个电极的功能（其另一电极是像素电极PX）。

在像素区域中，遮光膜SKD与各个漏区信号线DL相邻铺设并与其平行地形成。这些遮光膜SKD与栅区信号线GL平行形成，并具有两层结构，包括底层ITO膜和上层钼（Mo）膜。

这些遮光膜SKD与形成在玻璃衬底SUB2上的黑色矩阵BM一起可很可靠地阻挡光，这是由于像素电极PX的周围的液晶的排列紊乱（尤其，沿着与图1的Y方向平行的像素电极PX的各侧）。

绝缘膜GI（参考图2到6）形成在透明衬底SUB1的液晶侧表面上，在透明衬底SUB1上按上述方式形成了栅区信号线GL和遮光膜SKD。绝缘膜GI具有在栅区信号线GL和后述漏区信号线DL之间的中间绝缘膜功能、后述薄膜晶体管TFT的栅绝缘膜的功能和后述电容器件Cadd的介电膜的功能。

由例如非晶Si（a-Si）制成的半导体层AS以使得横穿过突出到像素区域中的各个栅区信号线GL的延伸的部分的方式形成在绝缘膜GI的上表面上。

半导体层AS构成薄膜晶体管TFT的半导体层，漏电极SD1和源电极SD2形成在半导体层AS的上表面上，从而形成把栅区信号线GL的延伸部分用作其栅电极的反向错开的结构MIS晶体管。

顺便提及，半导体层AS不仅形成在形成薄膜晶体管TFT的区域上，而且形成

来整体延伸到形成后面要描述的漏区信号线DL的区域中。打算把这个结构用来加强漏区信号线DL与栅区信号线GL的层间绝缘。

半导体层AS上的漏电极SD1和源电极SD2与漏区信号线DL同时形成。

尤其，如图1所示，设置来在Y方向延伸并且在X方向并置的漏区信号线DL形成在绝缘膜GI（半导体层AS位于漏区信号线DL之下）的上表面上，每个漏区信号线DL的一部分形成来延伸到薄膜晶体管TFT的半导体层AS的上表面并形成漏电极SD1。

顺便提及，每个漏区信号线DL的一端（图1中是顶侧）形成来从显示部件AR向外延伸，延伸的部分形成具有相对大的面积的栅区端子部件GTM。

源电极SD2与漏电极SD1间隔开等于薄膜晶体管TFT的沟道长度的距离来形成。

这个源电极SD2形成来从薄膜晶体管TFT的半导体层AS的上方延伸到像素区域，这个延伸的区域形成与后面描述的像素电极PX连接的一个部分。

漏区信号线DL、漏电极SD1和源电极SD2例如由钼（Mo）构成。

顺便提及，掺有杂质的高浓度层 d_0 形成在半导体层AS与源电极SD2和漏电极SD1（参考图2）的每一个之间的界面处。这个高浓度层 d_0 用作薄膜晶体管TFT的接触层。

另外，在漏区信号线DL和底下半导体层AS（参考图4）之间的界面处形成高浓度层 d_0 。

由例如ITO（Indium-Tin-Oxide）膜制成的像素电极PX形成在像素区域内除其狭窄周边外的绝缘膜GI的上表面的中央部位。

像素电极PX与薄膜晶体管TFT相邻的那侧形成来避开形成薄膜晶体管TFT的区域并且叠加及连接在源电极SD2的延伸部分。

像素电极PX与各个漏区信号线DL相邻的那侧形成来使得各个侧的轮廓叠加在各个遮光膜SKD的中心轴（或近似中心轴）上。

各个遮光膜SKD主要用来阻挡由于像素电极PX与相邻的一个漏区信号线DL之间产生的电场露出的光以及由于像素电极PX的周围相邻的一个漏区信号线DL产生的电场造成的液晶排列紊乱造成的光。

另外，像素电极PX形成来稍稍叠加用于驱动薄膜晶体管TFT的栅区信号线GL和与该栅区信号线GL相邻设置的另一栅区信号线GL（图1的上侧表示的栅区信

号线GL), 这两个栅区信号线GL之间插入像素电极PX。

另一栅区信号线GL具有如前所述伸出到像素区域中的延伸部分, 像素电极PX经绝缘膜GI以相对大的面积叠加在另一栅区信号线GL上。

使用绝缘膜GI作为其介电膜的电容器件Cadd形成在像素电极PX和另一栅区信号线GL互相叠加的部分中。电容器件Cadd例如用来实现即使在薄膜晶体管TFT断开时也使提供给像素电极PX的视频信号存储相对长时间的作用。

由例如SiN制成的保护膜PSV形成在以上述方式形成的透明衬底SUB1的表面上。

保护膜PSV提供来防止薄膜晶体管TFT与液晶直接接触, 在形成各个像素电极PX的保护膜PSV的区域中开孔。

尤其, 形成保护膜PSV使得像素电极PX的除其周边以外的中央部位被曝光(参考图2)。在这种结构中, 由于在透光的像素区域中没有保护膜PSV, 可防止光吸收到保护膜PSV中。

覆盖显示部件AR的整个区域的对准层ORI形成在以上述方式形成的透明衬底SUB1的表面上(参考图4), 并且用于确定与对准层ORI直接接触的液晶LC的初始排列方向。

如图4所示, 黑色矩阵BM形成在透明衬底SUB2的液晶LC侧表面上, 以分割每个像素区域与相邻的像素区域。具有对应于各个像素区域的颜色滤光片FIL分别形成在黑色矩阵BM的与各个像素区域对应的部分中所形成的孔中。

覆盖显示部件AR的整个区域的另一对准层ORI形成在以上述方式形成的透明衬底SUB2的表面上, 并且用于确定与对准层ORI直接接触的液晶LC的初始排列方向。

<<栅区信号线GL>>

每个栅区信号线GL由两层结构制成, 并且其底层由ITO (Indium-Tin-Oxide) 膜 g_1 制成, 而其上层由Mo层 g_2 制成, 分别如图2或3举例所示。

在近来的朝着液晶显示面板的增加尺寸发展的趋势中, 要求降低各个栅区信号线GL的电阻率, 把Mo层 g_2 选择为栅区信号线GL的主要材料。但是, 如果把Mo层 g_2 用作单层, Mo层 g_2 对作为基体衬底的透明衬底层SUB1的粘结不足。由于这个原因, ITO膜 g_1 用作中间层。

通过对具有两层结构的每个栅区信号线GL进行各个层(如后面所述)允许不

同的蚀刻率的选择蚀刻，在每个栅区信号线GL的侧壁上形成朝向透明衬底SUB1越来越打开的锥形表面，从而可防止爬过栅区信号线GL的漏区信号线DL的所谓的爬坡断开，并且可能防止对保护膜PSV的所谓的爬坡损坏。

在形成各个栅区信号线GL的栅区端子部件GTM期间，有一种情况是在接触孔通过干蚀刻保护膜PSV和绝缘膜GI形成时不能确保对Mo层 g_2 的选择性。但是，由于ITO膜 g_1 保留为所谓的阻挡件，能可靠地形成栅区端子部件GTM。

图7A到7C是表示形成上述栅区信号线GL之一的方法的一个实施例的过程图。

首先如图7A所示，在透明衬底SUB1的主表面上形成ITO膜 g_1 ，在ITO膜 g_1 的上表面上形成Mo层 g_2 。之后，在Mo层 g_2 的表面上形成光刻胶膜PRES，通过使用光掩模（未示出）选择地曝光这个光刻胶膜PRES。之后，显影光刻胶膜PRES，使得光刻胶膜PRES留在要形成栅区信号线GL的区域中。

接着，把光刻胶膜PRES用作掩模来选择地蚀刻从这个掩模暴露出的部分Mo层 g_2 。在这个步骤中使用的蚀刻溶液例如从包含磷酸和硝酸的混合酸以及硝酸铈和硝酸的混合溶液中选择。在这种情况下，朝向透明衬底SUB1逐渐打开的锥形表面分别形成在剩余的Mo层 g_2 的侧壁上。

随后，再次把光刻胶膜PRES用作掩模来选择地蚀刻从这个掩模暴露出的部分ITO膜 g_1 。在这个步骤中使用的蚀刻溶液例如是王水（氢氯酸与硝酸的混合溶液）。在这种情况下，朝向透明衬底SUB1逐渐打开的锥形表面分别形成在剩余的Mo层 g_1 的侧壁上。

接着，去除光刻胶膜PRES，从而把栅区信号线GL形成在透明衬底SUB1上。这个栅区信号线GL具有分别具有朝向透明衬底SUB1逐渐打开的微小的锥形表面的侧壁，从而可完全防止在后面的步骤中层叠的层受到因存在台阶需要切割这样的损坏。

<<漏区信号线DL>>

图4清楚地表示一个漏区信号线DL的横截面。所示的漏区信号线DL与通过后面描述的抗蚀剂回流方法形成的薄膜晶体管TFT平行地形成，并且由层叠结构制成，其中依次层叠 a-Si制成的半导体层AS、在半导体层AS的表面上形成的高浓度层 d_0 和Mo层 d_1 。

因此，如图4所示，朝向透明衬底SUB1逐渐打开的锥形表面分别形成在漏区

信号线DL的侧壁上,在这些锥形表面上半路中,尤其在高浓度层 d_0 下面的部分半导体层AS中各自形成台阶。

因此,能够可靠地防止漏区信号线DL对保护膜PSV和对准层ORI引起所谓的爬坡损坏。

在这种情况下产生的爬坡损坏带来的问题是在漏区信号线DL的一个侧壁附近在保护膜PSV中产生断裂等,并且漏区信号线DL材料通过这个断裂被离子化并溶解在液晶中,从而改变液晶的电阻率。

<<薄膜晶体管TFT>>

图2是一个薄膜晶体管TFT的横截面图。所示的薄膜晶体管TFT通过后面要描述的抗蚀剂回流方法形成。

构成薄膜晶体管TFT的栅电极部分的栅区信号线GL具有以朝向透明衬底SUB1逐渐打开的锥形表面锥形形状形成的侧壁,从而可防止层叠在那一部分中的绝缘膜GI、漏电极SD1和源电极SD2被台阶损坏。

电连接于薄膜晶体管TFT的源电极SD2的像素电极PX直接层叠在源电极SD2上来形成。因此,防止薄膜晶体管TFT与液晶LC直接接触的保护膜片PSV被形成来叠加在像素电极PX上。

尤其,像素电极PX作为其下有保护膜PSV的层被定位,从而避开了相对于薄膜晶体管TFT的源电极SD2和像素电极PX之间的电连接形成与保护膜PSV的接触孔。

由抗蚀剂回流方法形成的薄膜晶体管TFT具有层叠结构形成的侧壁,层叠结构中,依次层叠半导体层AS、高浓度层 d_0 和漏电极SD1或源电极SD2。各个侧壁都形成为具有朝向透明衬底SUB1逐渐打开的锥形表面,在这些锥形表面上半路中,尤其在高浓度层 d_0 下面的部分半导体层AS中各自形成台阶。

因此能够可靠地防止漏区信号线DL引起对保护膜PSV和对准层ORI的所谓的爬坡损坏。

尤其,像素电极PX由在像素电极爬上台阶的位置处相对容易损坏的材料构成。另外,必须把像素电极PX形成来爬上层叠结构并叠加在源电极SD2上。但是,由于分别在层叠结构的侧壁的锥形表面上形成台阶,可完全防止像素电极PX经受台阶引起的爬坡损坏。

图8A到8F是表示形成上述薄膜晶体管TFT的方法的一个实施例的过程图

首先,如图8A所示,在已经形成栅区信号线GL和绝缘膜GI后,在绝缘膜GI的表面上形成半导体层AS,在半导体层AS的表面上形成高浓度层 d_0 ,在高浓度层 d_0 上形成Mo层 d_1 。在这种情况下,在同一室内连续淀积半导体层AS、高浓度层 d_0 和Mo层 d_1 。

如图8B所示,在Mo层 d_1 的表面上形成光刻胶膜PRES,对应于要形成漏区信号线DL、漏电极SD1和源电极SD2的部分光刻胶膜PRES的部分通过使用光掩模选择的曝光留下。

如图8C所示,光刻胶膜PRES用作掩模,从这个掩模暴露出来的部分Mo层 d_1 被选择地蚀刻(例如,选择包含磷酸和硝酸的混合酸或硝酸铈与硝酸的混合溶液来用于这个蚀刻),并且干蚀刻高浓度层 d_0 。在这种情况下,半导体层AS的表面轻微地切割。

顺便提及,高浓度层 d_0 的蚀刻不限于上述方法,在选择地蚀刻Mo层 d_1 后,可把这个Mo层 d_1 用作掩模来蚀刻高浓度层 d_0 。

如图8D所示,使光刻胶膜PRES回流。通过这个处理,下陷光刻胶膜PRES的周边部分,下陷的部分还用作掩模。回流光刻胶膜PRES的方法例如是烤制、在有机溶剂环境中溶解或浸没在水中。

在这个步骤中,光刻胶膜PRES的下陷需要完全覆盖漏电极SD1和源电极SD2之间的部分(沟道区域)。结果,在图8B所示的步骤中,在这个部分中的光刻胶膜PRES的图案宽度需要作得尽可能窄。

而且,这个光刻胶膜PRES被用作掩模来选择地蚀刻从这个掩模暴露出来的部分半导体层AS。

之后,去除光刻胶膜PRES。优选地在执行抛光后使光刻胶膜PRES进行所谓的MEA剥离,因为如果在回流期间烤制光刻胶膜PRES,则光刻胶膜PRES变得难以剥离。

如图8E所示,形成ITO膜ITO1,在对应于要形成像素电极PX(也在漏区端子部件DTM)的区域的部分中形成光刻胶膜PRES。这个光刻胶膜PRES被用作掩模来去除从这个掩模暴露出来的部分ITO膜ITO1。此后,去除光刻胶膜PRES。

如图8F所示,形成保护膜PSV并且形成光刻胶膜PRES,使得在除像素区域周边的像素区域的中央部位(包括形成薄膜晶体管TFT的区域)开孔。

这个光刻胶膜PRES被用作掩模来去除从这个掩模暴露出来的部分保护膜PS

V。顺便提及,在保护膜PSV中形成孔的同时,也在栅区端子部件GTM和漏区端子部件DTM处形成孔。此后,去除光刻胶膜PRES。

<<电容器件Cadd>>

图3是一个电容器件Cadd的横截面图。像素电极PX以这样的方式形成:部分像素电极PX叠加在部分栅区信号线GL上,其间插入绝缘膜GI,并且绝缘膜GI用作电容器件Cadd的介电膜。

如上所述,由于像素电极PX形成来定位成保护膜PSV下面的层,电容器件Cadd的介电膜不使用保护膜PSV和绝缘膜GI制成的两层结构,仅由绝缘膜GI制成。

由于这个原因,电容器件Cadd的电容值可由绝缘膜GI的膜厚和栅区信号线GL与像素电极PX之间的重叠面积来设置,从而容易设置电容器件Cadd的电容值。

因为介电膜仅由绝缘膜GI制成这一事实,由于栅区信号线GL带来的台阶容易在电容器件Cadd的介电膜的表面上出现。但是,栅区信号线GL具有包括作为底层的ITO膜 g_1 和作为上层的Mo层 g_2 的两层结构,栅区信号线GL的侧壁形成为轻微的锥形形状,从而在部分像素电极PX叠加在栅区信号线GL上的情况下,可完全防止像素电极PX在像素电极PX爬过台阶的位置上被损坏。

<<黑色矩阵BM>>

图4表示黑色矩阵BM的横截面图。图4表明黑色矩阵BM形成来仅覆盖漏区信号线DL,但是黑色矩阵BM也可形成来覆盖栅区信号线GL和薄膜晶体管TFT。

这个结构打算用来改善对比度,并防止由于外部光照射带来薄膜晶体管TFT的特性改变。

与栅区信号线GL同时形成的遮光膜SKD形成在漏区信号线DL的相对侧上,覆盖漏区信号线DL的黑色矩阵BM形成来使得黑色矩阵BM的宽度方向的相对两端分别定位在遮光膜SKD上。

<<栅区端子部件GTM>>

图5是表示一个栅区端子部件GTM的横截面图。所示的栅区端子部件GTM通过开孔和曝光栅区信号线GL的延伸端分别依次形成在保护膜PSV和绝缘膜GI中(通过使用干蚀刻的选择蚀刻)。在各个像素区域在保护膜PSV中开孔的同时进行开孔。

如图5所示,由作为底层的ITO膜 g_1 和作为上层的Mo层 g_2 构成的栅区信号线GL用覆盖在栅区端子部件GTM处被去除的Mo层 g_2 来形成。这是由于在通过干蚀刻

在保护膜PSV和绝缘膜GI中开孔同时蚀刻不能保证选择比的Mo层 g_2 。

但是,留下具有蚀刻阻挡件功能的下面ITO膜 g_1 ,栅区端子部件GTM的功能完全由ITO膜 g_1 实现。另外,ITO膜 g_1 由不容易被氧化的材料制成,从而可形成例如抗电解腐蚀的栅区端子部件GTM。

<<漏区端子部件DTM>>

图6是表示漏区端子部件DTM的横截面的视图。所示的漏区端子部件DTM通过在保护膜PSV中开孔(通过选择蚀刻)并曝光漏区信号线DL的延伸端形成。在各个像素区域的保护膜PSV中开孔的同时进行开孔。

在这种结构中,ITO膜ITO1形成来在漏区端子部件DTM处覆盖漏区信号线DL。这个ITO膜ITO1在形成像素电极PX的同时形成。ITO膜ITO1形成来使得防止电解腐蚀的产生。

如上所述,漏区信号线DL与通过抗蚀剂回流方法形成的薄膜晶体管TFT平行地形成,并由依次层叠半导体层AS、高浓度层 d_0 和Mo层 d_1 的叠层结构制成。漏区信号线DL的侧壁形成为轻微的锥形形状。

因此,在漏区信号线DL在漏区端子部件DTM处用ITO膜ITO1覆盖的情况下,可解决诸如由于台阶而切割ITO膜ITO1的问题。

<<制造方法>>

图9A到9H是表示上述液晶显示装置的制造方法的一个实施例的过程图。

图9A到9H是与图8A到8F一起表示形成栅区端子部件GTM部分的过程图。

图9A对应于图8A,图9B对应于图8B,图9C对应于图8C,图9D对应于图8D,图9E对应于图8E,图9G对应于图8F。

一连串过程如图10的表所示。从该表明显地看出,光刻处理数可降低到4个,即,栅区信号线GL的构图、漏区信号线DL(漏电极和源电极)的构图、像素电极PX的构图和保护膜PSV的构图。

实施例2

在实施例1的上面描述中,参考通过使用抗蚀剂回流方法形成薄膜晶体管TFT的液晶显示装置。但是,本发明还可应用于通过使用所谓的半曝光方法形成薄膜晶体管TFT的液晶显示装置。

实施例2除下面的结构外与实施例1相同。

<<薄膜晶体管TFT>>

图11是通过使用所谓的半曝光方法形成薄膜晶体管TFT的横截面图。

薄膜晶体管TFT具有通过层叠结构形成的侧壁，层叠结构中依次层叠半导体层AS、高浓度层 d_0 、Mo层 d_1 并且各个侧壁形成来具有朝向透明衬底SUB1逐渐打开的轻微的锥形表面。

图15A到15E是表示形成薄膜晶体管TFT的方法的一个实施例的过程图。

首先，如图15A所示，在已经形成栅区信号线GL和绝缘膜GI后，在绝缘膜GI的表面上形成半导体层AS，在半导体层AS的表面上形成高浓度层 d_0 ，在高浓度层 d_0 上形成Mo层 d_1 。在这种情况下，在同一室内连续淀积半导体层AS、高浓度层 d_0 和Mo层 d_1 。

如图15B所示，在Mo层 d_1 的表面上形成光刻胶膜PRES，使用光掩模执行选择曝光。在这种情况下使用的光掩模是具有栅格结构的掩模或通过控制半透明膜如MoSi的膜厚制造的掩模，并且通过使用光掩模在对应于要形成漏区信号线DL、漏电极SD1和源电极SD2的部分的部分中以及在对应于漏电极SD1和源电极SD2之间的部分（沟道部分）的部分中留下光刻胶膜PRES。在这种情况下，在沟道部分上光刻胶膜PRES的膜厚比其他区域上光刻胶膜PRES的膜厚小得多。

尤其，在沟道部分中，控制抗蚀剂状态，使得完成光刻胶、Mo层 d_1 和高浓度层 d_0 的蚀刻的时间变得与完成Mo层 d_1 和高浓度层 d_0 以及半导体层AS的蚀刻的时间（近似）相同。

如图15C所示，光刻胶膜PRES用作掩模，从这个掩模暴露出来的部分Mo层 d_1 被选择地蚀刻（例如，选择包含磷酸和硝酸的混合酸或硝酸铈与硝酸的混合溶液来用于这个蚀刻），并且干蚀刻高浓度层 d_0 和半导体层AS。在这种情况下，在沟道部分中，Mo层 d_1 和高浓度层 d_0 以及半导体层AS被蚀刻，但是半导体层AS的表面仅轻微地切割。

顺便提及，高浓度层 d_0 的蚀刻不限于上述方法，在选择地蚀刻Mo层 d_1 后，可把这个Mo层 d_1 用作掩模来蚀刻高浓度层 d_0 。

此后，去除光刻胶膜PRES。

如图15D所示，形成ITO膜ITO1并且在对应于要形成像素电极PX（漏区端子部件DTM）的区域的部分中形成光刻胶膜PRES。光刻胶膜PRES用作掩模来去除从这个掩模暴露出来的部分ITO膜ITO1。此后，去除光刻胶膜PRES。

如图15E所示，形成保护膜PSV并且形成光刻胶膜PRES，使得在除像素区域

的周边的像素区域的中央部位（包括形成薄膜晶体管TFT的区域）开孔。

这个光刻胶膜PRES被用作掩模来去除从这个掩模暴露出来的部分保护膜PSV。顺便提及，在保护膜PSV中形成孔的同时，也在栅区端子部件GTM和漏区端子部件DTM处形成孔。此后，去除光刻胶膜PRES。

<<漏区信号线DL>>

图12表示一个漏区信号线DL的横截面。所示的漏区信号线DL由层叠结构制成，其中依次层叠半导体层AS、高浓度层 d_0 和Mo层 d_1 并且与通过半曝光方法形成的薄膜晶体管平行地形成。因此，如图12所示，朝向透明衬底SUB1逐渐打开的锥形表面分别形成在漏区信号线DL侧壁上。

<<栅区端子部件GTM>>

图13是表示一个栅区端子部件GTM的横截面图。所示的栅区端子部件GTM类似于实施例1的情况形成。

<<漏区端子部件DTM>>

图14表示漏区端子部件DTM的横截面。所示的漏区端子部件DTM由层叠结构制成，其中依次层叠半导体层AS、高浓度层 d_0 和Mo层 d_1 ，并且，朝向透明衬底SUB1逐渐打开的锥形表面分别形成在漏区信号线DL侧壁上。

在漏区端子部件DTM处，ITO膜ITO1形成来延伸到漏区信号线DL的侧壁。在像素电极PX形成的同时形成ITO膜ITO1，以防止电腐蚀。

通过在保护膜PSV中开孔并且曝光ITO膜ITO1来形成漏区端子部件DTM。

<<制造方法>>

图16A到16G是表示上述液晶显示装置的制造方法的一个实施例的过程图。

图16A到16G是与图15A到15E一起表示形成栅区端子部件GTM部分的过程图。

图16A对应于图15B，图16C对应于图15C，图16D对应于图15D，图9F对应于图15E。

一连串过程如图17的表所示。从表显然看出，光刻处理数可降低到4个，即，栅区信号线GL的构图、漏区信号线DL（漏电极和源电极）的构图、像素电极PX的构图和保护膜PSV的构图。

实施例3

本发明还可应用于通过使用所谓的ITO掩模方法形成其薄膜晶体管TFT的液

晶显示装置。

实施例3除下面的结构外与实施例1相同。

<<薄膜晶体管TFT>>

图18是通过使用ITO掩模方法形成薄膜晶体管TFT的横截面图。

在薄膜晶体管TFT中，像素电极PX的ITO膜ITO1不仅直接叠加在源电极SD2的整个表面上，还叠加在漏区信号线DL（和漏电极SD1）的表面上。

类似于其他实施例的情况，依次层叠半导体层AS、高浓度层 d_0 、Mo层 d_1 形成的层叠结构的侧壁分别形成为具有朝向透明衬底SUB1逐渐打开的轻微的锥形表面。

图22A到22G是表示形成薄膜晶体管TFT的方法的一个实施例的过程图。

首先，如图22A所示，在已经形成栅区信号线GL和绝缘膜GI后，在绝缘膜GI的表面上形成半导体层AS，在半导体层AS的表面上形成高浓度层 d_0 ，在高浓度层 d_0 上形成Mo层 d_1 。在这种情况下，在同一室内连续淀积半导体层AS、高浓度层 d_0 和Mo层 d_1 。

如图22B所示，在Mo层 d_1 的表面上形成光刻胶膜PRES，并且通过使用光掩模执行选择曝光，在对应于要形成漏区信号线DL、漏电极SD1和源电极SD2的部分中以及在对应于漏电极SD1和源电极SD2之间的区域（沟道部分）的部分中留下光刻胶膜PRES。

然后，光刻胶膜PRES用作掩模，从这个掩模暴露出来的部分Mo层 d_1 、高浓度层 d_0 以及半导体层AS被依次选择地蚀刻。之后，去除光刻胶膜PRES。

如图22C所示，形成ITO膜ITO并且在ITO膜ITO的上表面上形成光刻胶膜PRES。在对应于要形成漏区信号线DL、漏电极SD1和像素电极PX的区域的部分中形成光刻胶膜PRES。

如图22D所示，光刻胶膜PRES用作掩模来选择地蚀刻从这个掩模暴露出来的部分ITO膜ITO。之后，去除光刻胶膜PRES。

如图22E所示，把ITO膜ITO用作掩模来选择地蚀刻从这个掩模暴露出来的部分Mo层 d_1 ，并且选择地蚀刻高浓度层 d_0 。这样，暴露半导体层AS的表面。

如图22F所示，形成保护膜PSV并且形成光刻胶膜PRES，使得在除像素区域的周边的像素区域的中央部位（包括形成薄膜晶体管TFT的区域）开孔。

这个光刻胶膜PRES被用作掩模来去除从这个掩模暴露出来的部分保护膜PS

V。顺便提及,在保护膜PSV中形成孔的同时,也在栅区端子部件GTM和漏区端子部件DTM处形成孔。此后,去除光刻胶膜PRES,如图22G所示。

<<漏区信号线DL>>

图19表示一个漏区信号线DL的横截面。所示的漏区信号线DL由层叠结构制成,其中依次层叠半导体层AS、高浓度层 d_0 、Mo层 d_1 和ITO膜ITO1。

<<栅区端子部件GTM>>

图20是表示一个栅区端子部件GTM的横截面图。所示的栅区端子部件GTM类似于实施例1和2的栅区端子部件GTM的结构。

<<漏区端子部件DTM>>

图21表示漏区端子部件DTM的横截面。在漏区端子部件DTM处,由于漏区信号线DL由上述层叠结构制成,在保护膜PSV的开孔底部暴露ITO膜ITO1,使得可得到耐电腐蚀的结构。

<<制造方法>>

图23A到23G是表示上述液晶显示装置的制造方法的一个实施例的过程图。

图23A到23G是与图22A到22G一起表示形成栅区端子部件GTM部分的过程图。

图23A对应于图22B,图23C对应于图22C,图23D对应于图22D,图23E对应于图22E,图23F对应于图22F,图23G对应于图22G。

一连串过程如图24的表所示。从表显然看出,光刻处理数可降低到4个,即,栅区信号线GL的构图、像素电极PX(漏区信号线DL)的构图、漏电极和源电极的构图和保护膜PSV的构图。

实施例4

在上面描述的各个实施例中,参考的是所谓的垂直电场型液晶显示装置,其中在其透明衬底SUB1上在各个像素区域中形成像素电极,在其玻璃衬底SUB2上形成各个像素区域共用的反电极,使得其液晶的透光性由近似垂直于衬底的这些电极的每一个之间产生的电场控制。

但是,本发明不限于这种垂直电场型液晶显示装置,还可用于所谓的平面转换型液晶显示装置,其中在其透明衬底SUB1上在各个像素区域中形成像素电极和反电极,使得液晶的透光性通过近似与透明衬底SUB1平行的像素电极与反电极之间产生的电场分量控制。

图25与图1对应是表示平面转换型液晶显示装置上像素结构的平面图。顺便提及，图26表示沿着图25的线26-26的横截面，图27表示沿着图25的线27-27的横截面图。

图25所示的结构不同于图1之处如下所述。

参考图25，首先，以条带形式设置多个像素电极PX和多个反电极CT，其与漏区信号线DL平行延伸，并且交替设置形成像素电极PX和反电极CT。

在实施例4中，设置两个像素电极PX和三个反电极CT，这两个像素电极PX和三个反电极CT交替设置，使得两个反电极CT分别设置在相对的两端，即与漏区信号线DL相邻。

设置在相对两端的各个反电极CT具有防止像素电极PX受到相邻漏区信号线DL产生的电场的影响的屏蔽功能，并且形成得比其他电极更宽。

反电极CT与栅区信号线GL同时形成，并且用与栅区信号线GL相同的材料形成。因此，反电极CT各自由两层结构构成，即ITO膜构成的底层和Mo层构成的上层。

三个反电极CT通过与反电压信号线CL一体形成而相互连接，该反电压信号线CL在像素区域的中央部位中与栅区信号线GL平行形成。经反电压信号线CL把反电压信号提供给反电极CT。因此，这个反电压信号线CL也由两层结构制成，即ITO膜构成的底层和Mo层构成的上层。

这个反电压信号线CL与在X方向并置的像素一起形成，如图25所示，并且与设置在Y方向的像素的其他反电压信号线CL连接一起，如图25所示。从公共端子部件CTM向反电压信号线CL提供反电压信号，该公共端子部件CTM形成在延伸到显示部件外部的公共连接线处。

把像素电极PX形成为不同于反电极CT（反电压信号线CL）的层，绝缘膜GI插入在像素电极PX与反电极CT之间。

以在反电压信号线CL上彼此连接的方式形成两个像素电极PX。在这个连接部分中，使用绝缘膜GI作为其介电质的存储电容Cstg形成在像素电极PX与反电压信号线CL之间。

更靠近薄膜晶体管TFT的两个像素电极PX之一在一端延伸到薄膜晶体管TFT的半导体层AS的上表面，并且构成薄膜晶体管TFT的源电极。

这个薄膜晶体管TFT通过例如前面实施例1所述的抗蚀剂回流方法形成。

<<电容器件Cstg>>

图26是表示电容器件Cstg的横截面的视图。部分像素电极PX叠加在部分反电压信号线CL上,绝缘膜GI插入在其间,绝缘膜GI用作电容器件Cstg的介电膜。

由于形成像素电极PX,将其定位为保护膜PSV下面的层,电容器件Cstg的介电膜不使用保护膜PSV和绝缘膜GI制成的两层结构,仅由绝缘膜GI制成。

由于这个原因,电容器件Cstg的电容值可由绝缘膜GI的膜厚和反电压信号线CL与像素电极PX之间的重叠面积设置,从而可容易设置电容器件Cstg的电容值。

<<反电极CT>>

图27表示反电极CT的横截面。

通过对具有两层结构的反电极CT进行允许各层的蚀刻率不同的选择蚀刻,在每个反电极CT的侧壁上可形成朝向透明衬底SUB1逐渐打开的锥形表面,从而可防止诸如断裂这样的损坏在绝缘膜GI爬过任何反电极CT的位置处的绝缘膜GI中产生,并且还可能防止反电极CT与像素电极PX之间的电场分散。

<<漏区信号线DL>>

图27表示一个漏区信号线DL的横截面。每个漏区信号线DL与通过抗蚀剂回流方法形成的薄膜晶体管TFT平行形成,并且由层叠结构制成,其中依次层叠半导体层AS、高浓度层 d_0 、Mo层 d_1 。在每个漏区信号线DL的侧壁上分别形成朝向透明衬底SUB1逐渐打开的锥形表面,并且在这些锥形表面,尤其在下置高浓度层 d_0 的半导体层AS的部分中中途分别形成台阶。顺便提及,通过上述半曝光方法替代抗蚀剂回流方法可形成薄膜晶体管TFT。

因此,可完全防止在形成来覆盖漏区信号线DL的保护膜PSV和对准层ORI中产生爬坡损坏。

<<栅区端子部件GTM、共用端子部件CTM>>

每个栅区端子部件GTM具有类似于实施例1(图5)中描述的栅区端子部件GTM的结构。共用端子部件CTM具有双层结构,其在相同的层中用与栅区信号线GL相同材料制成,并具有类似于栅区端子部件GTM的结构。

<<漏区端子部件DTM>>

每个漏区端子部件DTM具有类似于实施例1(图6)所述的漏区端子部件DTM的结构。

<<薄膜晶体管TFT>>

每个薄膜晶体管TFT具有类似于实施例1（图2）所述的薄膜晶体管TFT的结构。

实施例5

图28是表示在平面转换型液晶显示装置上的像素的另一实施例的平面图。

参考图28，首先，像素电极PX和反电极CT分别由诸如ITO膜的透明导电层构成，反电极CT叠加在像素电极PX上并且几乎在像素区域的整个区域中形成。

尤其，反电极CT形成在透明衬底SUB1的表面上除其狭窄周边外的像素区域的整个中央部位上。

经反电压信号线CL把反电压信号提供给这个反电极CT，该反电压信号线CL形成来通过X方向上像素区域的中央部位，如图28所示。

反电压信号线CL直接形成在反电极CT上，并且在形成栅区信号线GL的同时形成。因此，反电压信号线CL由两层结构制成，即ITO膜形成的下层和Mo层形成的上层。

像素电极PX形成在覆盖反电极CT（反电压信号线CL）的绝缘膜GI上。把像素电极PX设置成例如条形模式，该模式与漏区信号线DL平行延伸，并且在与漏区信号线DL垂直的方向上并置。

在连接于薄膜晶体管TFT的一端相互连接像素电极PX，并且将其延伸到薄膜晶体管TFT的半导体层AS的表面，构成薄膜晶体管TFT的源电极SD2。

这个薄膜晶体管TFT通过类似于实施例1的抗蚀剂回流方法形成。

<<反电极CT>>

图30表示反电压信号线CL的横截面。

通过对具有两层结构的反电压信号线CL进行允许各层的蚀刻率不同的选择蚀刻，在反电压信号线CL的侧壁上可形成朝向透明衬底SUB1逐渐打开的锥形表面，从而可防止在绝缘膜GI中产生爬坡损坏。

另外，由于反电压信号线CL形成 ITO膜制成的反电极CT的上表面上，并且反电压信号线CL的底层由ITO膜制成，可确保反电压信号线CL与反电极CT的粘结。

<<漏区信号线DL>>

图29表示一个漏区信号线DL的横截面。每个漏区信号线DL与通过抗蚀剂回流方法形成的薄膜晶体管TFT平行形成，并且由层叠结构制成，其中依次层叠半

导体层AS、高浓度层 d_0 、Mo层 d_1 。在每个漏区信号线DL的侧壁上分别形成朝向透明衬底SUB1逐渐打开的锥形表面，并且在这些锥形表面，尤其在下置高浓度层 d_0 的半导体层AS的部分中中途分别形成台阶。顺便提及，通过上述半曝光方法替代抗蚀剂回流方法可形成薄膜晶体管TFT。

因此，可完全防止在形成来覆盖漏区信号线DL的保护膜PSV和对准层ORI中产生爬坡损坏。

<<栅区端子部件GTM、共用端子部件CTM>>

每个栅区端子部件GTM和共用端子部件CTM具有类似于实施例1（图5）中描述的栅区端子部件GTM的结构。

<<漏区端子部件DTM>>

每个漏区端子部件DTM具有类似于实施例1（图6）所述的漏区端子部件DTM的结构。

<<薄膜晶体管TFT>>

每个薄膜晶体管TFT具有类似于实施例1（图2）所述的薄膜晶体管TFT的结构。

实施例6

图31与图25对应是表示平面转换型液晶显示装置上像素的另一实施例的平面图。

图31表示通过半曝光方法形成的像素的结构。所示的栅区信号线GL有ITO膜和Mo层制成的两层结构，类似于上述每个实施例的情况，但这个结构在图31未表示出来。

<<存储电容Cstg>>

图32是表示存储电容Cstg的横截面的视图。

存储电容Cstg按像素电极PX叠加在反电压信号线CL的上表面上的方式形成，绝缘膜GI插入在其间。

反电压信号线CL具有包括作为底层的ITO膜 g_1 和作为上层的Mo层 g_2 的两层结构。把像素电极PX制成叠层结构，其中依次层叠半导体层AS、高浓度层 d_0 、Mo层 d_1 和ITO膜ITO1。

<<像素电极PX>>

图33清楚地表示像素电极PX的横截面。

如上所述,每个像素电极PX由依次层叠半导体层AS、高浓度层 d_0 、Mo层 d_1 和ITO膜ITO1的叠层结构制成。

在这种情况下,尽管通过像素电极PX引起的台阶会带来损坏,但把各个像素电极PX的各个侧壁形成为具有朝向透明衬底SUB1逐渐打开的轻微锥形表面。因此,可完全防止在形成来覆盖漏区信号线DL的保护膜PSV和对准层ORI中产生爬坡损坏。

<<漏区信号线DL>>

图33表示漏区信号线DL的横截面。

每个漏区信号线DL类似于像素电极PX的情况,也由依次层叠半导体层AS、高浓度层 d_0 、Mo层 d_1 与ITO膜的层叠结构制成。

由于这个原因,由于像素电极PX带来的台阶会引起损坏,但是把每个漏区信号线DL的侧壁形成为具有朝向透明衬底SUB1逐渐打开的锥形表面,从而,可完全防止在形成来覆盖漏区信号线DL的保护膜PSV和对准层ORI中产生爬坡损坏。

<<栅区端子部件GTM>>

图35是表示栅区端子部件GTM的横截面的图。所示的栅区端子部件GTM通过依次分别在保护膜PSV和绝缘膜GI中开孔(通过使用干蚀刻选择蚀刻)并把栅区信号线GL的延伸端暴露出来形成。

如图35可见,由作为底层的ITO膜 g_1 和作为上层的Mo层 g_2 构成的栅区信号线GL通过在栅区端子部件GTM处去除覆盖的Mo层 g_2 形成。这是由于在通过干蚀刻在保护膜PSV和绝缘膜GI中开孔的同时,不能确保选择率的Mo层 g_2 被蚀刻。

但是,留下具有蚀刻阻挡件的功能的底层的ITO膜 g_1 ,通过ITO膜 g_1 完全实现栅区端子部件GTM的功能。另外,ITO膜 g_1 由不容易氧化的材料制成,从而可形成例如具有耐电解腐蚀的栅区端子部件GTM。

<<漏区端子部件DTM>>

图36表示一个漏区端子部件DTM的横截面图。所示的漏区信号线DL由依次层叠半导体层AS、高浓度层 d_0 、Mo层 d_1 和ITO膜ITO1的叠层结构制成。因此漏区端子部件DTM通过在保护膜PSV中开孔形成。

由于形成在漏区信号线DL的表面上的ITO膜ITO通过在保护膜PSV中开孔曝光露出来,形成防止电解腐蚀的ITO膜更加不必要。

<<薄膜晶体管TFT>>

在实施例6中,通过半曝光方法形成薄膜晶体管TFT。图37A到37F是表示上述薄膜晶体管TFT的形成方法的一个实施例的过程图。

首先,如图37A所示,在已经形成栅区信号线GL和绝缘膜GI后,在绝缘膜GI的表面上形成半导体层AS,在半导体层AS的表面上形成高浓度层 d_0 ,在高浓度层 d_0 上形成Mo层 d_1 ,而且在Mo层 d_1 上形成ITO膜ITO1。在这种情况下,在同一室内连续淀积半导体层AS、高浓度层 d_0 和Mo层 d_1 以及ITO膜ITO1。

如图37B所示,在ITO膜ITO1的表面上形成光刻胶膜PRES,使用光掩模进行选择曝光。在这种情况下使用的光掩模或是具有栅格结构的掩模或是通过控制诸如MoSi的半透明膜的膜厚制造的掩模,并且通过使用光掩模在对应于要形成漏区信号线DL、漏电极SD1和源电极SD2的部分的部分中以及对应于漏电极SD1和源电极SD2之间的部分(沟道部分)的部分中留下光刻胶膜PRES。在这种情况下,在沟道部分上的光刻胶膜PRES的膜厚小于其他区域上的光刻胶膜PRES的膜厚。

尤其,在沟道部分中,控制抗蚀剂状态,使得完成光刻胶、Mo层 d_1 和高浓度层 d_0 的蚀刻的时间变得与完成Mo层 d_1 和高浓度层 d_0 以及半导体层AS的蚀刻的时间(近似)相同。

如图37C所示,光刻胶膜PRES用作掩模,从这个掩模暴露出来的部分ITO膜ITO1、Mo层 d_1 、高浓度层 d_0 以及半导体层AS被选择地蚀刻(例如,选择含氟气体,如SF₆或CF₄作为用于选择蚀刻半导体层AS、高浓度层 d_0 的气体)。

以这种方式,构成薄膜晶体管TFT的半导体层AS被蚀刻成岛状,但是沟道部分被至少蚀刻到高浓度层 d_0 。之后,去除光刻胶膜PRES。

如图37D所示,形成保护膜PSV。如图37E所示,在保护膜PSV表面上形成光刻胶膜PRES,使得在除像素区域的周边的像素区域的中央部位(包括形成薄膜晶体管TFT的区域)中形成开孔。

如图37F所示,把光刻胶膜PRES用作掩模来去除从这个掩模暴露出来的部分保护膜PSV。顺便提及,在保护膜PSV中形成孔的同时,也在栅区端子部件GTM和漏区端子部件DTM处形成孔。此后,去除光刻胶膜PRES。

<<制造方法>>

图38A到38E是表示上述液晶显示装置的制造方法的一个实施例的过程图。图38A到38E是与图37A到37F的过程图一起表示形成栅区端子部件GTM部分的过程图。图38A对应于图37B,图38C对应于图37C,图38D对应于图37E,图38E

对应于图37F。

一连串过程如图39的表所示。从这个表明显看出，光刻处理数可降低到3个，尤其，栅区信号线GL的构图、漏区信号线DL（漏电极和源电极）的构图和保护膜PSV的构图。

实施例7

图40与图28相对应，是表示根据本发明的液晶显示装置上的像素的另一实施例的平面图。尤其，由例如ITO膜制成的反电极CT在像素区域的较大部分上形成，并且例如ITO膜制成的多个像素电极PX形成为以条带形式并置。在实施例7中，插入在反电极CT与像素电极PX之间的绝缘膜具有绝缘膜GI和保护膜PSV制成的两层结构。薄膜晶体管TFT由抗蚀剂回流方法形成。

顺便提及，图41表示沿着图40的线41-41的横截面图。图42表示沿着图40的线44-44的横截面图。图45表示沿着图40的线45-45的横截面图。

<<漏区信号线DL>>

图41表示漏区信号线DL的横截面。每个漏区信号线DL形成在绝缘膜GI上，由依次层叠半导体层AS、高浓度层 d_0 、Mo层 d_1 的层叠结构制成。

由于漏区信号线DL与通过抗蚀剂回流方法形成的薄膜晶体管TFT平行形成，把每个漏区信号线DL的侧壁分别形成为具有带台阶的轻微锥形表面（朝向透明衬底SUB1逐渐打开），该台阶分别形成在每个漏区信号线DL的半导体层AS的相对侧表面上。

<<栅区信号线GL>>

图42表示栅区信号线GL的横截面。每个栅区信号线GL形成在透明衬底SUB1上并且由依次层叠ITO膜 g_1 和Mo层 g_2 的层叠结构制成。在各个栅区信号线GL的侧壁上分别形成朝向透明衬底SUB1逐渐打开的锥形表面。

<<反电压信号线CL>>

图42表示反电压信号线CL的横截面。反电压信号线CL类似于栅区信号线GL由依次层叠ITO膜 g_1 和Mo层 g_2 的层叠结构制成。ITO膜 g_1 形成得比Mo层 g_2 更宽，使得ITO膜 g_1 用于反电极CT的功能。

如上所述，尽管反电极CT仅具有一层结构，反电压信号线CL具有两层结构，其中不同于反电极CT的材料制成的一层形成在构成反电极CT的一层上。反电压信号线CL和反电极CT通过采用半曝光方法的一次光电处理形成。

图43A到43D是表示在这种情况下使用的处理的视图。首先,如图43A所示,例如依次层叠ITO膜 g_1 和Mo层 g_2 的层叠结构形成在透明衬底SUB1的表面上。

之后,在层叠结构的表面上选择形成光刻胶膜PRES,但是如图43B所示,光刻胶膜PRES在不同区域具有不同厚度。具有不同厚度的光刻胶膜PRES的形成通过使用具有栅格结构的光掩模或通过控制诸如MoSi的半透明膜的膜厚制造的光掩模实施所谓的半曝光实现。

此后,如图43C所示,通过使用光刻胶膜PRES作为掩模选择地蚀刻覆盖的Mo层 g_2 。在这种情况下,较大膜厚的光刻胶膜以降低的膜厚的光刻胶膜的形式留下,但是较小膜厚的光刻胶膜消失。

之后,如图43D所示,通过使用剩余的光刻胶膜PRES作为掩模选择蚀刻底下的ITO膜 g_1 。在这种情况下,此时蚀刻位于消失了光刻胶膜的侧上的Mo层 g_2 。

<<栅区端子部件GTM>>

图44是表示一个栅区端子部件GTM的横截面的图。所示的栅区端子部件GTM通过在绝缘膜GI和覆盖栅区信号线GL的保护膜PSV中开孔来形成。

在这种情况下,位于栅区信号线GL的上层的Mo层 g_2 通过开孔被去除,通过在开孔中形成的和在开孔周围部分中形成的ITO膜可更有效地防止栅区端子部件GTM的电解腐蚀。顺便提及,ITO膜与像素电极PX同时被形成。

<<漏区端子部件DTM>>

图45表示一个漏区端子部件DTM的横截面图。漏区端子部件DTM通过在覆盖在漏区信号线DL的保护膜PSV中开孔被形成。

在这种情况下,通过在开孔中形成的和在开孔周围部分中形成的ITO膜可更有效地防止栅区端子部件GTM的电解腐蚀。该ITO膜也与像素电极PX同时被形成。

<<制造方法>>

图46A到46D、图47E到47H和图48I是表示上述液晶显示装置的制造方法的一个实施例的过程图,并表示包括薄膜晶体管TFT和反电极CT的部分。

首先如图46A所示,在已经形成栅区信号线GL和绝缘膜GI后,以层叠方式在绝缘膜GI的表面上形成半导体层AS、高浓度层 d_0 和Mo层 d_1 。在这种情况下,在同一室内连续淀积半导体层AS、高浓度层 d_0 和Mo层 d_1 。

如图46B所示,在ITO膜的表面上形成光刻胶膜PRES,使用光掩模进行选择

蚀刻。在这种情况下使用的光掩模是具有栅格结构的掩模或通过控制诸如MoSi的半透明膜的膜厚制造的掩模，并且通过使用光刻在对应于要形成漏区信号线DL、漏电极SD1和源电极SD2的部分的部分中以及在对应于漏电极SD1和源电极SD2之间的部分(沟道部分)的部分中留下光刻胶膜PRES。在这种情况下，在沟道部分上光刻胶膜PRES的膜厚作得比其他区域上的光刻胶膜PRES的膜厚小。

尤其，在沟道部分中，控制抗蚀剂状态，使得完成光刻胶、Mo层 d_1 和高浓度层 d_0 的蚀刻的时间变得与完成Mo层 d_1 和高浓度层 d_0 以及半导体层AS的蚀刻的时间(近似)相同。

如图46C所示，光刻胶膜PRES用作掩模，从这个掩模暴露出来的部分Mo层 d_1 、高浓度层 d_0 以及半导体层AS被选择地蚀刻(例如，选择含氟气体，如 SF_6 或 CF_4 作为用于选择蚀刻半导体层AS、高浓度层 d_0 的气体)。

以这种方式，在要构成薄膜晶体管TFT的区域以外的区域中暴露出半导体层AS，并且在整个区域降低光刻胶膜PRES的膜厚。在沟道部分中，Mo层 d_1 从光刻胶膜PRES暴露出来。

如图46D所示，通过使用剩余的光刻胶膜PRES作为掩模执行蚀刻。以这种方式，在要构成薄膜晶体管TFT的区域以外的区域中暴露出半导体层AS，并且暴露出绝缘膜GI。

另外，在沟道部分中，蚀刻Mo层 d_1 、高浓度层 d_0 ，并且暴露出半导体层AS。如图47E所示，形成保护膜PSV。

如图47F所示，在保护膜PSV的上表面上形成光刻胶膜PRES，使得在要形成用于薄膜晶体管TFT的源电极SD2的接触孔的部分中开孔。之后，通过把光刻胶膜PRES用作掩模蚀刻保护膜PSV。顺便提及，在保护膜PSV中开孔的同时，也在栅区端子部件GTM和漏区端子部件DTM处形成孔。此后，去除光刻胶膜PRES。

如图47G所示，在保护膜PSV中形成接触孔，并且从这个接触孔露出薄膜晶体管TFT的源电极SD2。如图47H所示，在保护膜PSV上形成ITO膜，并且在要形成像素电极PX的区域和要连接于薄膜晶体管TFT的源电极SD2的像素电极PX的延伸部分上方在ITO膜上形成光刻胶膜PRES。如图48I所示，通过把光刻胶膜PRES用作掩模蚀刻ITO膜，然后去除光刻胶膜PRES。

实施例8

图49与图40相对应，是表示根据本发明的液晶显示装置上的像素的另一实施

例的平面图。图49所示的结构与图40的不同之处在于采用抗蚀剂回流方法和在保护膜PSV中不形成接触孔。顺便提及，图50是沿着图49的线50-50的横截面图，图51是沿着图49的线51-51的横截面图。

<<漏区信号线DL>>

图50表示漏区信号线DL的横截面。每个漏区信号线DL由依次层叠半导体层AS、高浓度层 d_0 、Mo层 d_1 和ITO膜ITO1的层叠结构制成。在这种结构中，把ITO膜ITO1形成为延伸到层叠结构的侧壁，即覆盖整个漏区信号线DL。

<<栅区信号线GL>>

图51表示栅区信号线GL的横截面。每个栅区信号线GL形成在透明衬底SUB1上并且由依次层叠ITO膜 g_1 和Mo层 g_2 的层叠结构制成。在各个栅区信号线GL的侧壁上分别形成朝向透明衬底SUB1逐渐打开的锥形表面。

<<反电压信号线CL>>

图51表示反电压信号线CL的横截面。反电压信号线CL类似于栅区信号线GL由依次层叠ITO膜 g_1 和Mo层 g_2 的层叠结构制成。ITO膜 g_1 形成得比Mo层 g_2 更宽，使得ITO膜 g_1 用于反电极CT的功能。

<<漏区端子部件DTM>>

图52表示漏区端子部件DTM的横截面图。漏区端子部件DTM由依次层叠半导体层AS、高浓度层 d_0 、Mo层 d_1 和ITO膜ITO1的层叠结构制成。在这种结构中，把ITO膜ITO1形成为延伸到层叠结构的侧壁。

通过在覆盖漏区信号线DL的保护膜PSV中开孔并暴露出ITO膜的表面形成栅区端子部件GTM。

<<制造方法>>

图53A到53D是表示上述液晶显示装置的制造方法的一个实施例的过程图,并表示包括薄膜晶体管TFT和反电极CT的部分。

首先如图53A所示，在透明衬底SUB1的表面上已经形成栅区信号线GL、反电极CT和反电压信号线CL后，形成绝缘膜GI来覆盖栅区信号线GL、反电极CT和反电压信号线CL。

以层叠方式在绝缘膜GI的表面上形成半导体层AS、高浓度层 d_0 和Mo层 d_1 ，从而通过上述抗蚀剂回流方法形成薄膜晶体管TFT和漏区信号线DL。

以这种方式在透明衬底SUB1的表面的整个区域上形成ITO膜ITO1，并且在对

应于要形成像素电极PX的区域的部分中在ITO膜ITO1的表面上形成光刻胶膜PRES。

之后，使用光刻胶膜PRES作为光掩模蚀刻ITO膜ITO1，从而形成像素电极PX，如图53b所示。如图53C所示，形成保护膜PSV。

然后，如图53D所示，通过光电处理（未示出）在保护膜PSV中开孔，从而置备一种结构，其中保护膜PSV不形成在除像素区域的周边的中央部位。顺便提及，在保护膜PSV中开孔的同时，也在栅区端子部件GTM和漏区端子部件DTM处形成孔。

顺便提及，在上述各个实施例中，构成漏区信号线DL、漏电极SD1和源电极SD2的Mo层d1由钼(Mo)形成，但即使用另一高熔点金属，如钨(W)、铬(Cr)、钛(Ti)或钽(Ta)替代钼(Mo)，也可得到类似的好处。

另外，IZO (Indium-Zinc-Oxide) 膜也可用来替代上述各个ITO膜。从前面的描述中显然看到，根据本发明的液晶显示装置，可得到信号线具有低电阻率的结构。

此外，根据本发明的液晶显示装置，可得到一种结构，其中几乎没有陡峭台阶出现在衬底的液晶侧表面上。还有，根据本发明的液晶显示装置的制造方法，可降低制造方法中的过程数量。

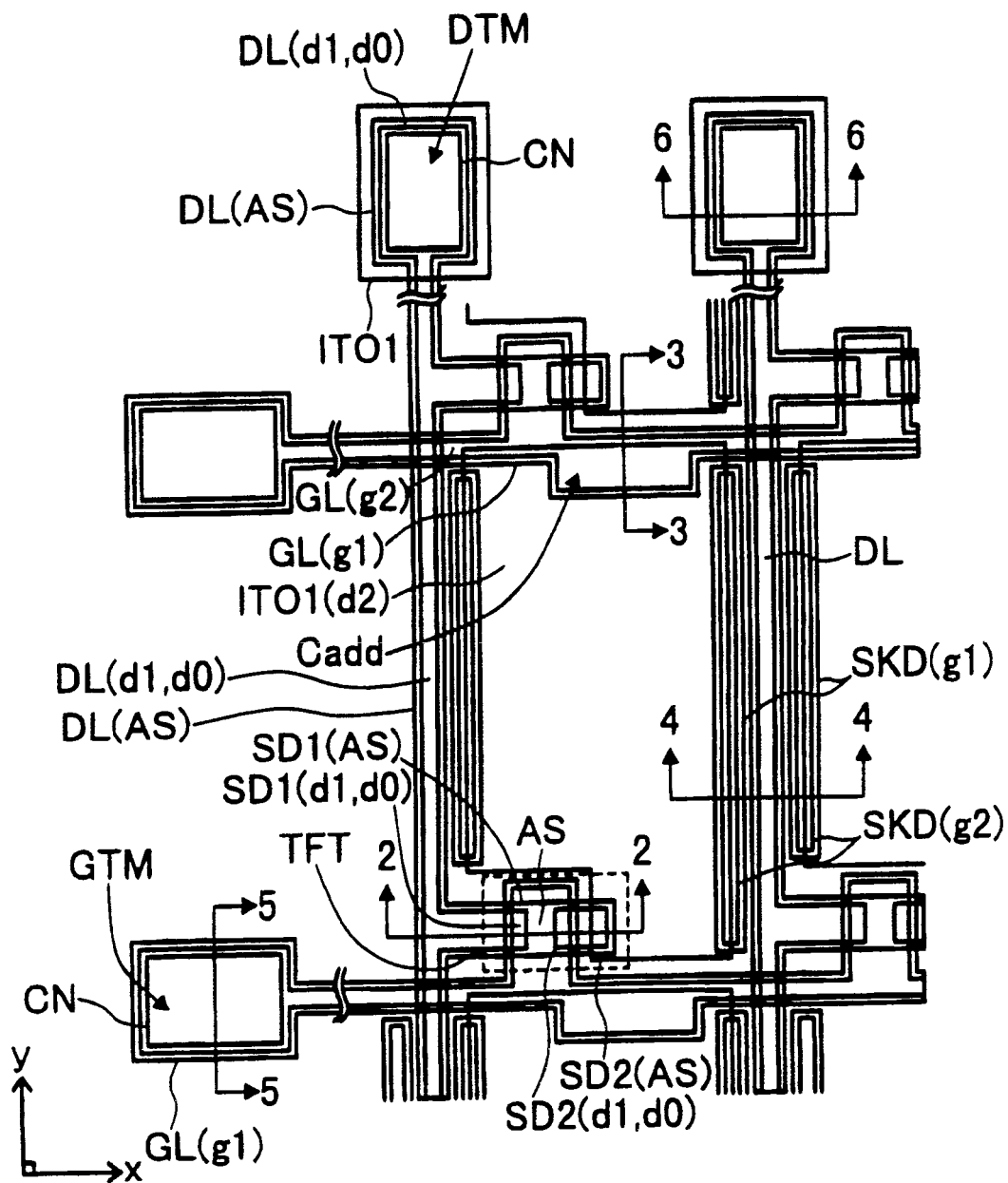


图 1

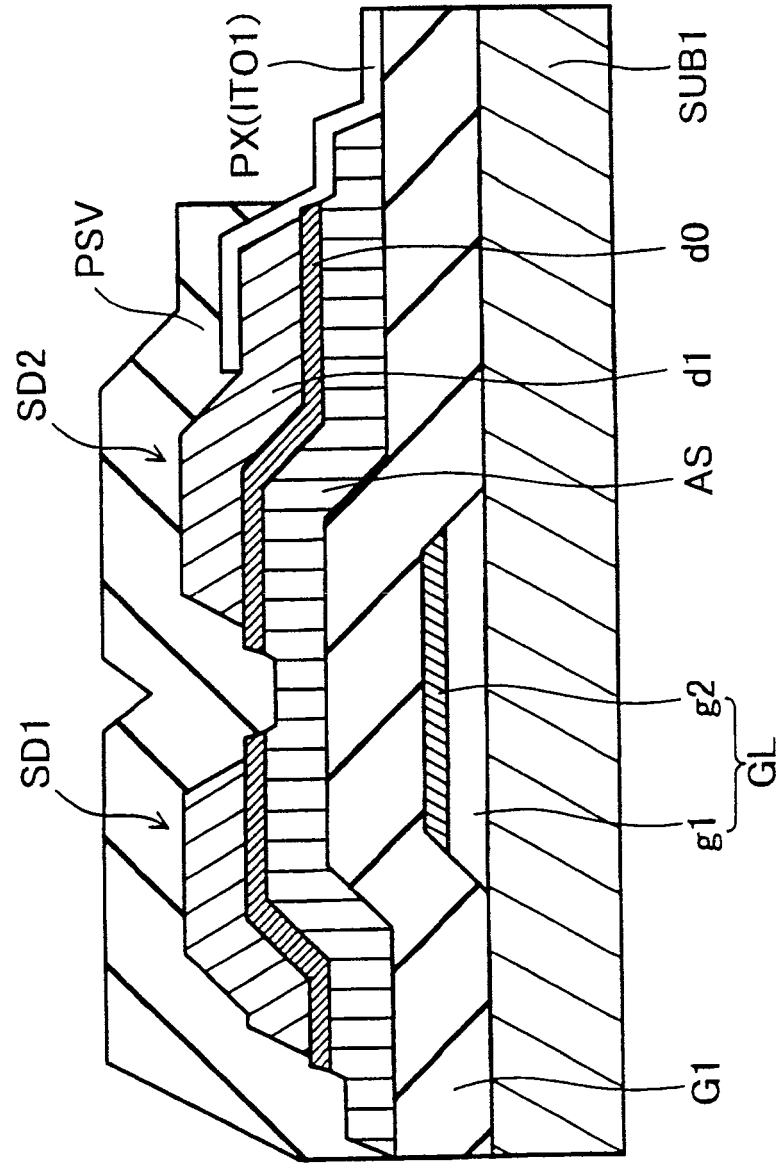


图 2

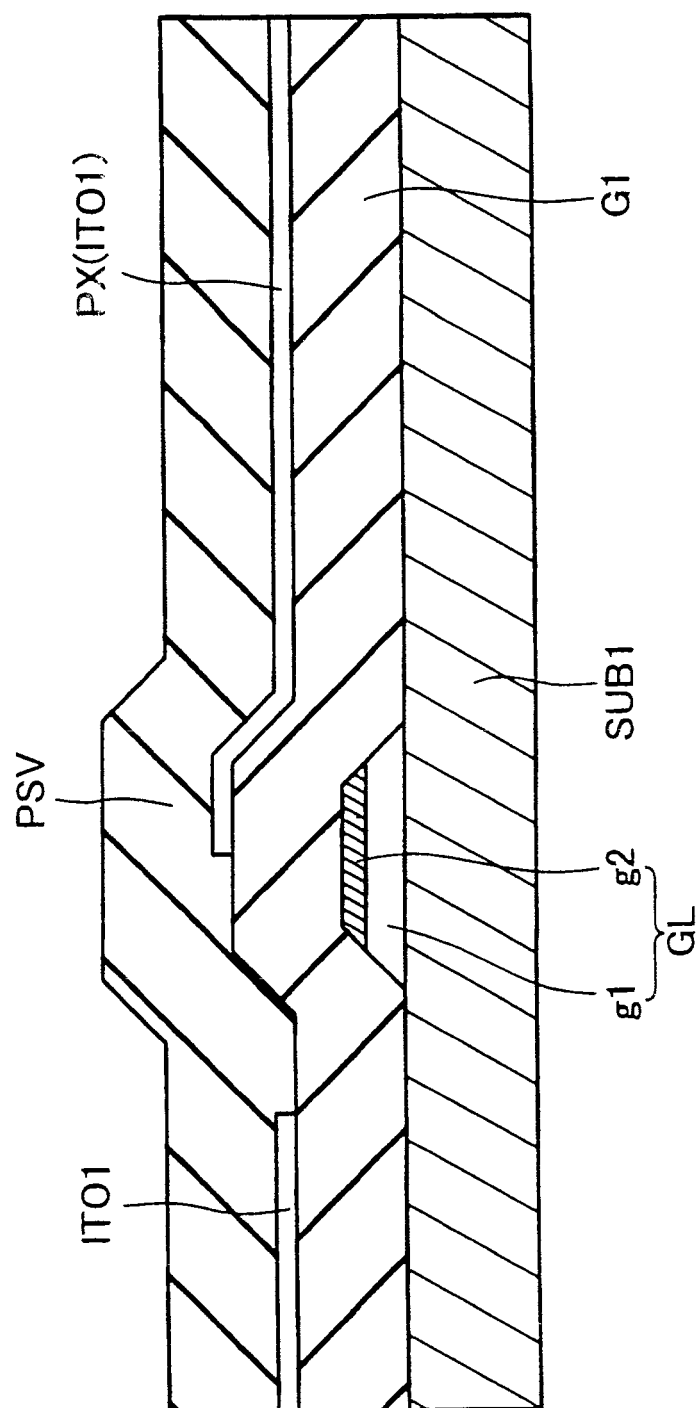


图 3

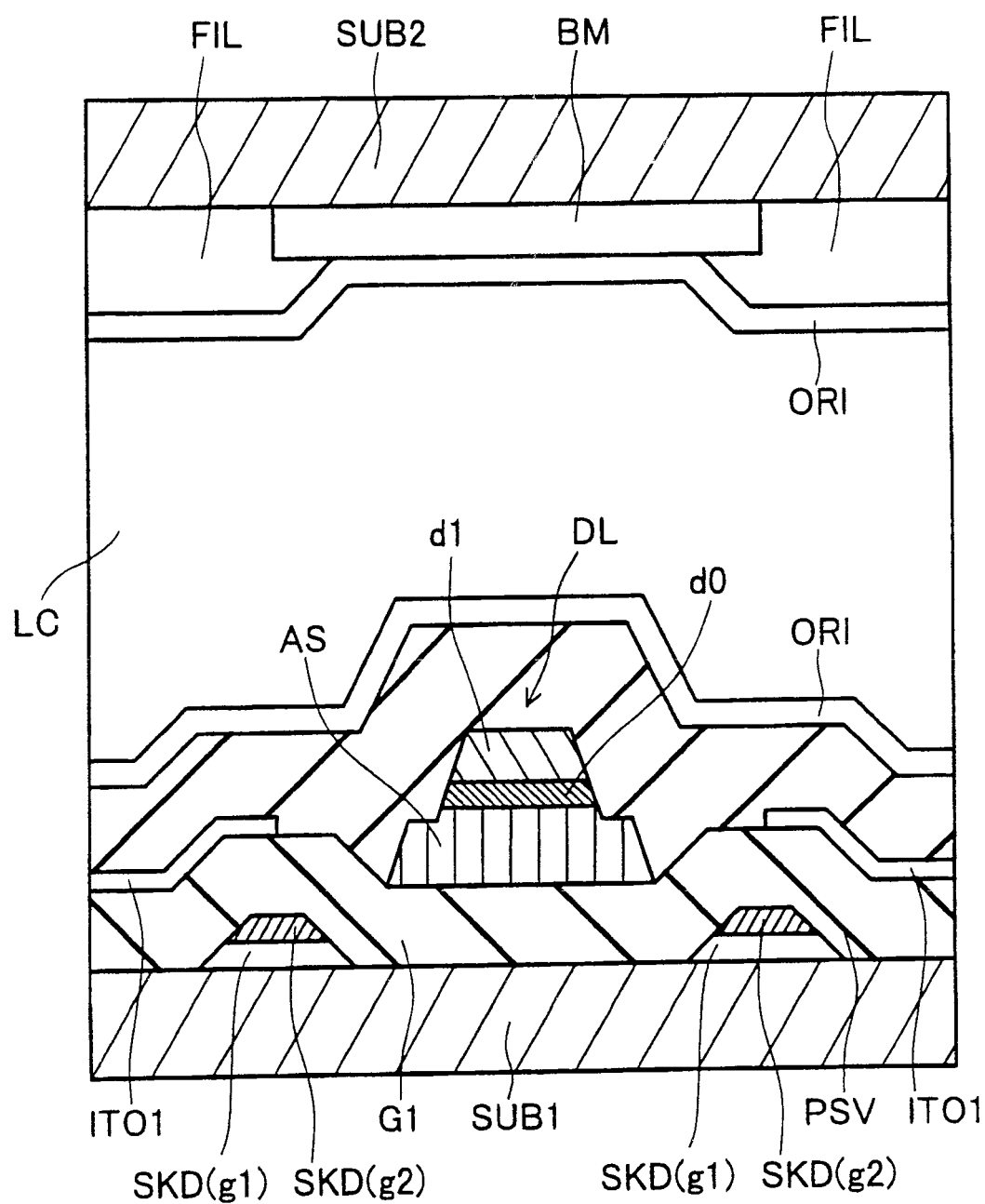


图 4

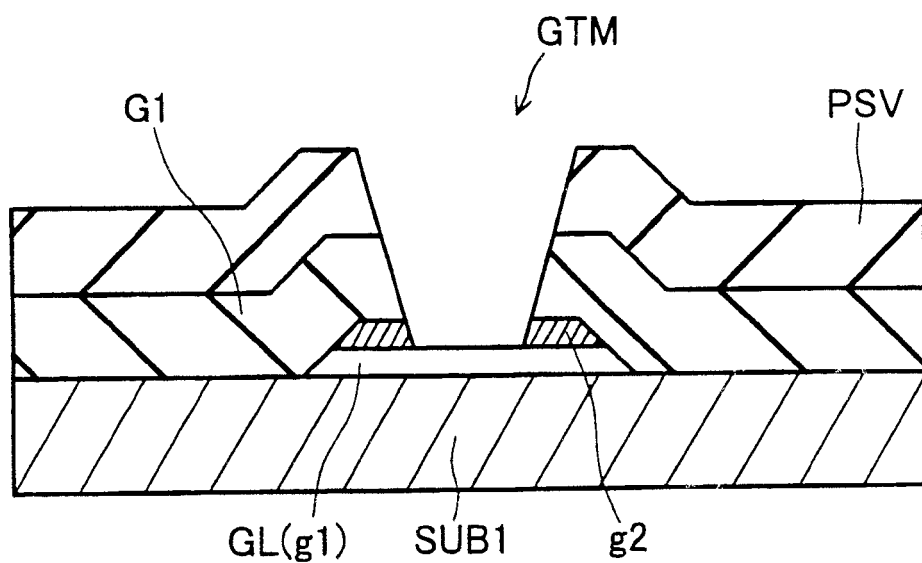


图 5

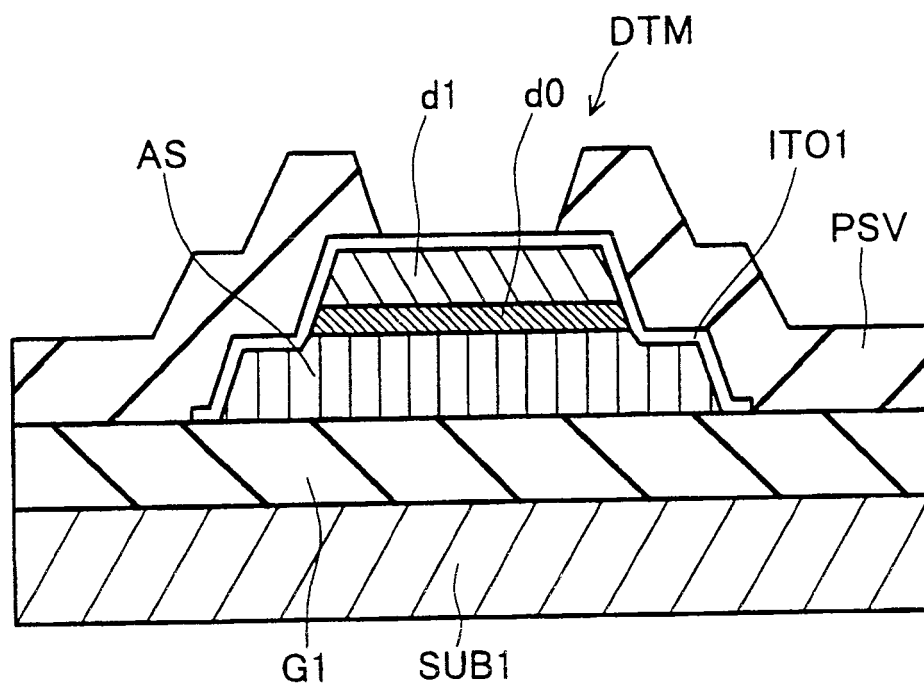


图 6

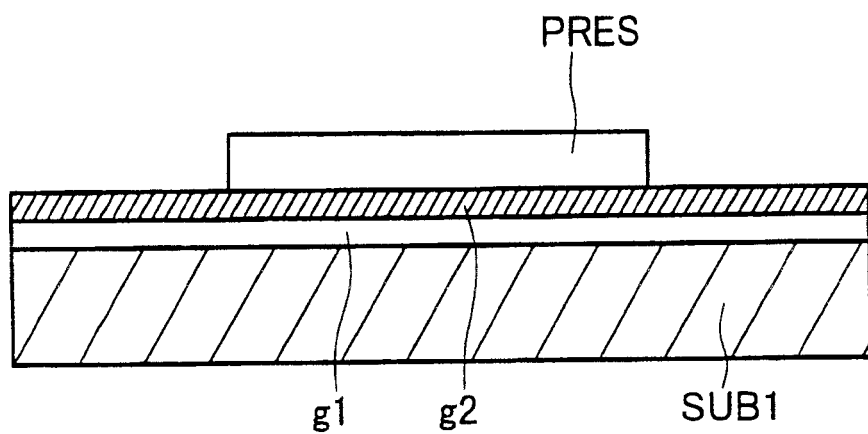


图 7A

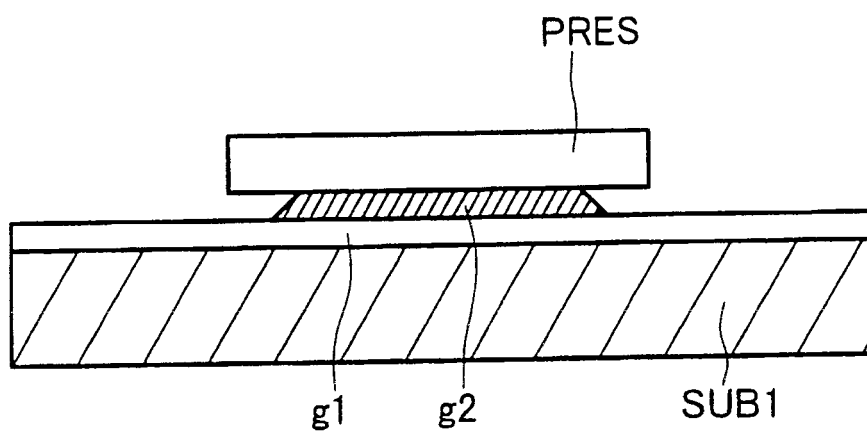


图 7B

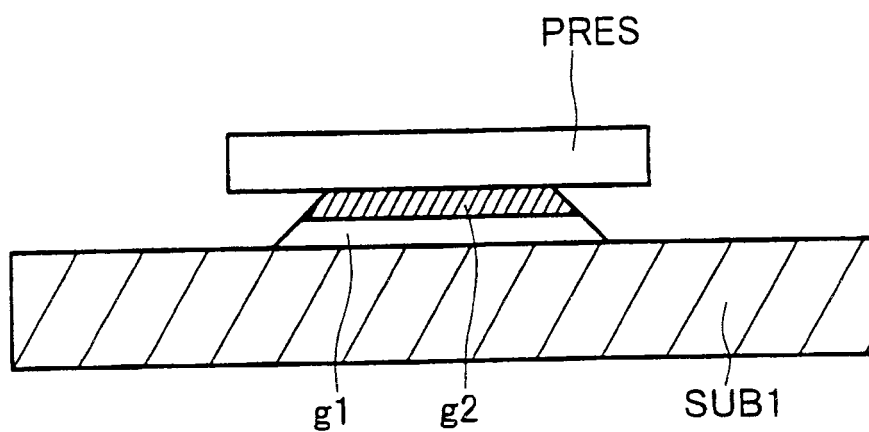


图 7C

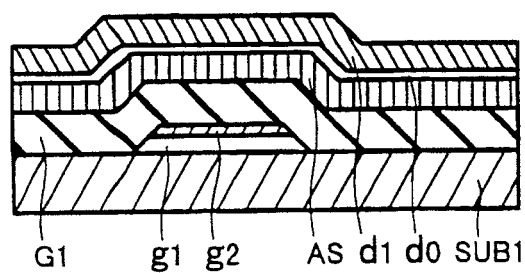


图 8A

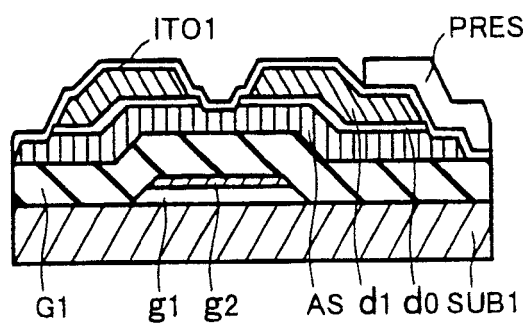


图 8E

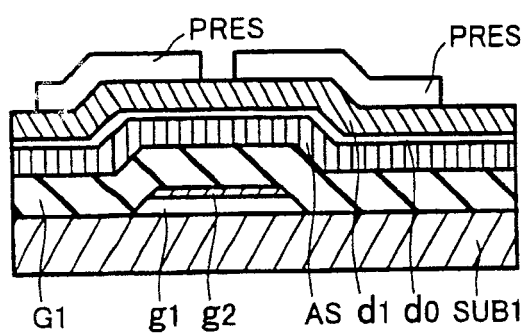


图 8B

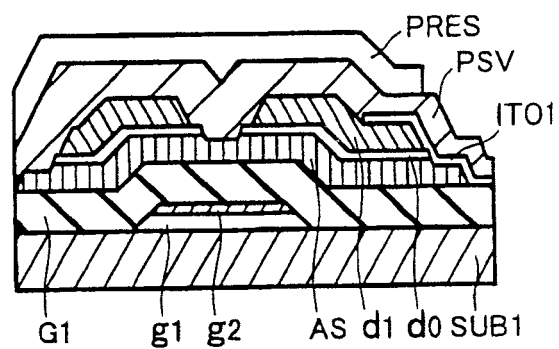


图 8F

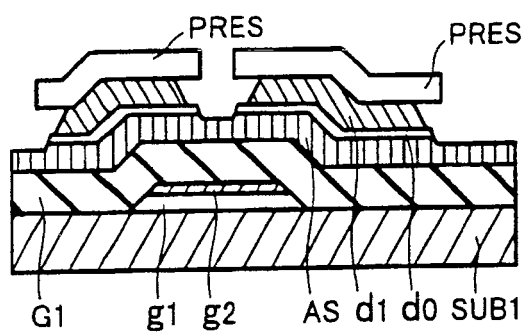


图 8C

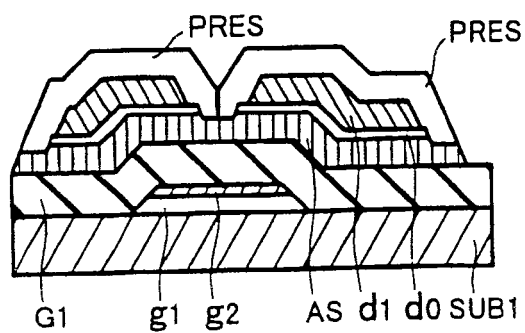
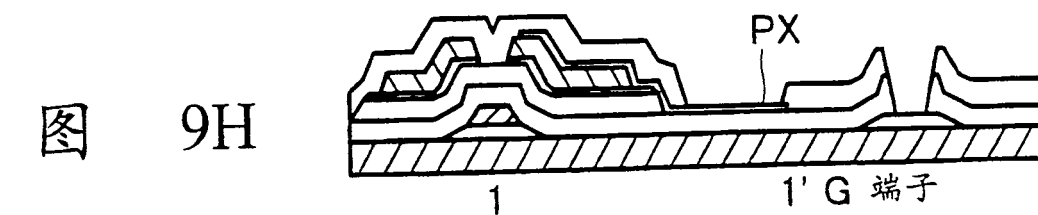
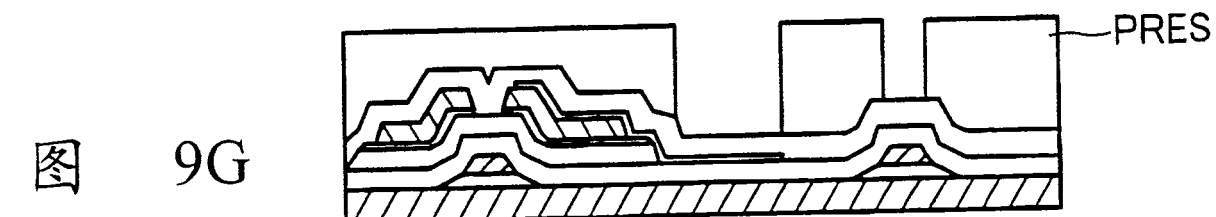
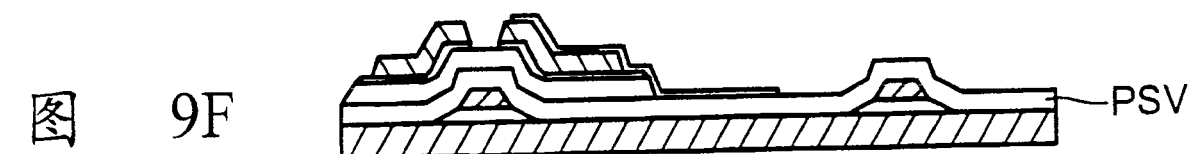
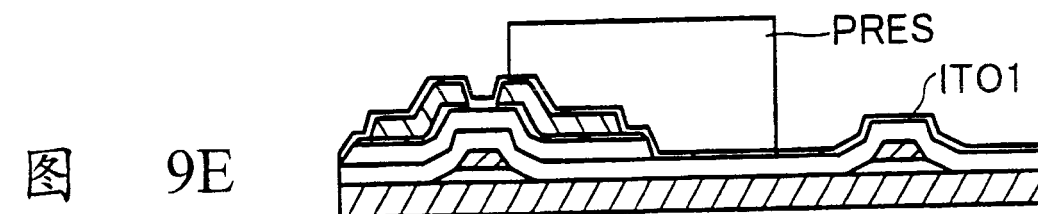
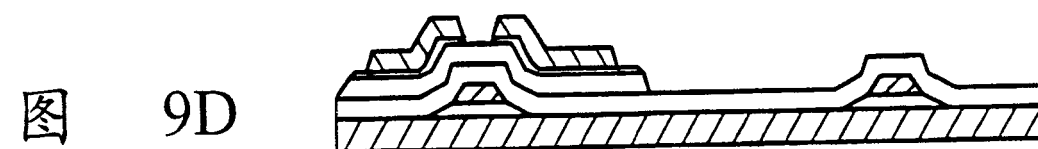
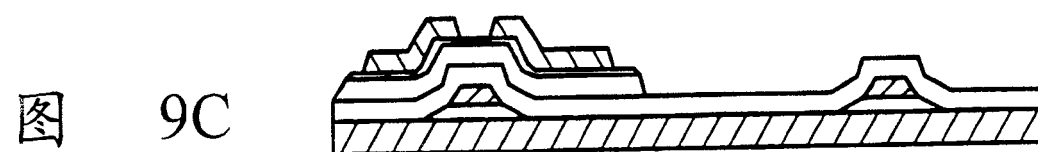
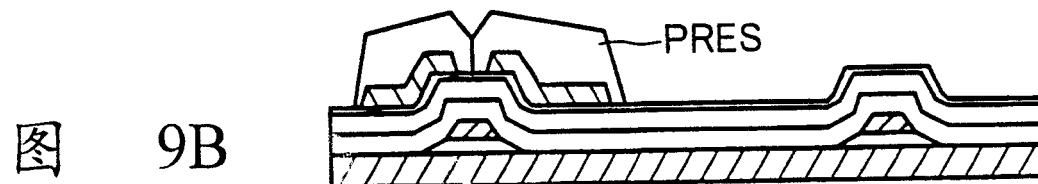
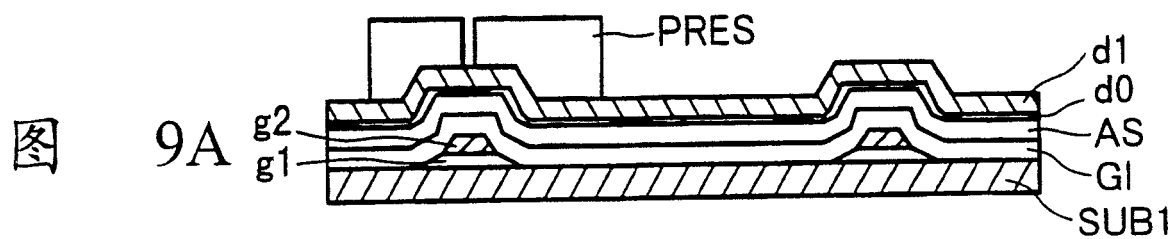


图 8D



1	淀积栅区MO/ITO
2	栅区光电(1)构图
3	抗蚀剂剥离
4	连续淀积CVD 3层 + SD金属
5	光电(2)处理SD金属和 n^+
6	抗蚀剂回流
7	处理a-Si层
8	抗蚀剂剥离
9	淀积像素ITO
10	光电(3)处理像素ITO
11	抗蚀剂剥离
12	PAS淀积
13	光电(4)形成像素
14	抗蚀剂剥离

图 10

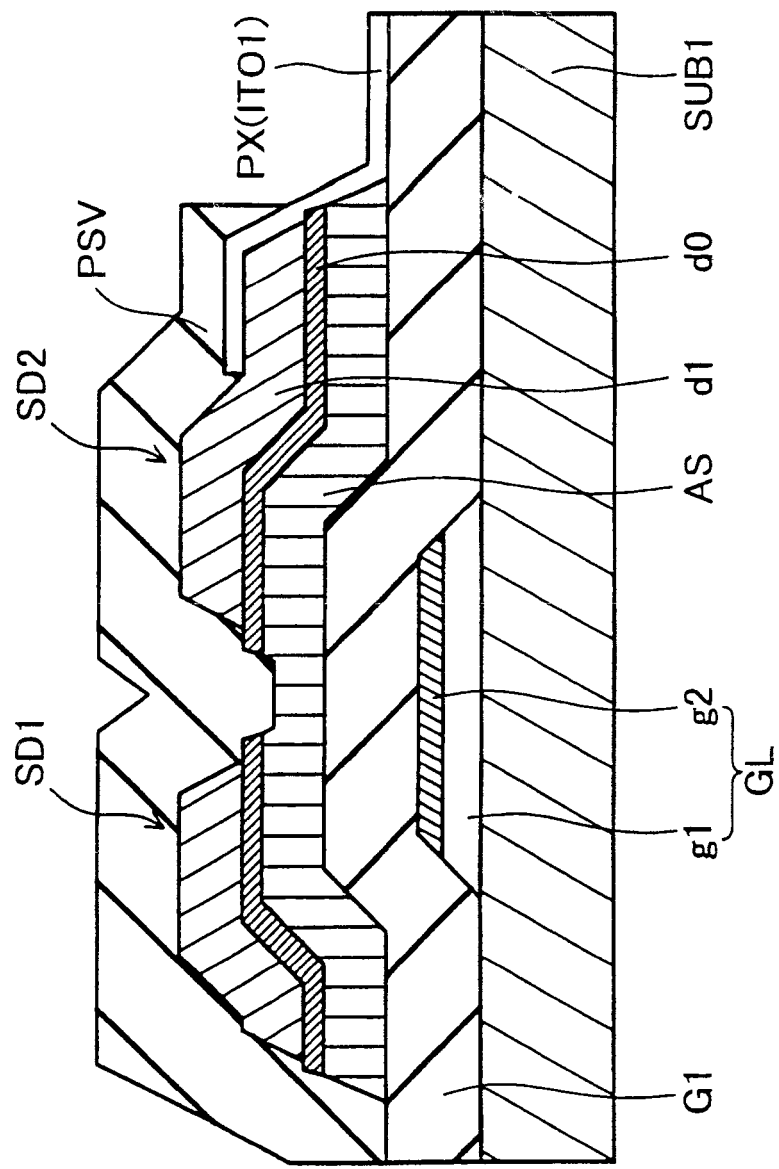


图 11

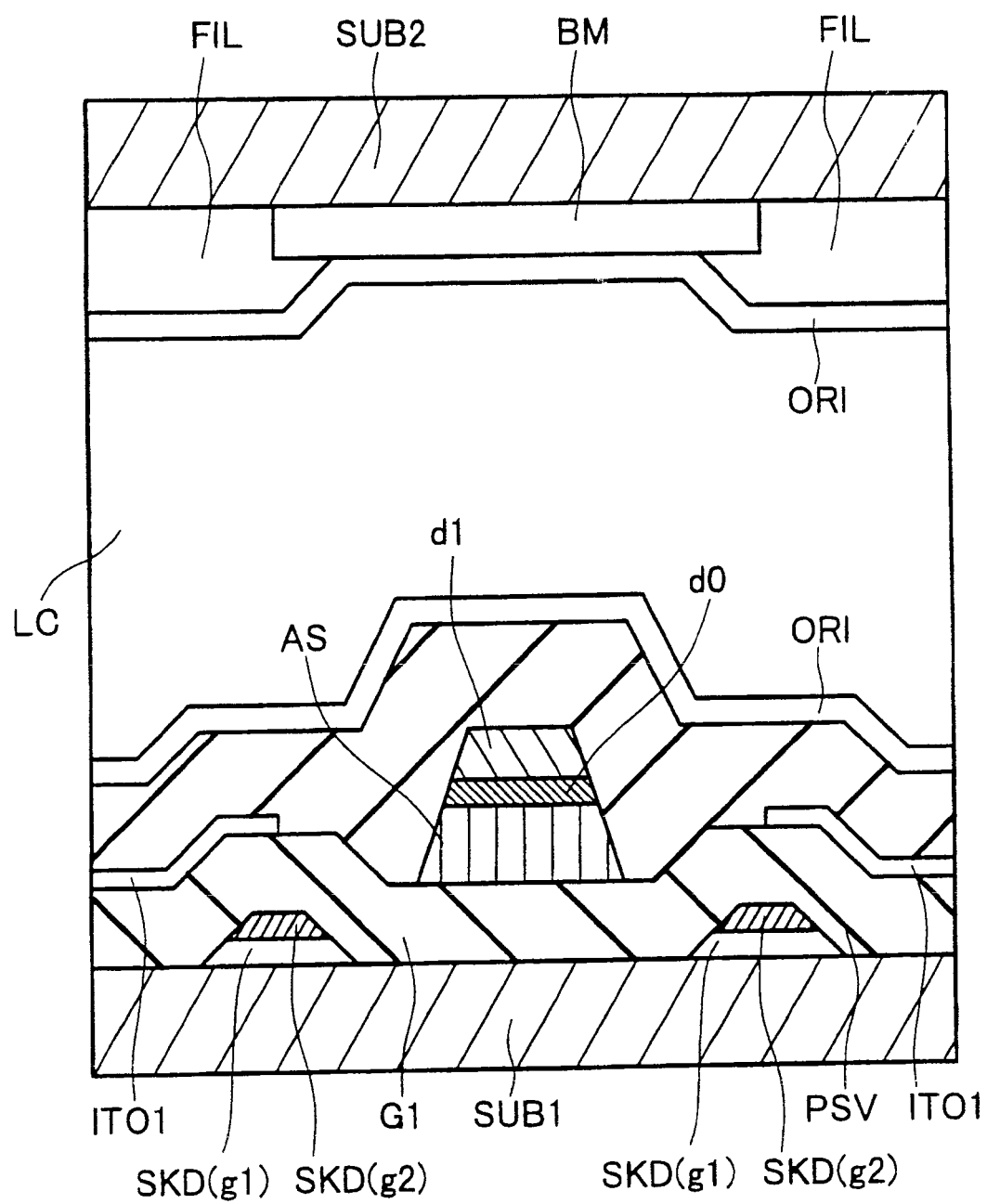


图 12

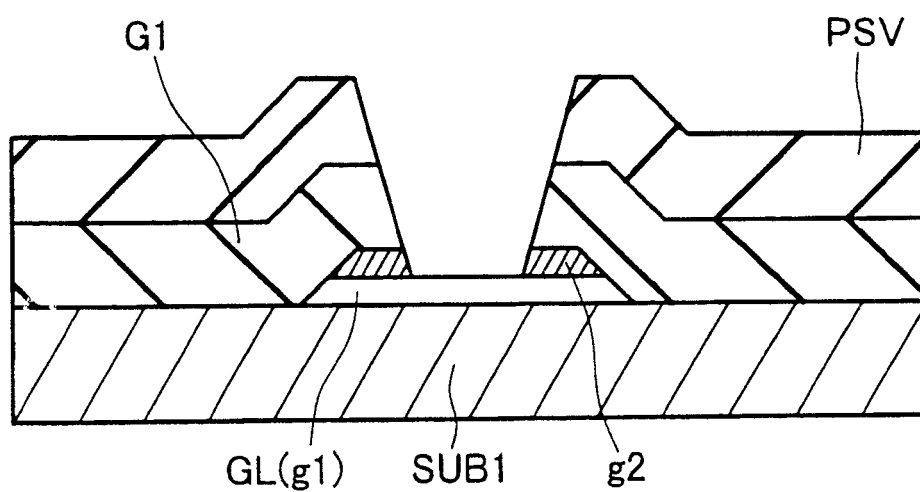


图 13

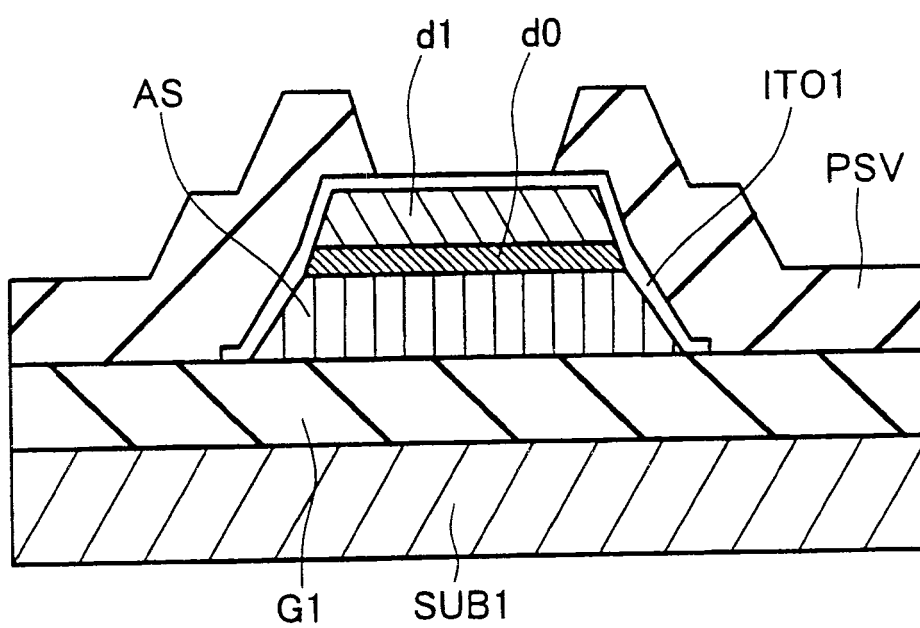


图 14

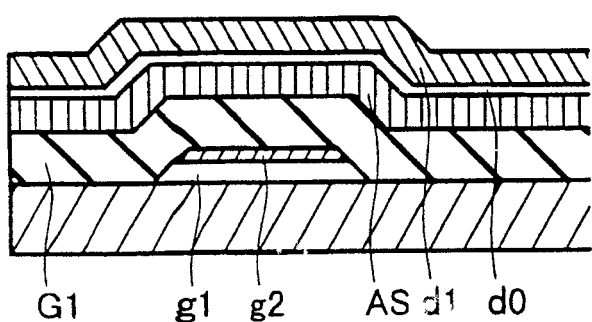


图 15A

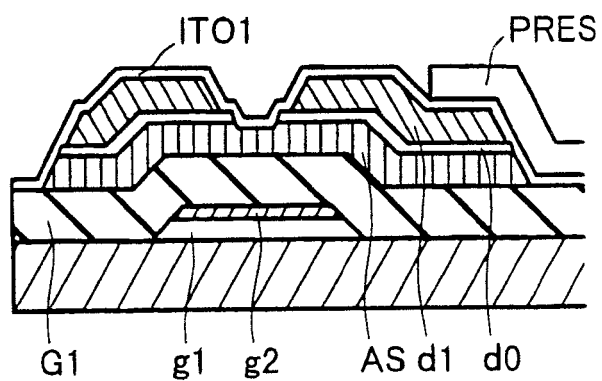


图 15D

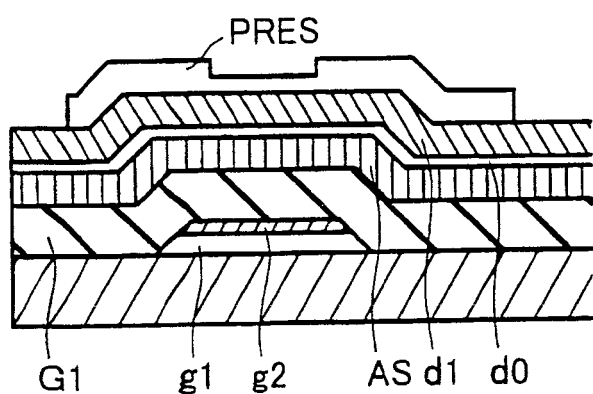


图 15B

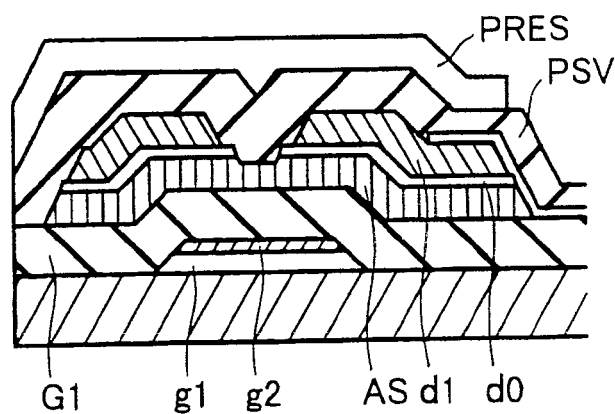


图 15E

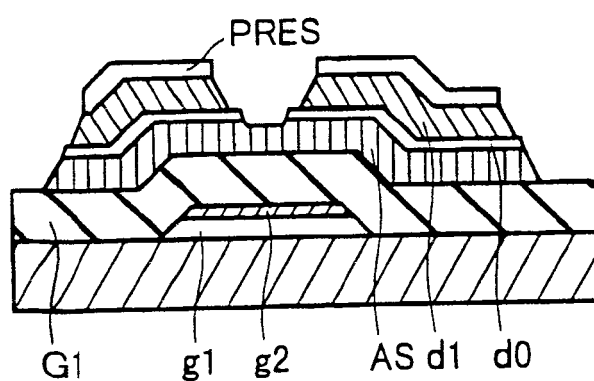
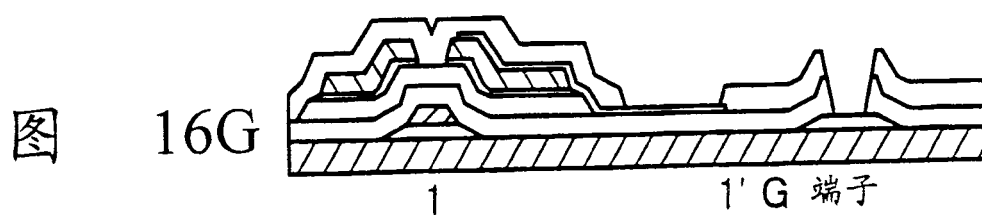
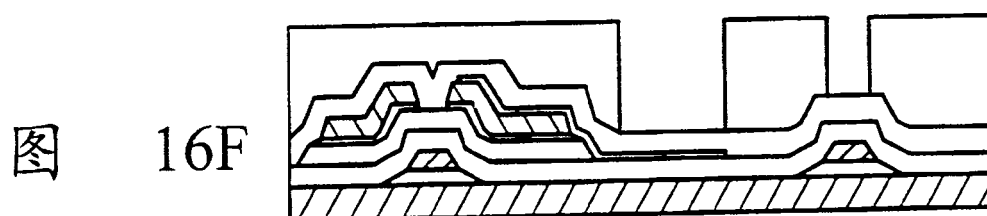
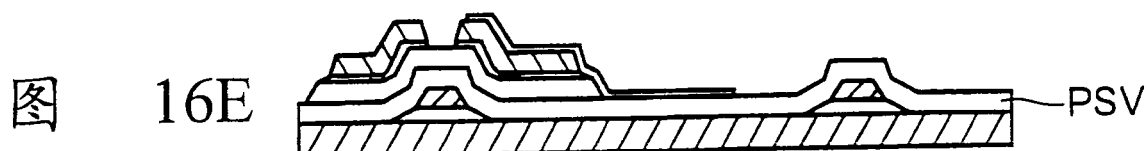
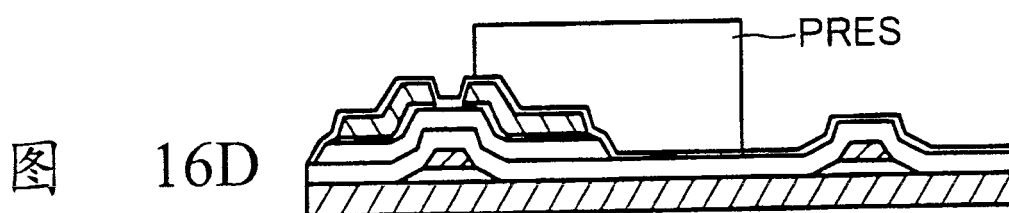
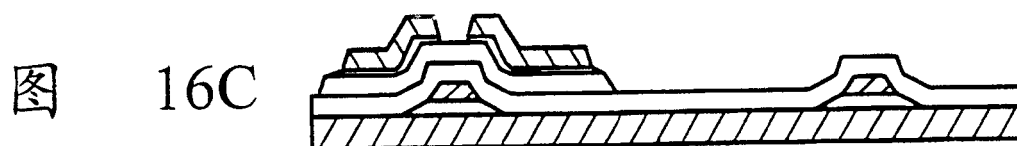
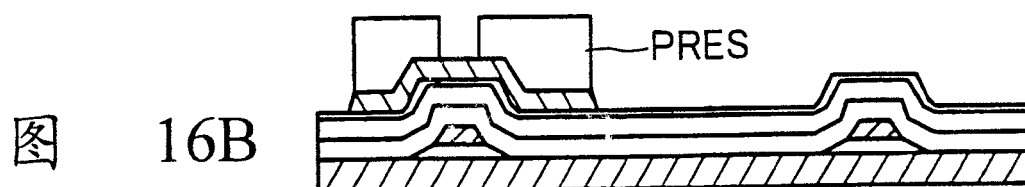
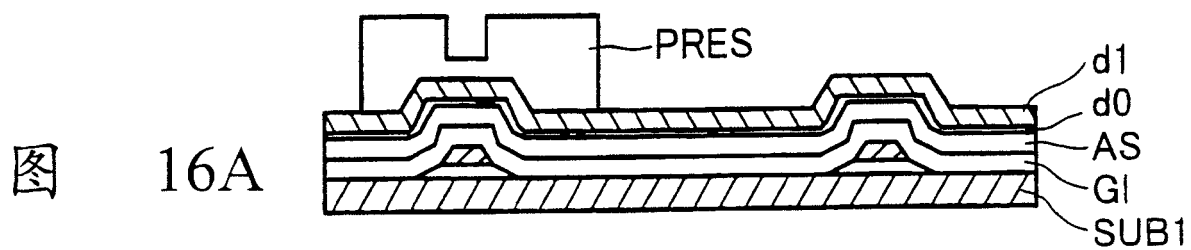


图 15C



1	淀积栅区MO/ITO
2	栅区光电(1)构图
3	抗蚀剂剥离
4	连续淀积CVD 3层 + SD金属
5	光电(2)半曝光技术
6	蚀刻沟道部分和a-Si
7	抗蚀剂剥离
8	淀积像素ITO
9	光电(3)处理像素ITO
10	抗蚀剂剥离
11	PAS淀积
12	光电(4)形成像素
13	抗蚀剂剥离

图 17

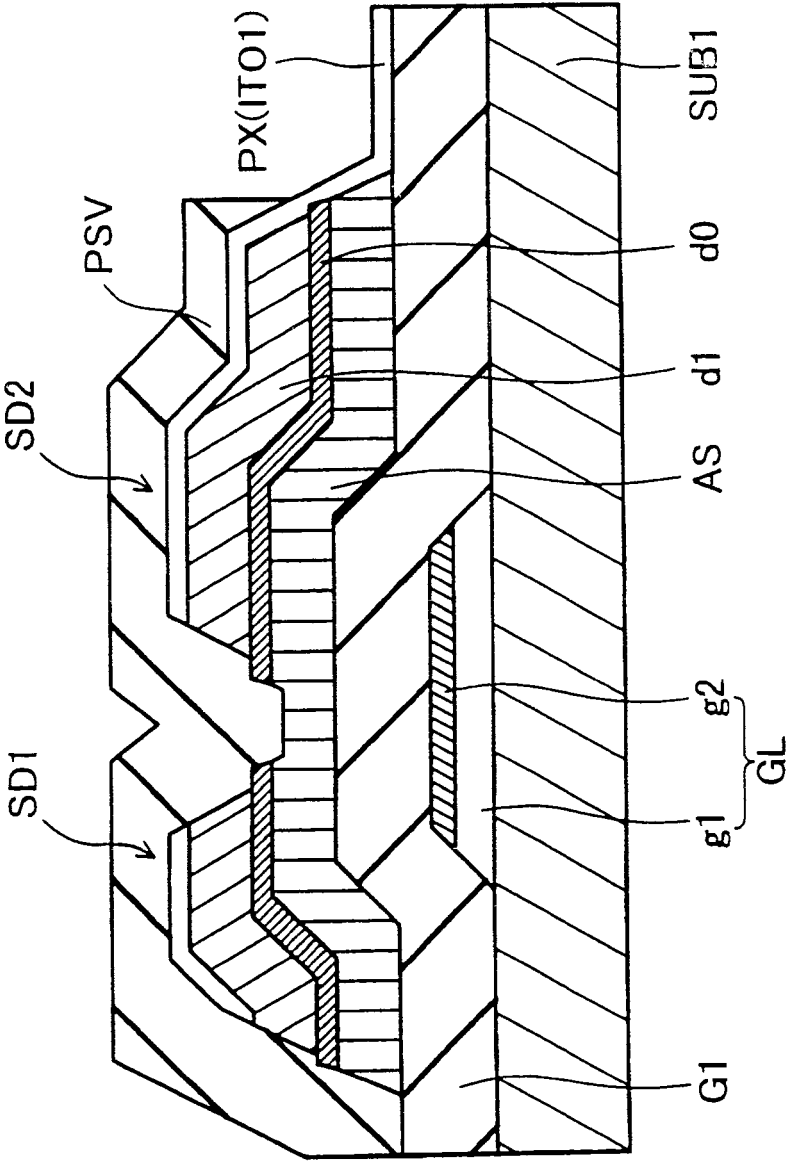


图 18

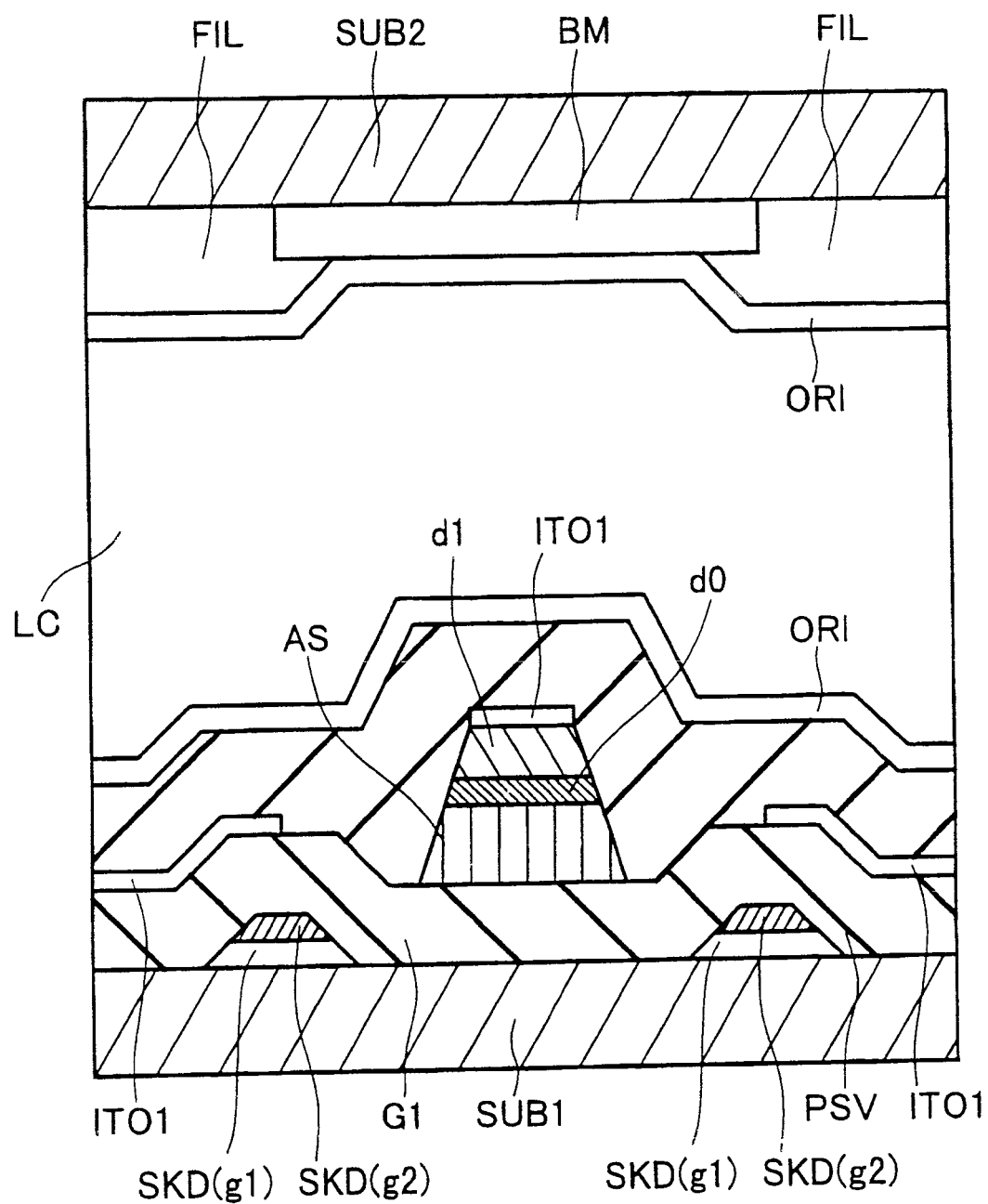


图 19

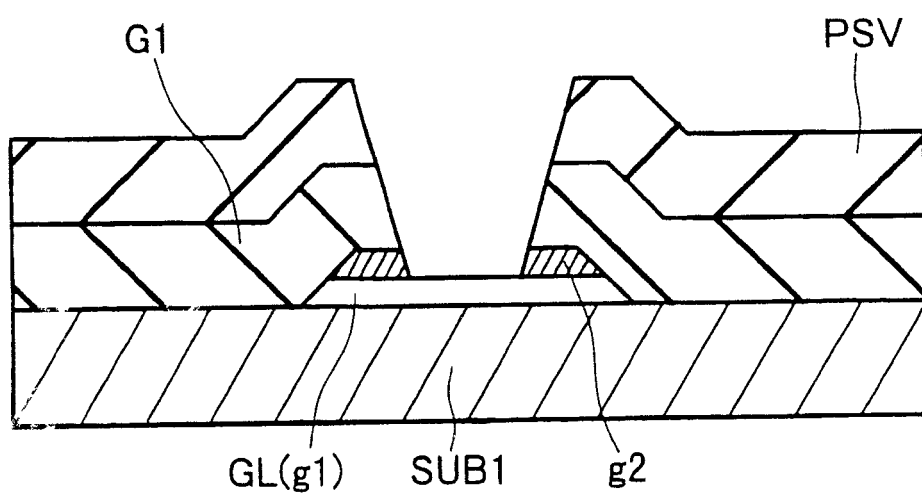


图 20

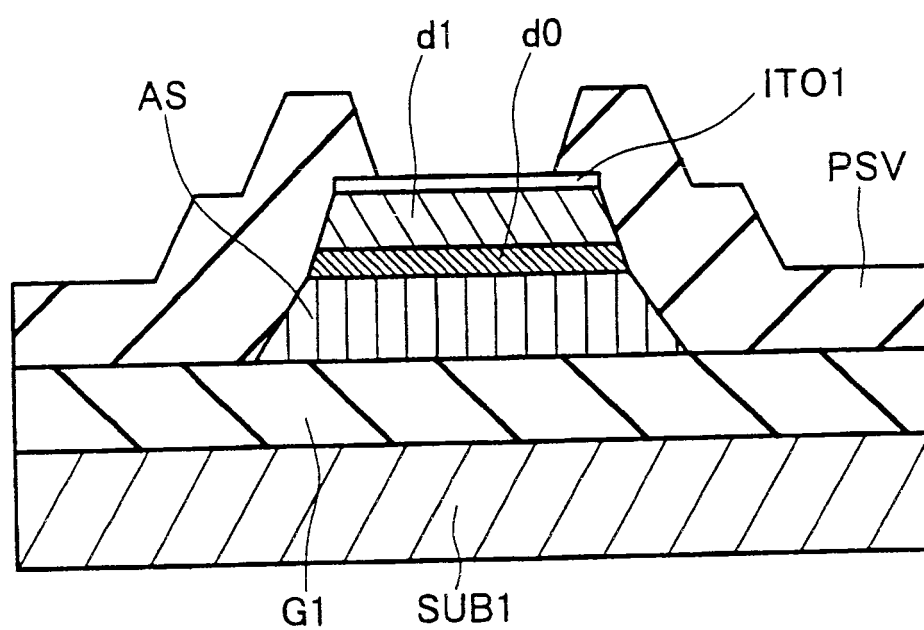


图 21

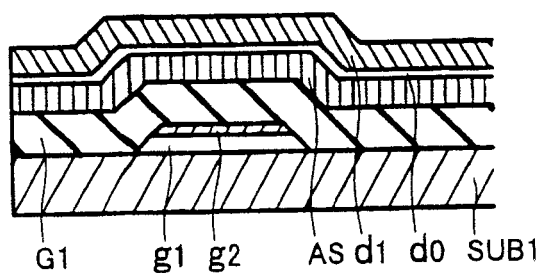


图 22A

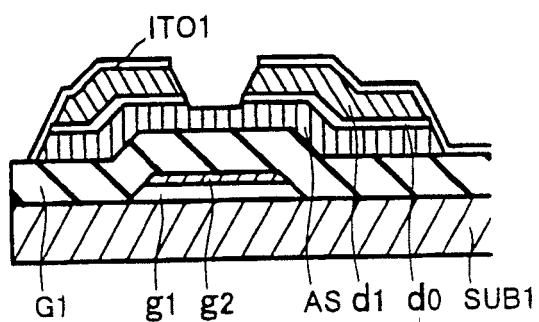


图 22E

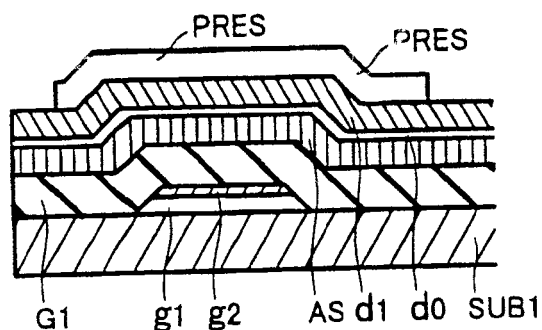


图 22B

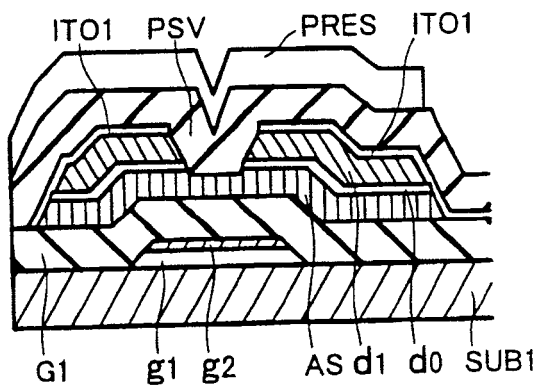


图 22F

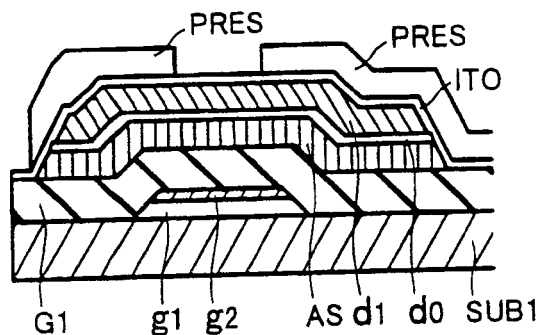


图 22C

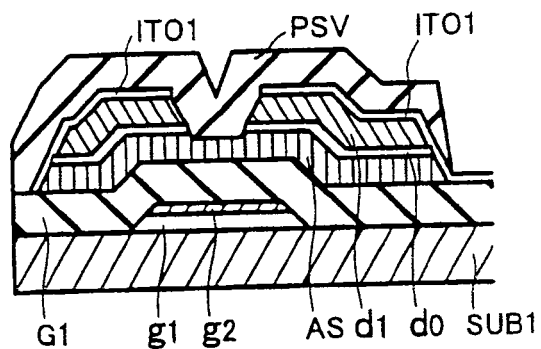


图 22G

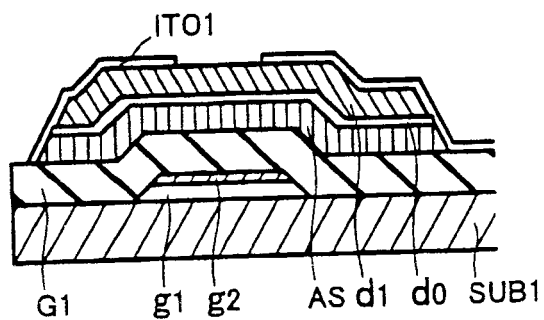
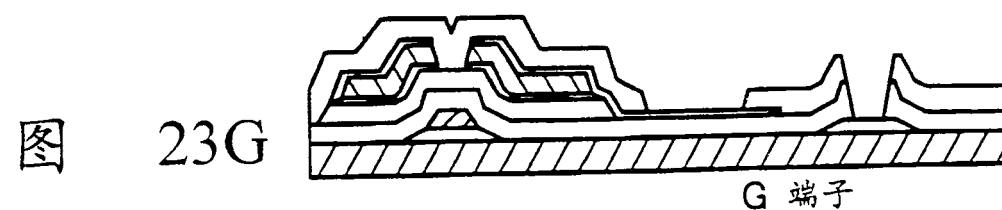
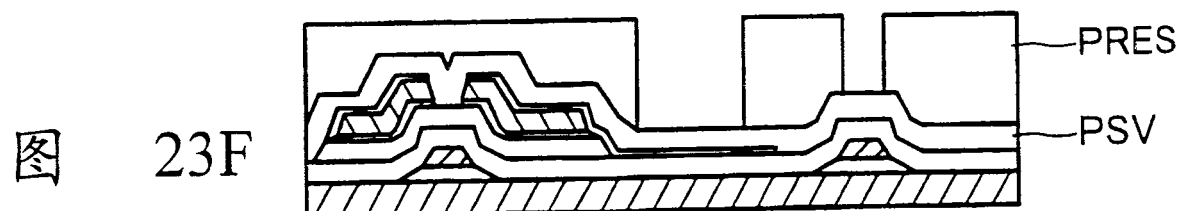
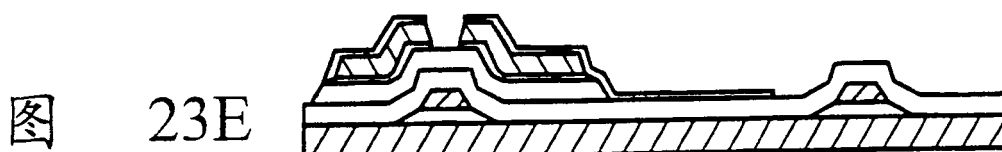
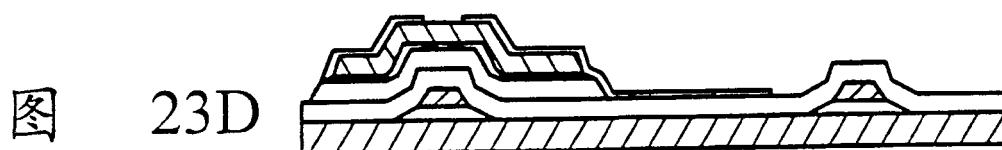
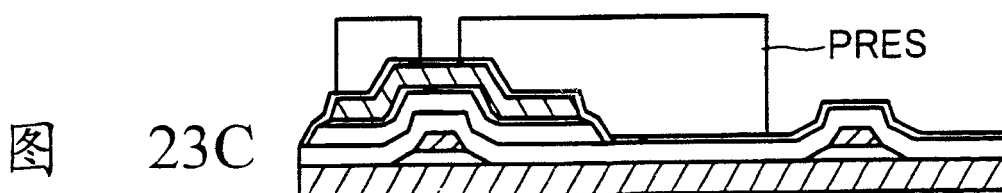
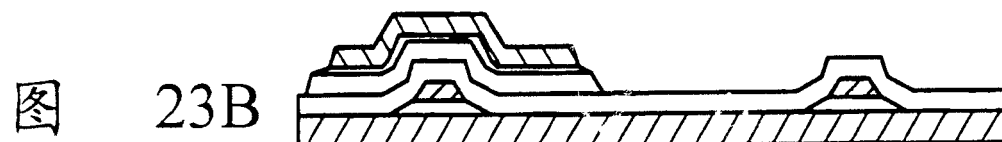
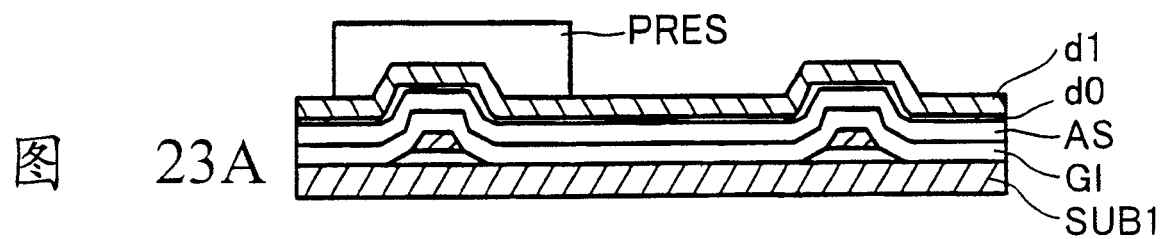


图 22D



1	淀积栅区MO/ITO
2	栅区光电(1)构图
3	抗蚀剂剥离
4	连续淀积CVD 3层 + SD金属
5	光电(2) a-Si构图
6	a-Si蚀刻
7	抗蚀剂剥离
8	淀积像素ITO
9	光电(3)沟道构图
10	沟道ITO蚀刻
11	抗蚀剂剥离
12	沟道蚀刻(ITO掩模)
13	PAS淀积
14	光电(4)形成像素
15	抗蚀剂剥离

图 24

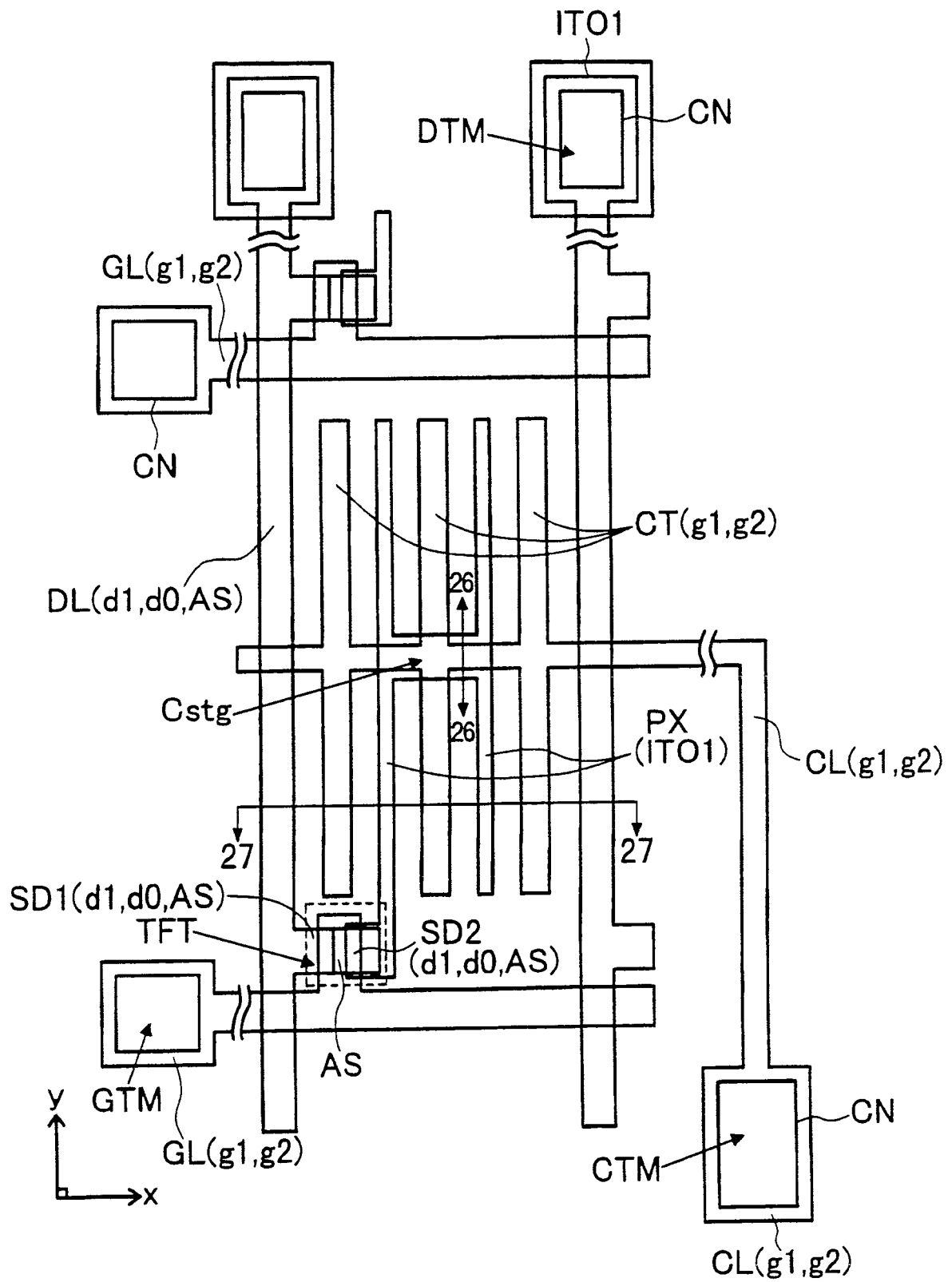


图 25

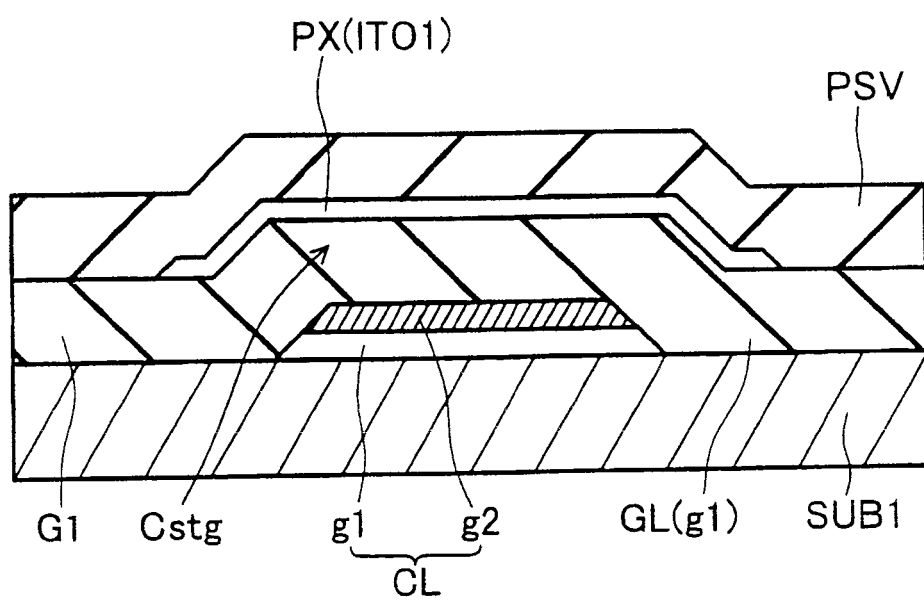


图 26

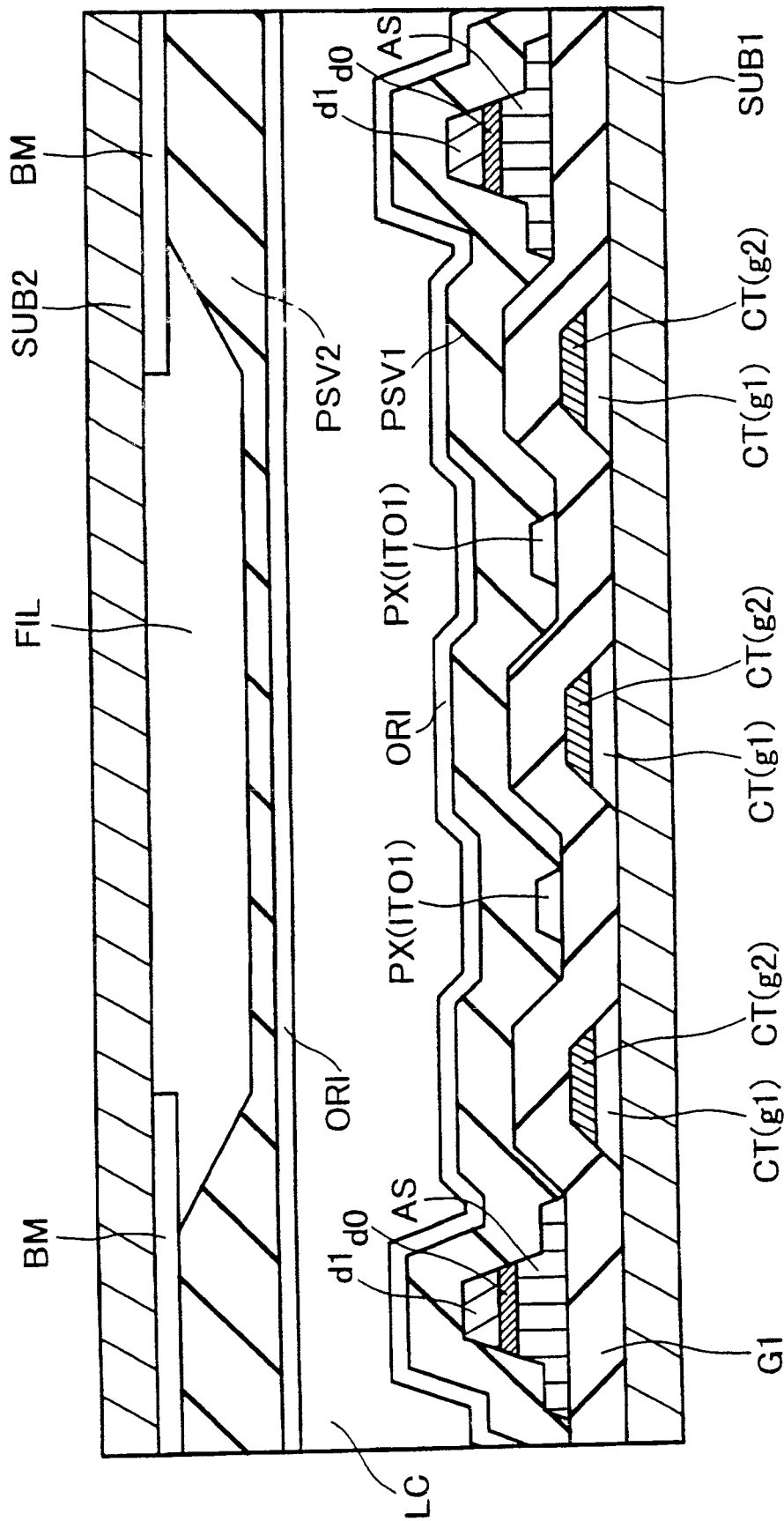


图 27

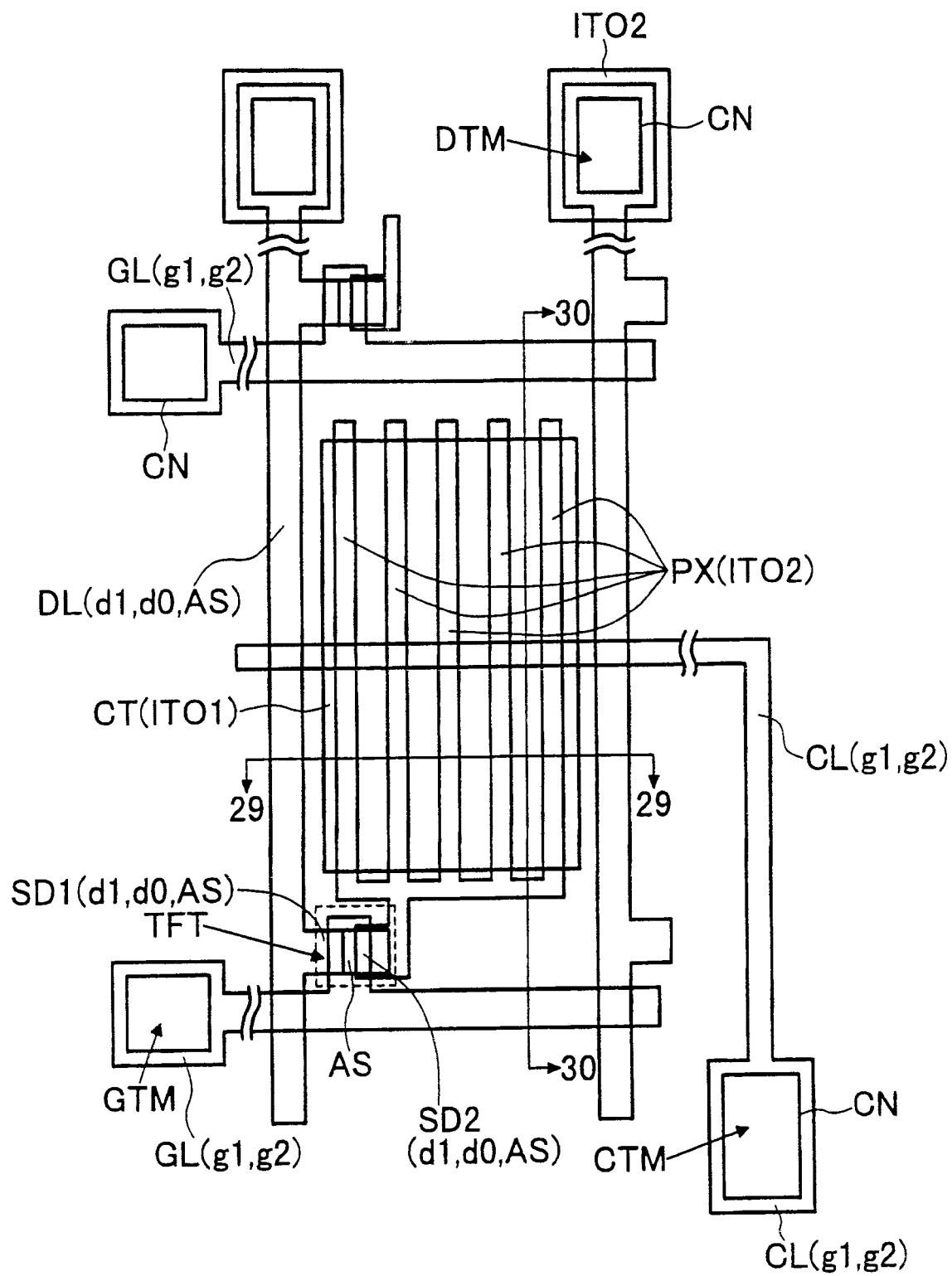


图 28

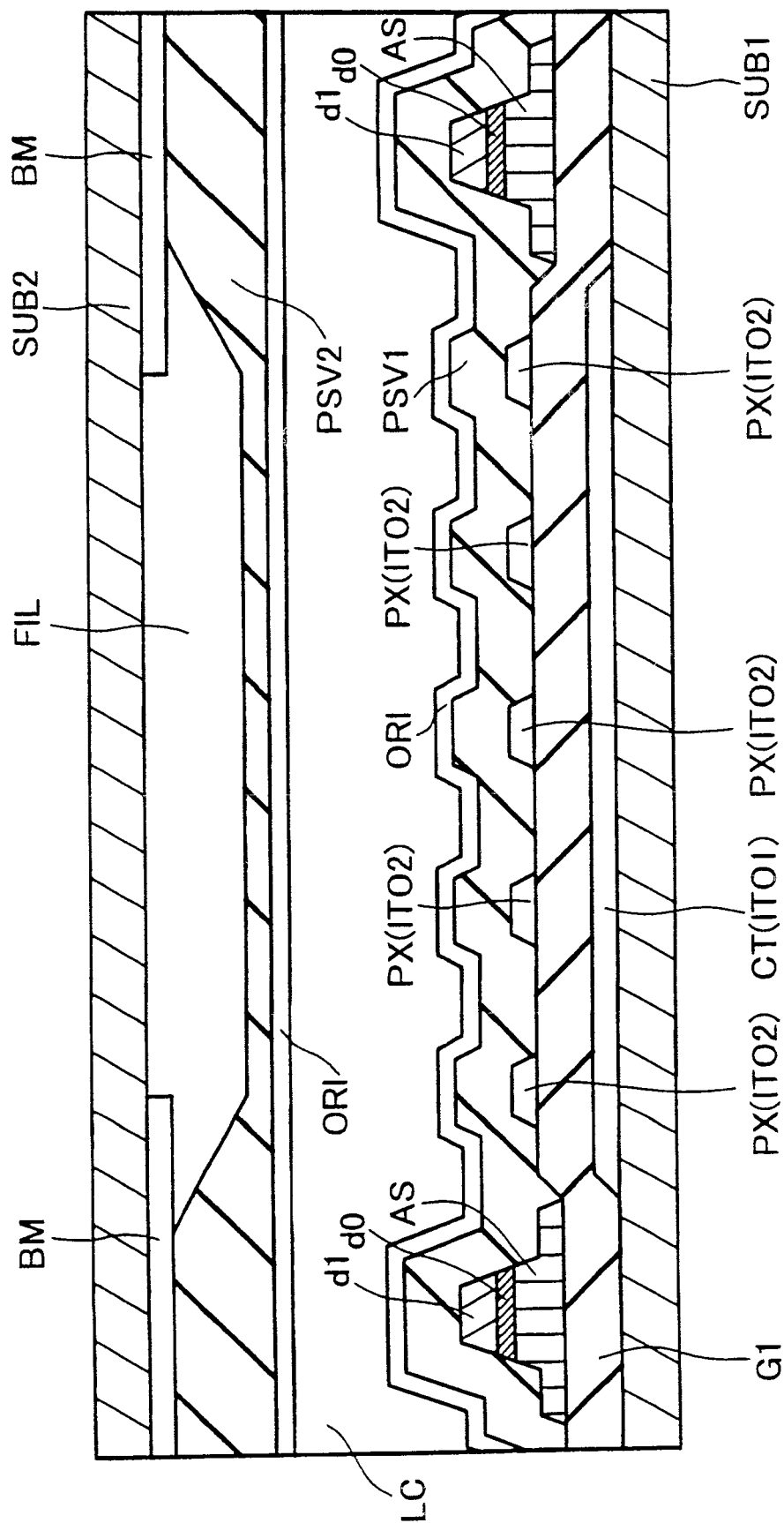


图 29

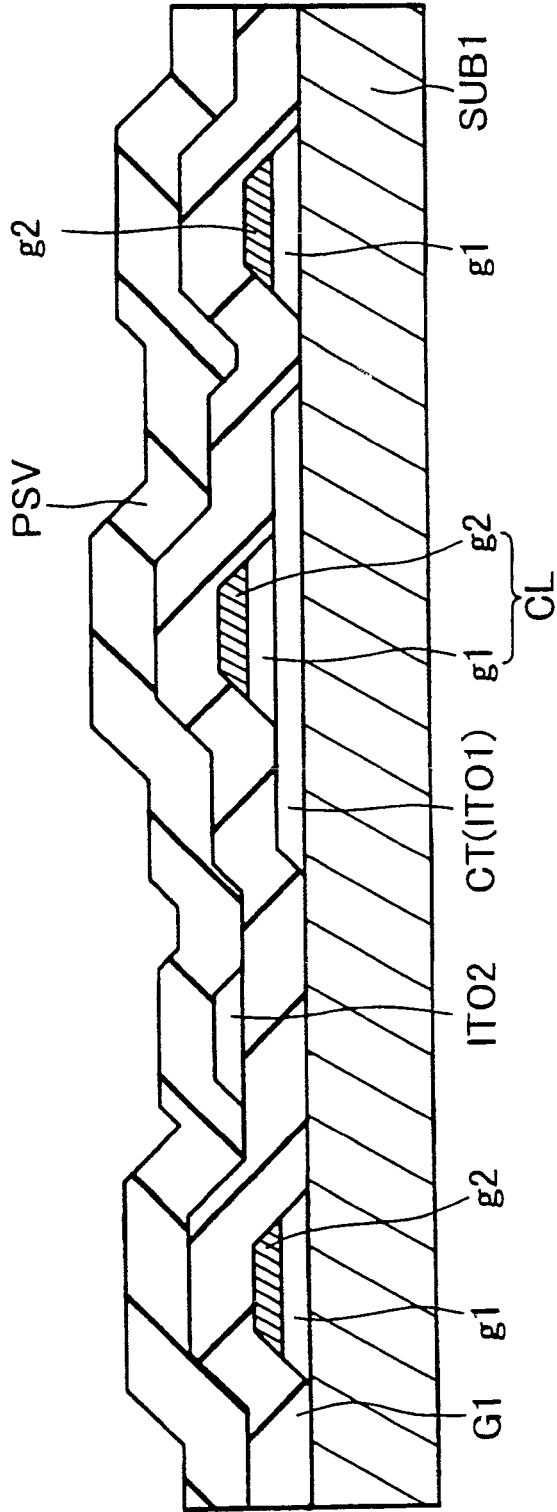


图 30

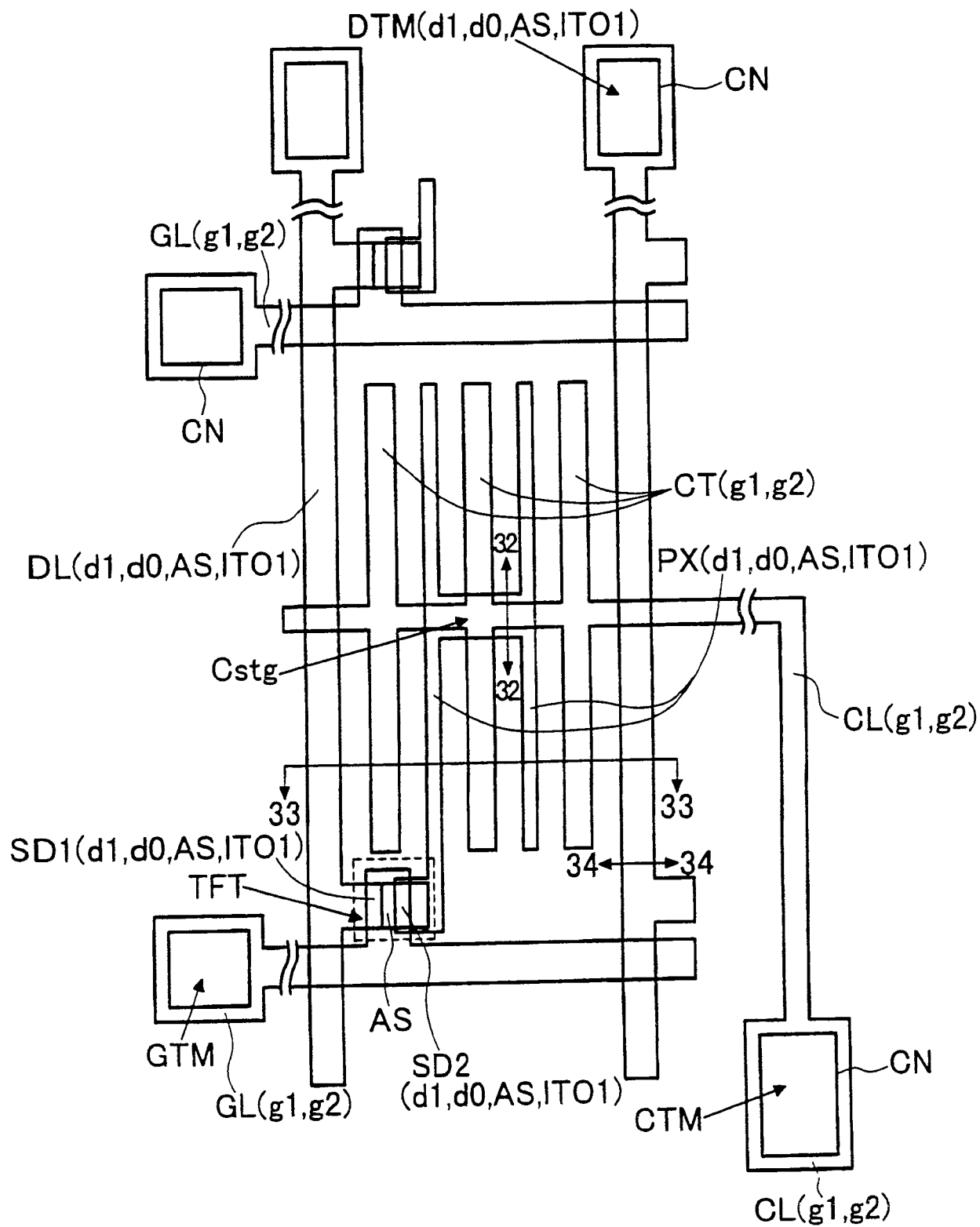


图 31

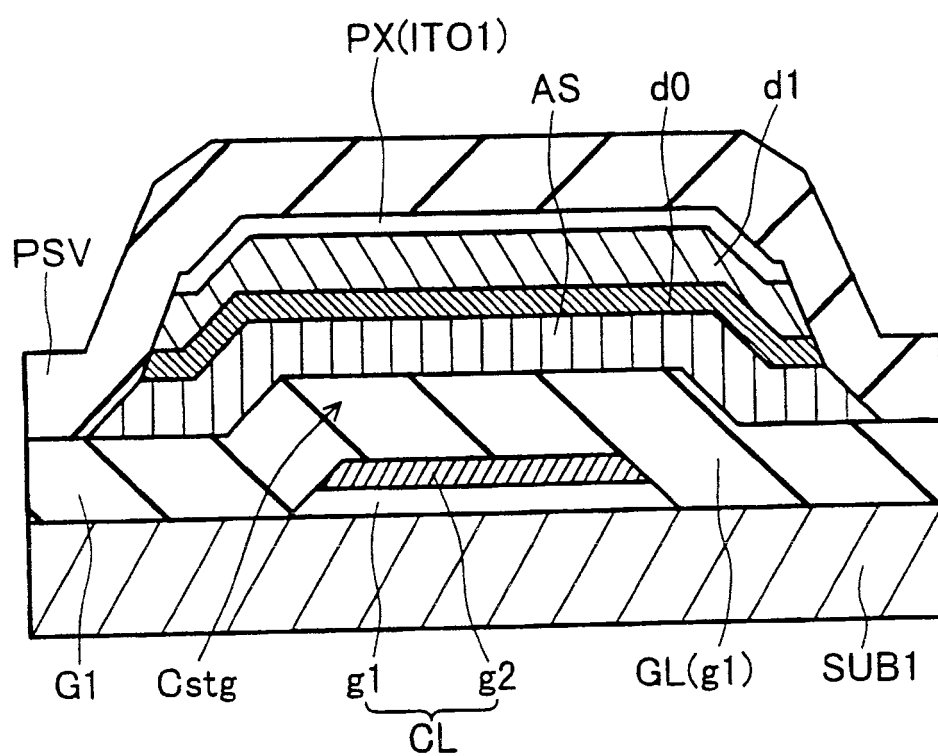


图 32

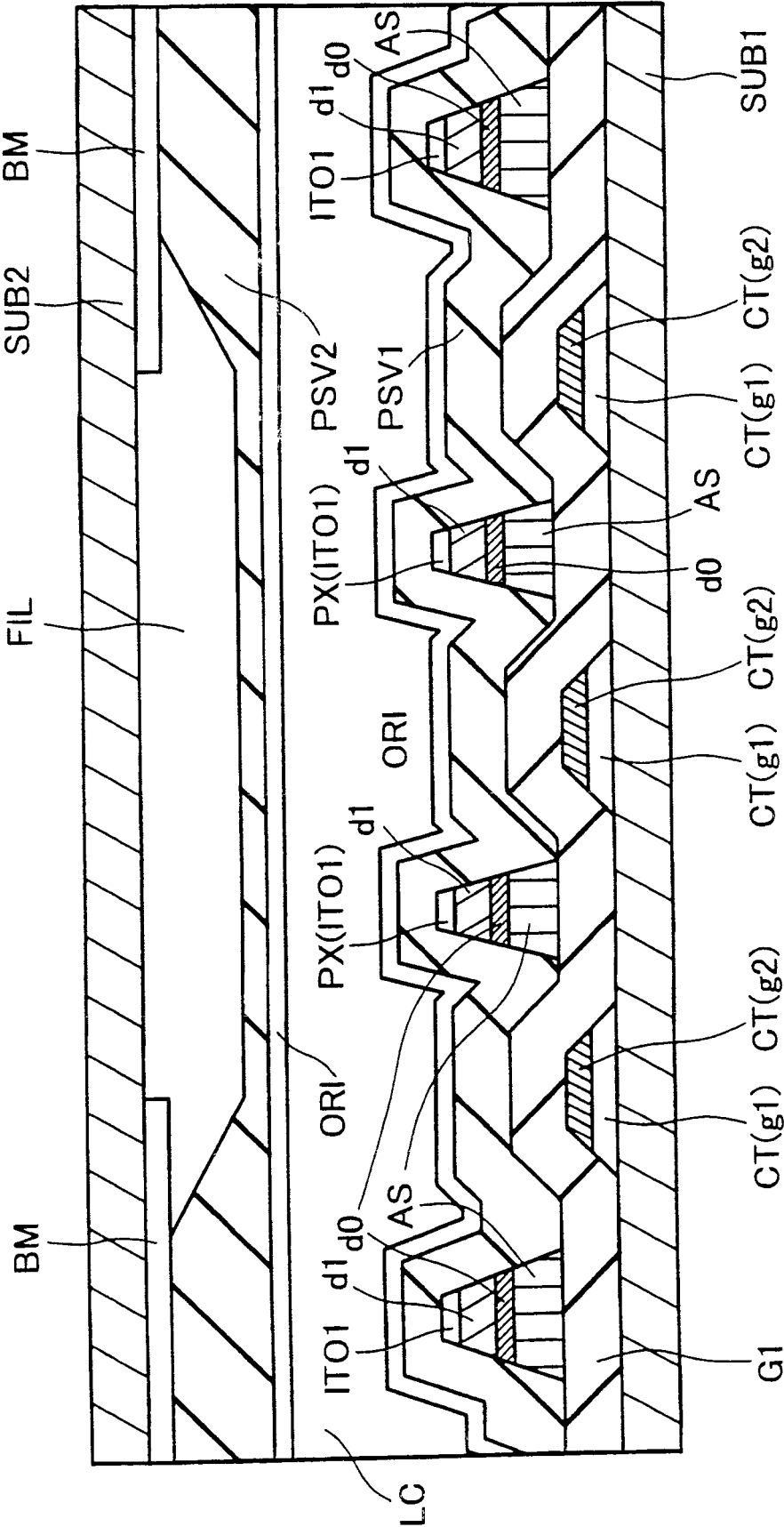


图 33

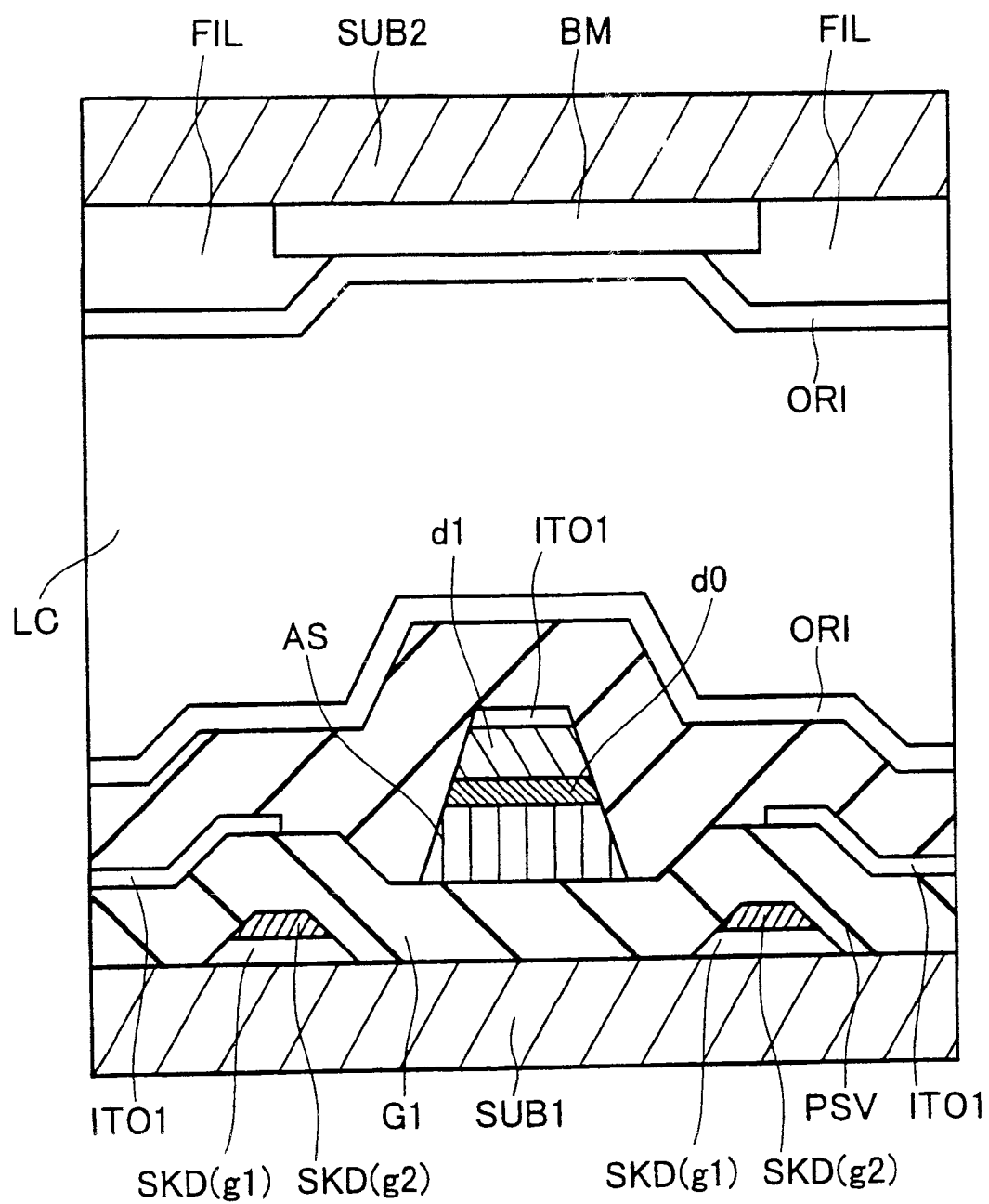


图 34

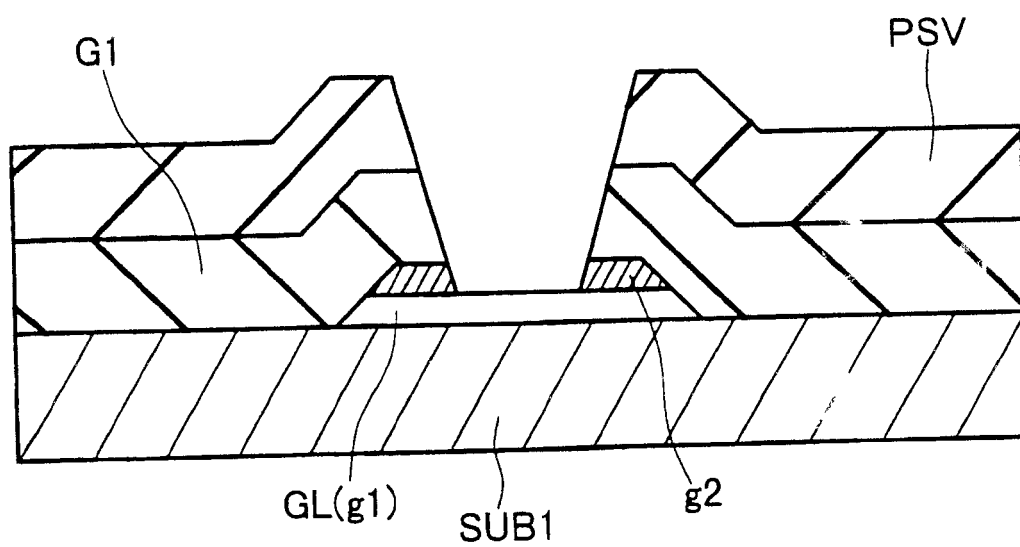


图 35

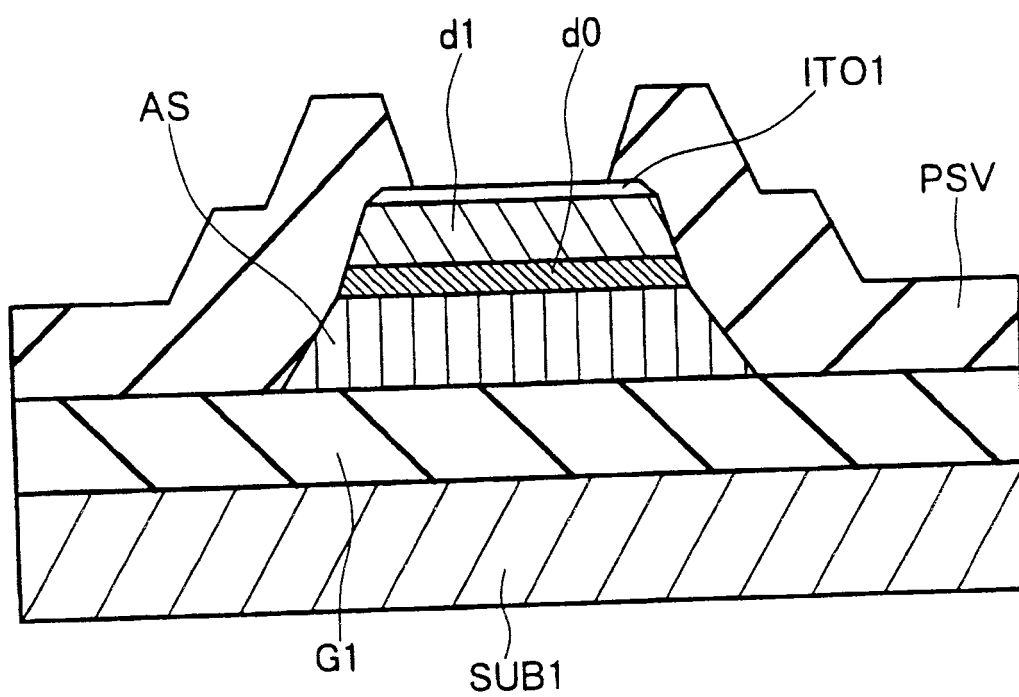


图 36

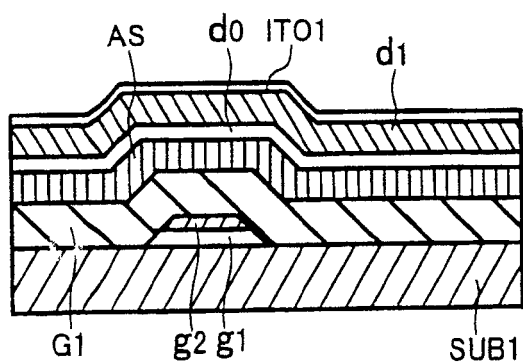


图 37A

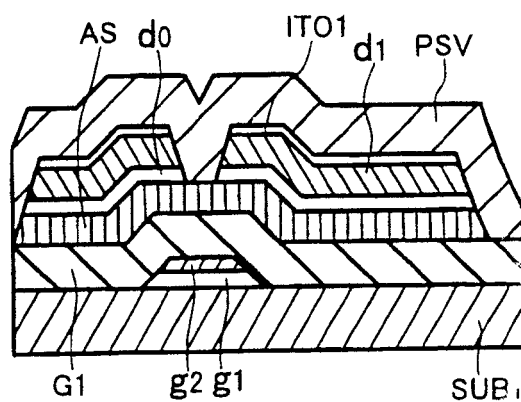


图 37D

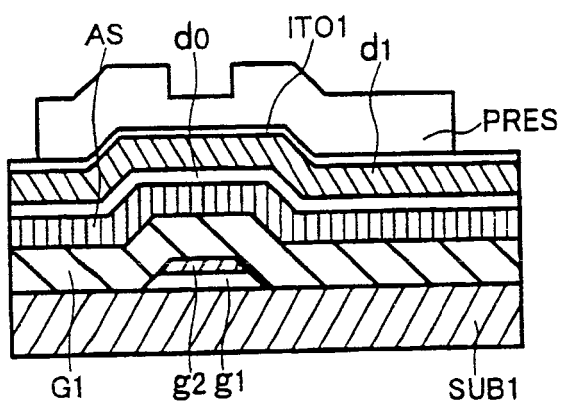


图 37B

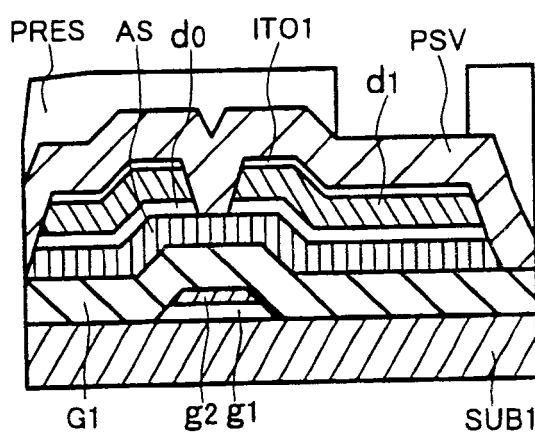


图 37E

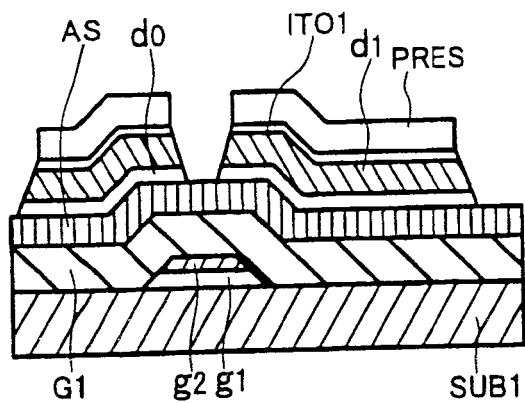


图 37C

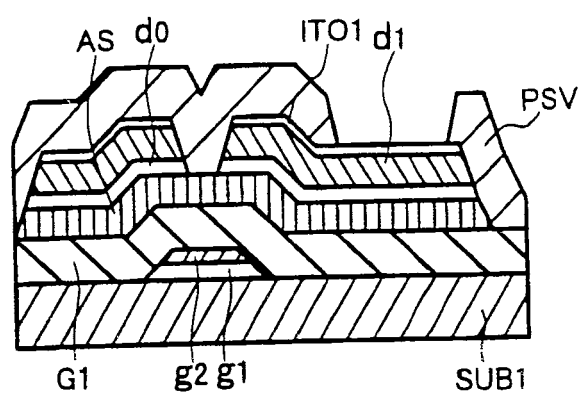
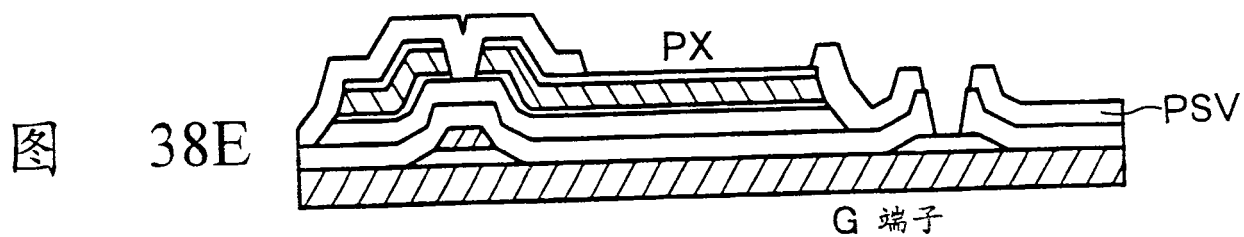
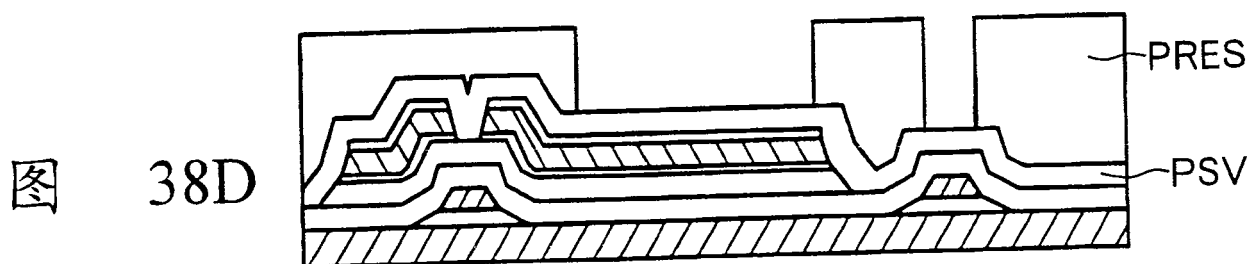
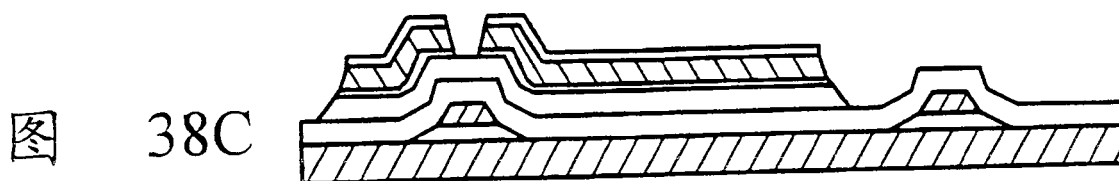
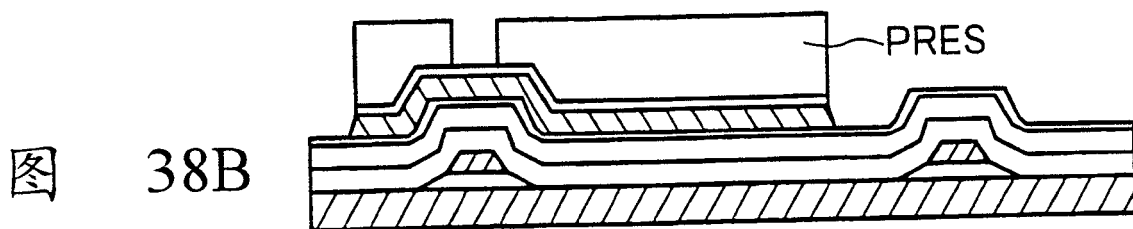
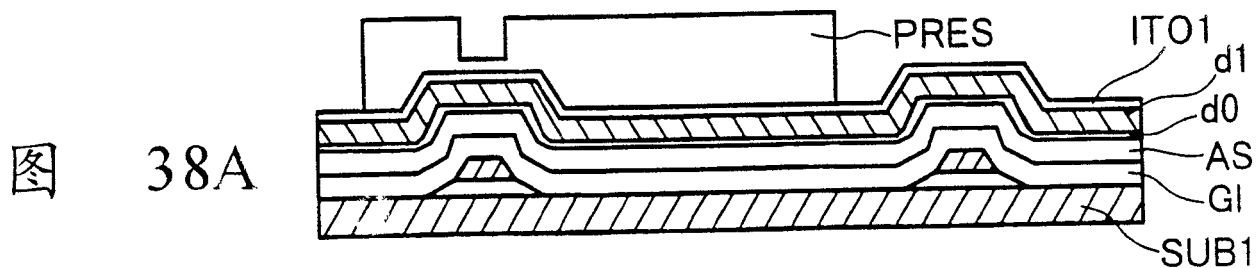


图 37F



1	抗蚀剂剥离
2	栅区光电(1)构图
3	抗蚀剂剥离
4	连续淀积CVD 3层 + SD金属
5	光电(2)半曝光技术
6	蚀刻沟道部分、a-Si和像素部件
7	抗蚀剂剥离
8	PAS淀积
9	光电(3)形成像素
10	抗蚀剂剥离

图 39

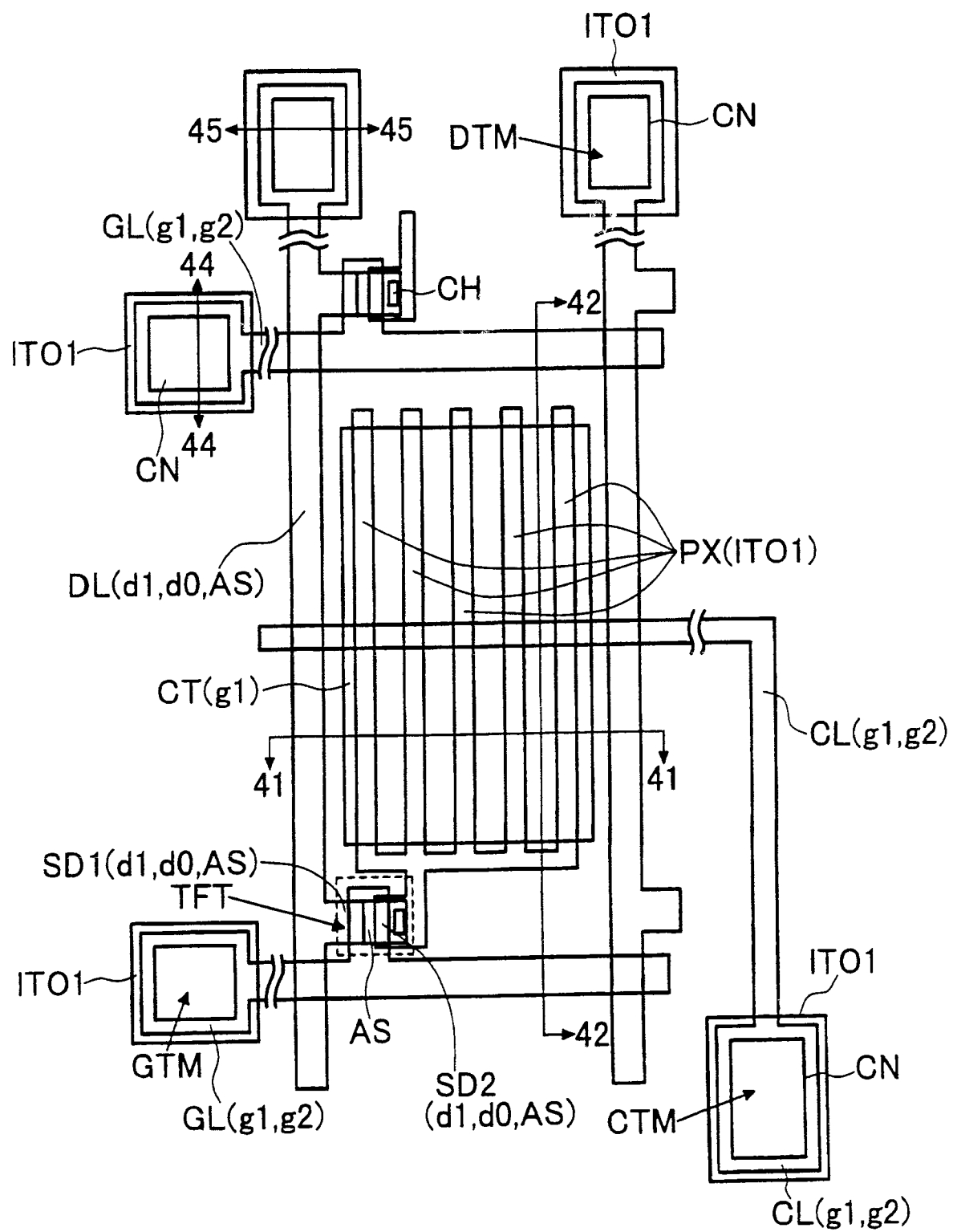


图 40

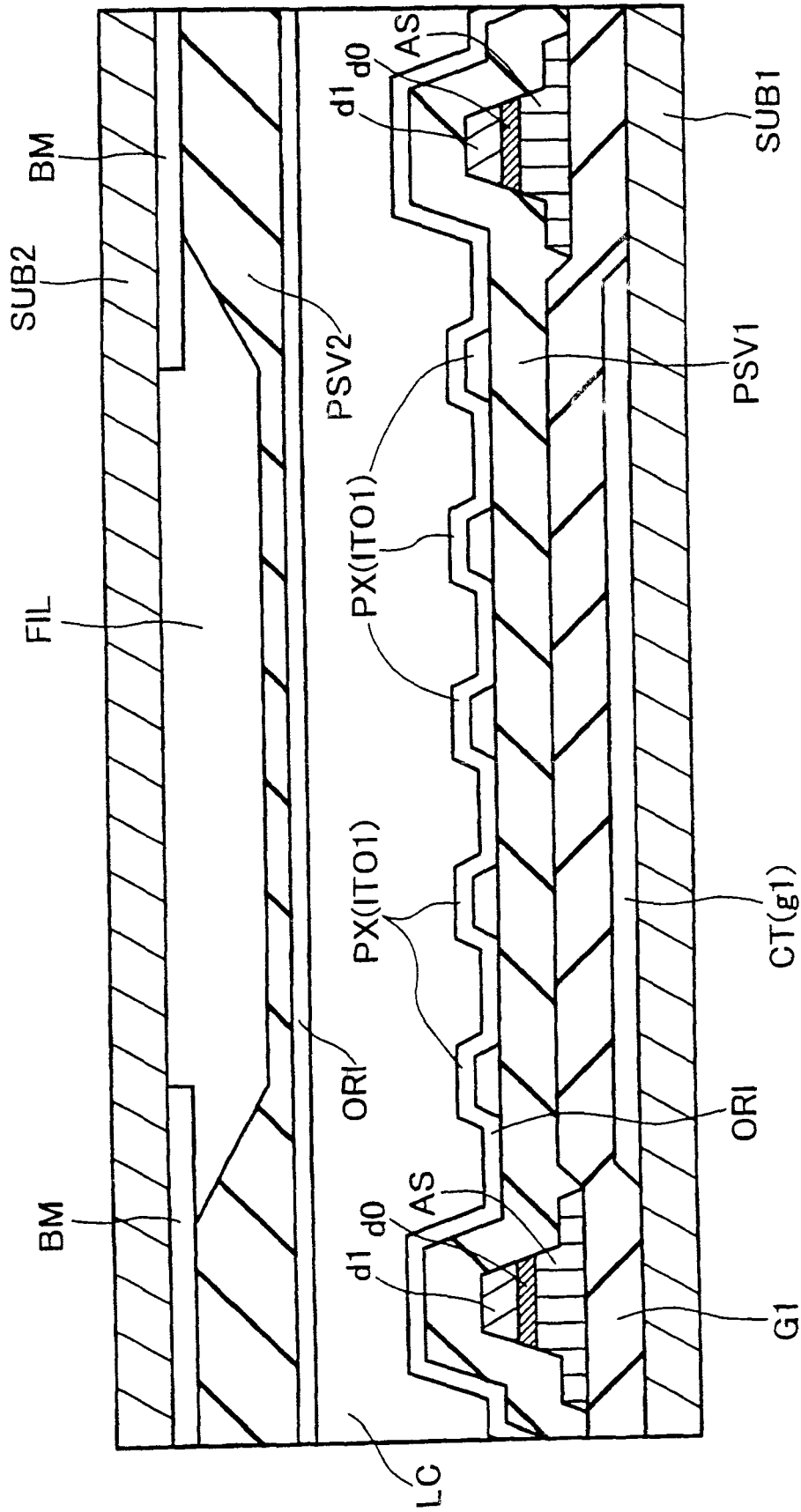


图 41

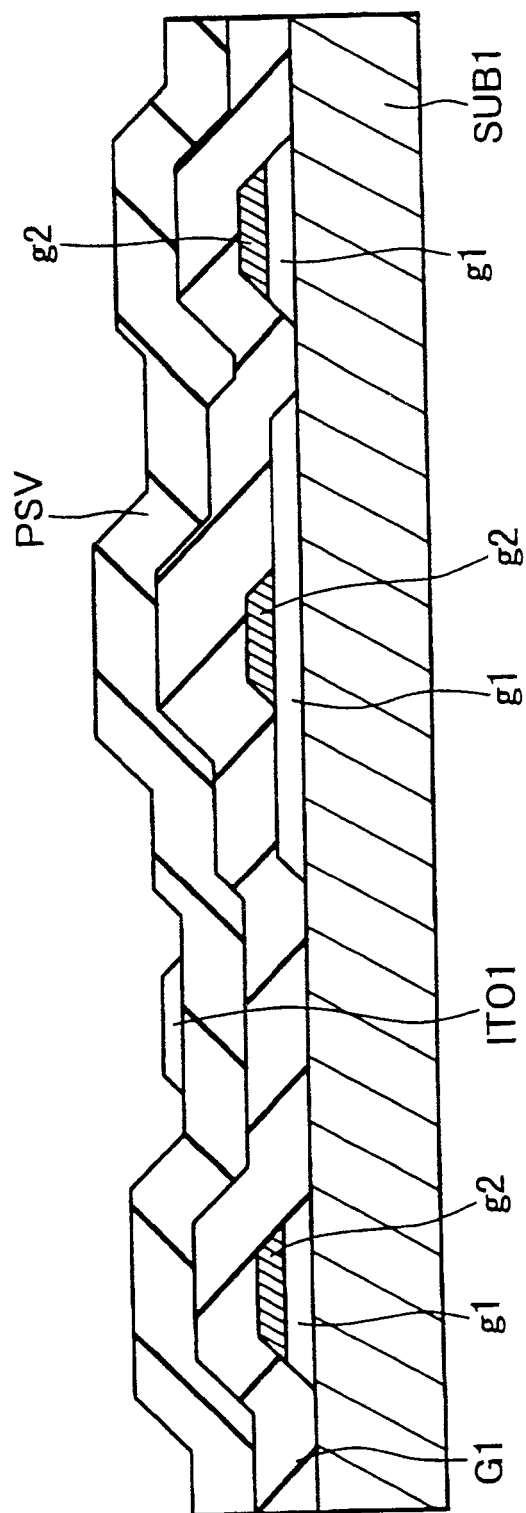


图 42

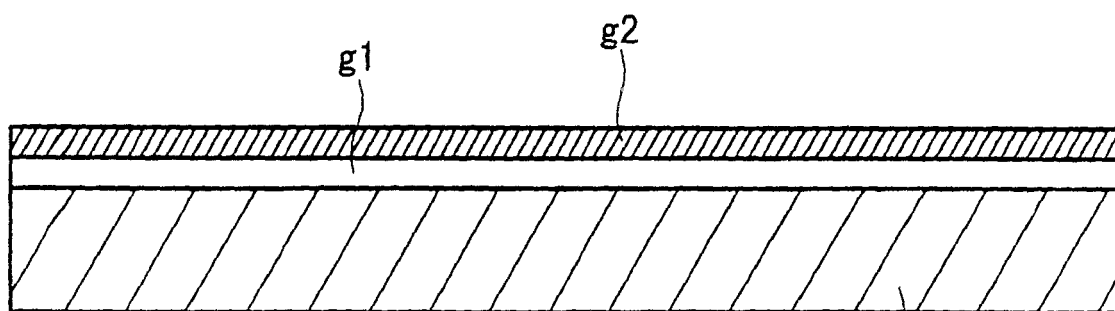


图 43A

SUB1

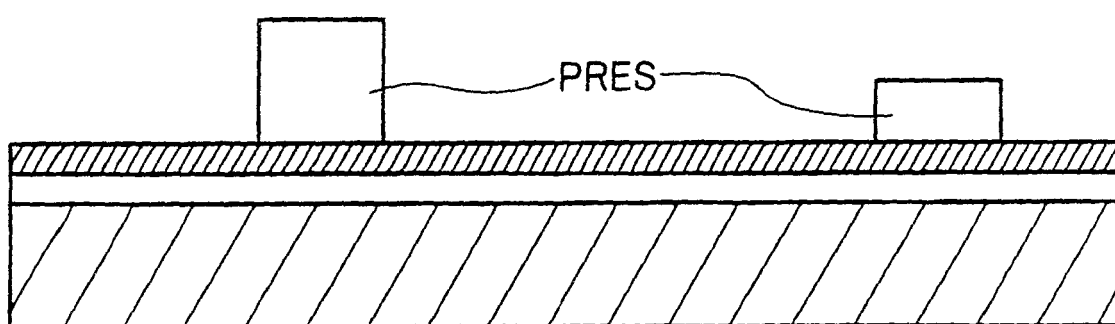


图 43B

PRES

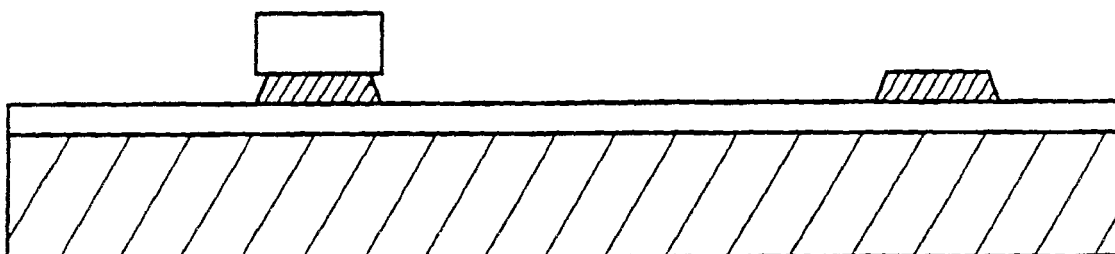


图 43C

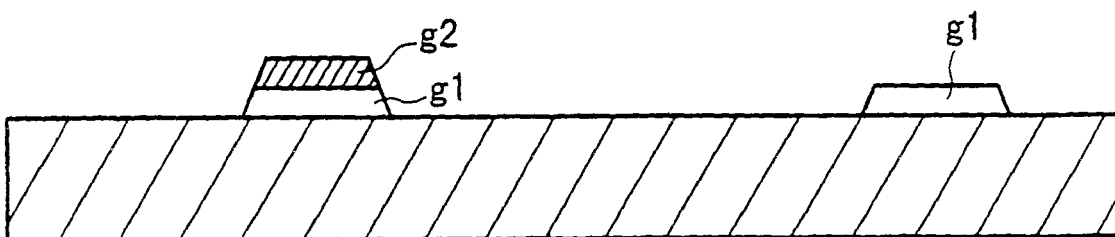


图 43D

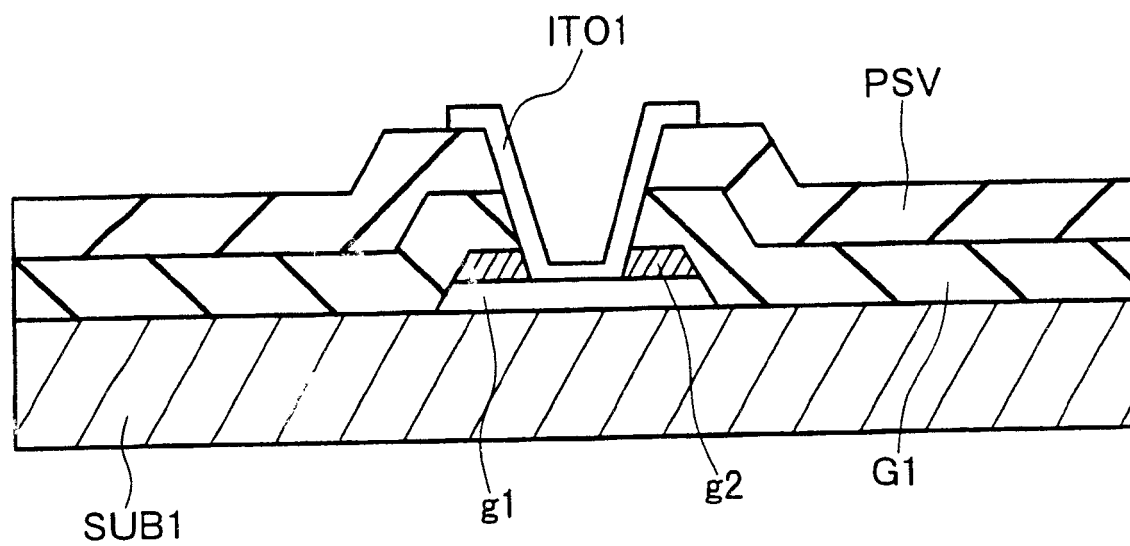


图 44

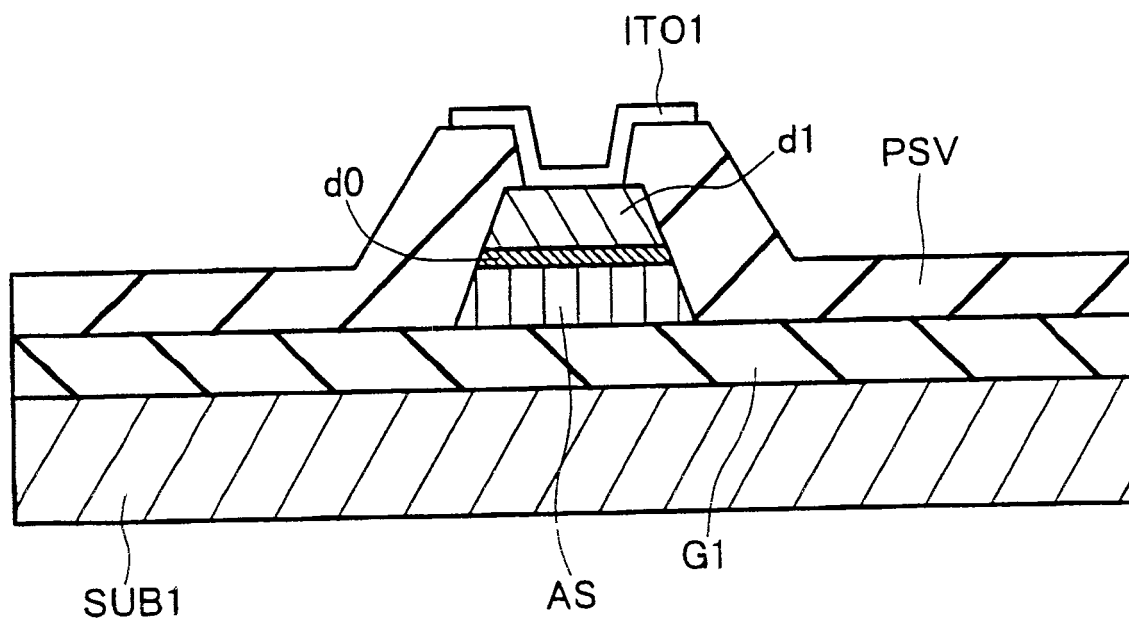


图 45

图 46A

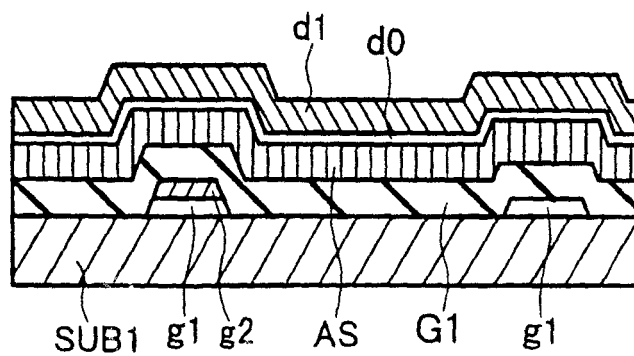


图 46B

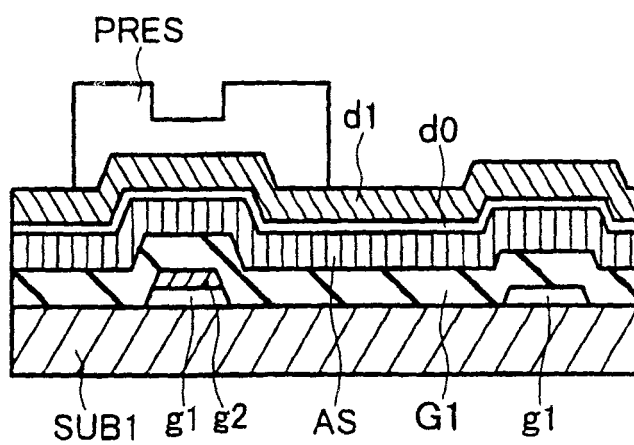


图 46C

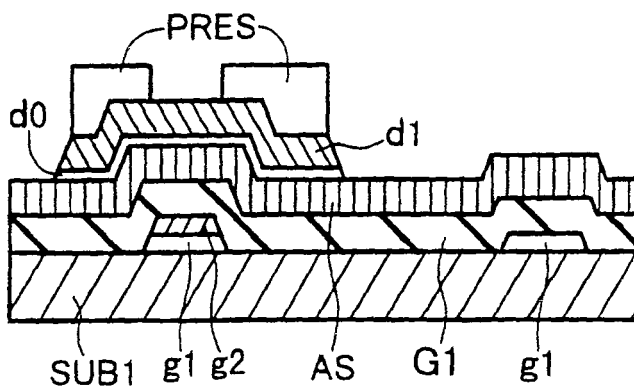


图 46D

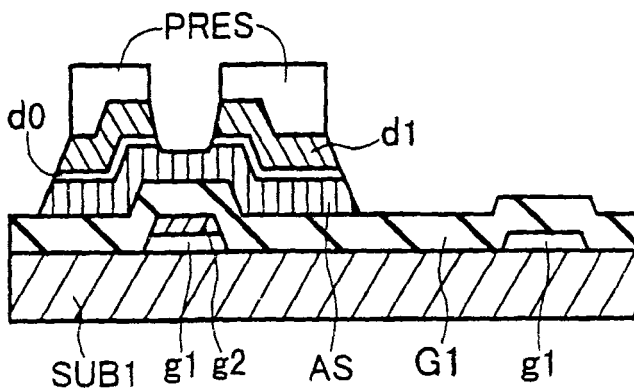


图 47E

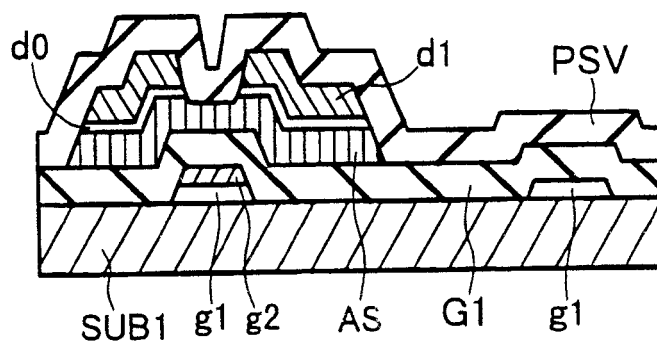


图 47F

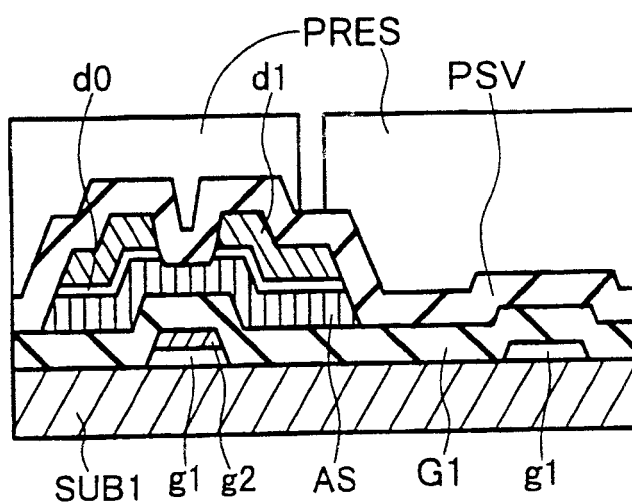


图 47G

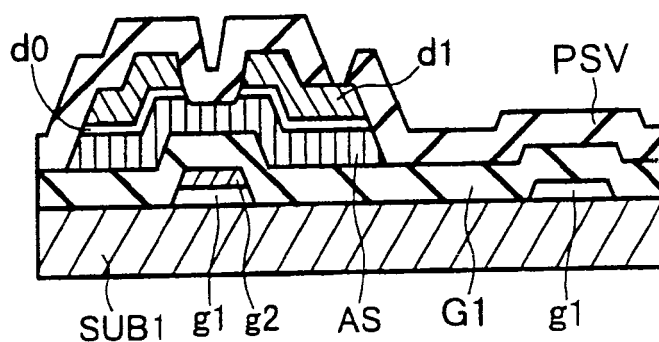
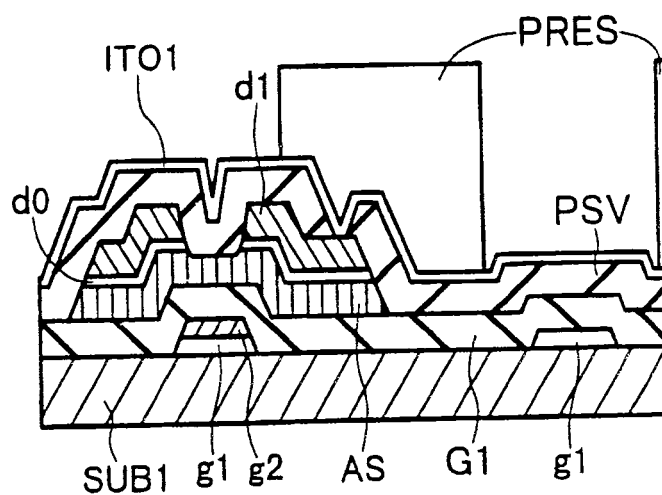
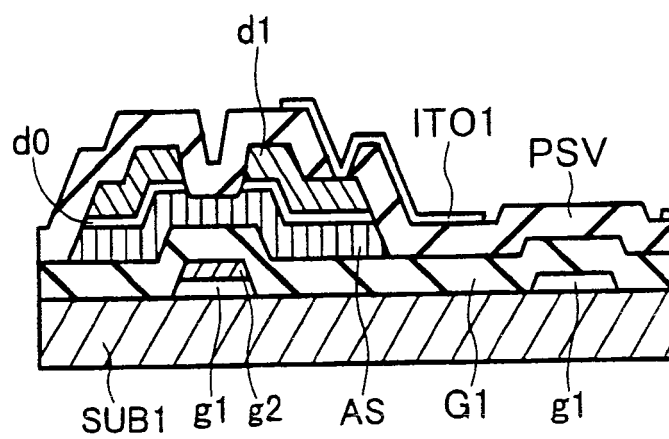


图 47H



图

48I



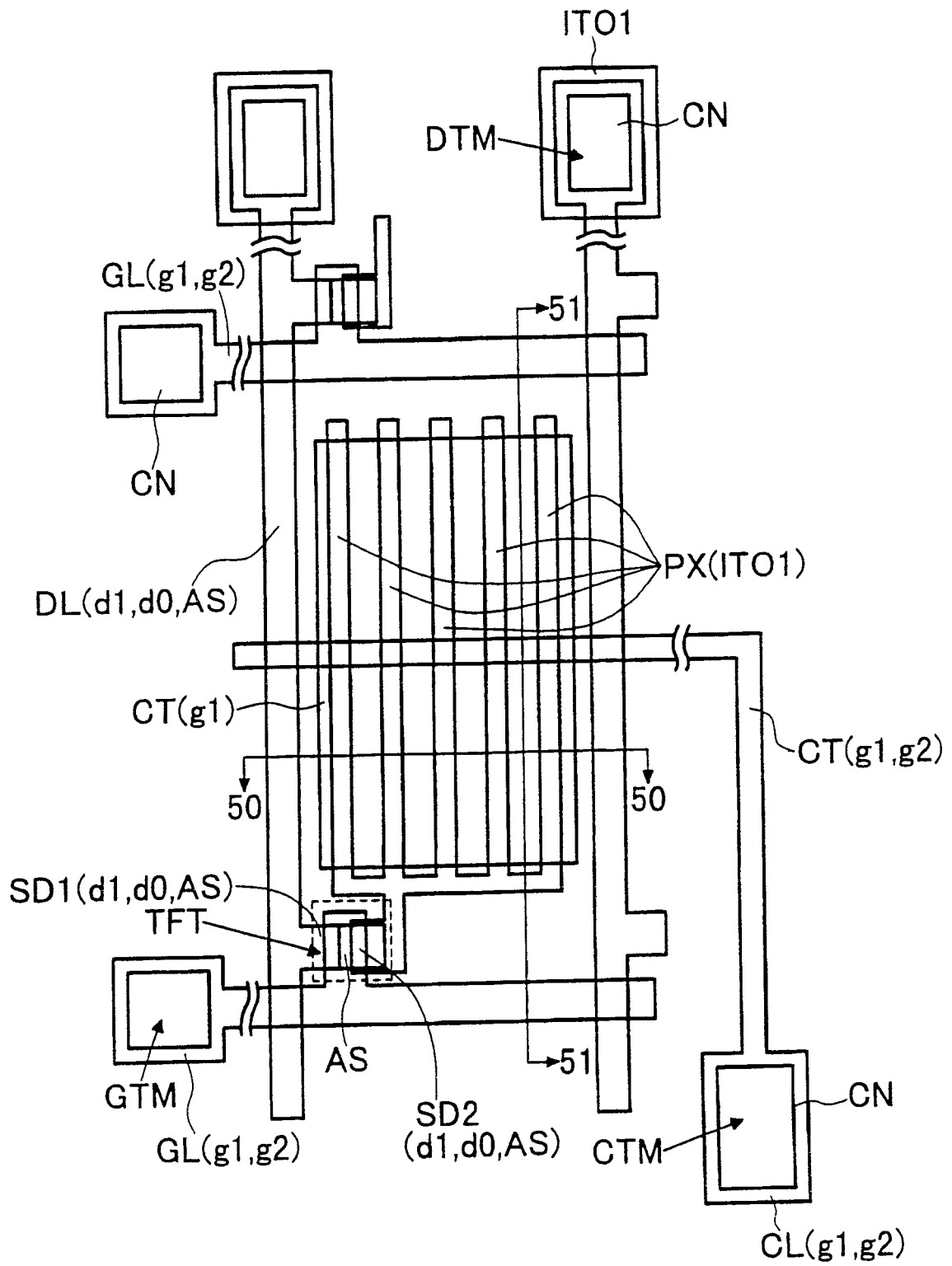


图 49

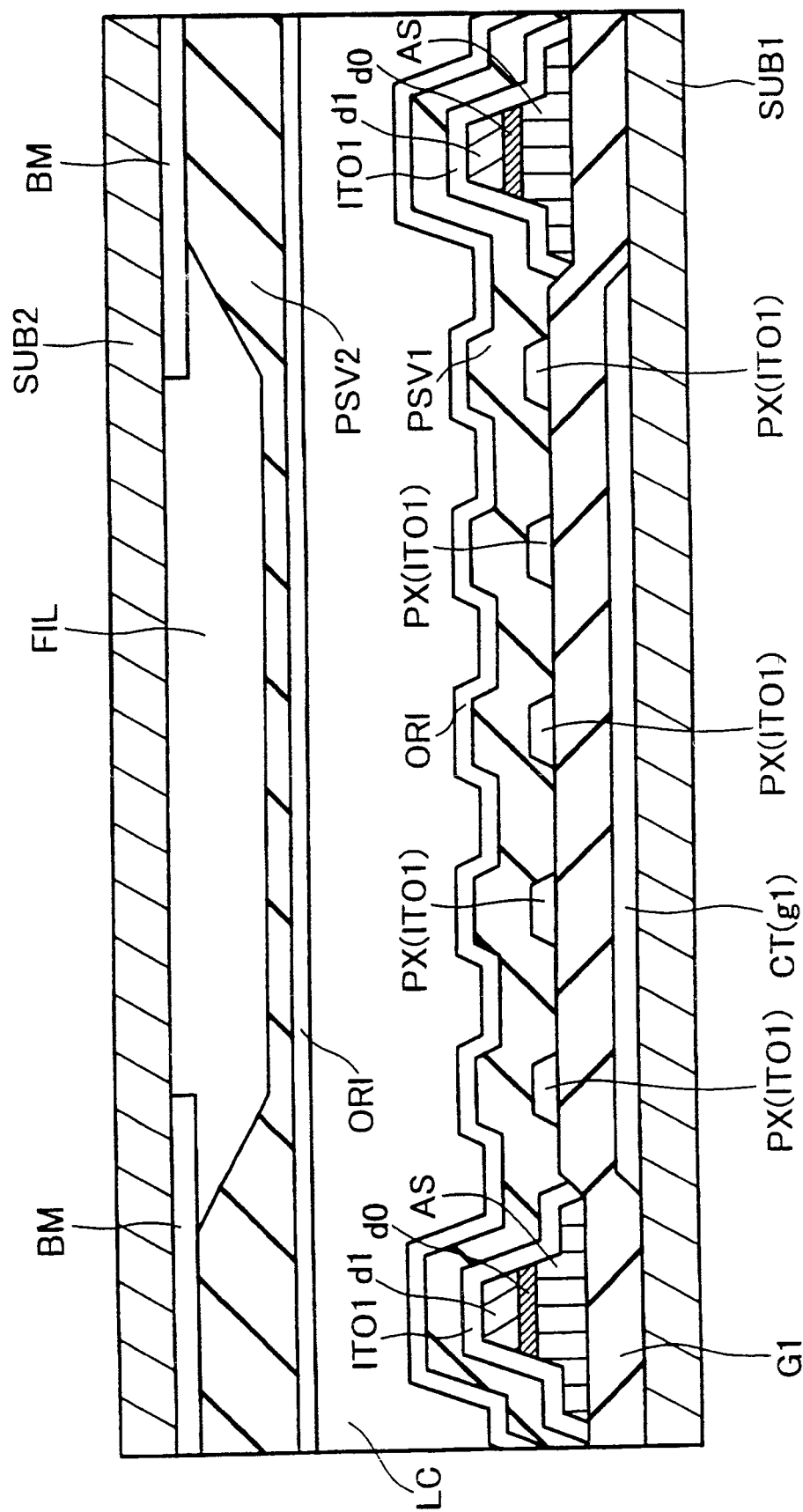


图 50

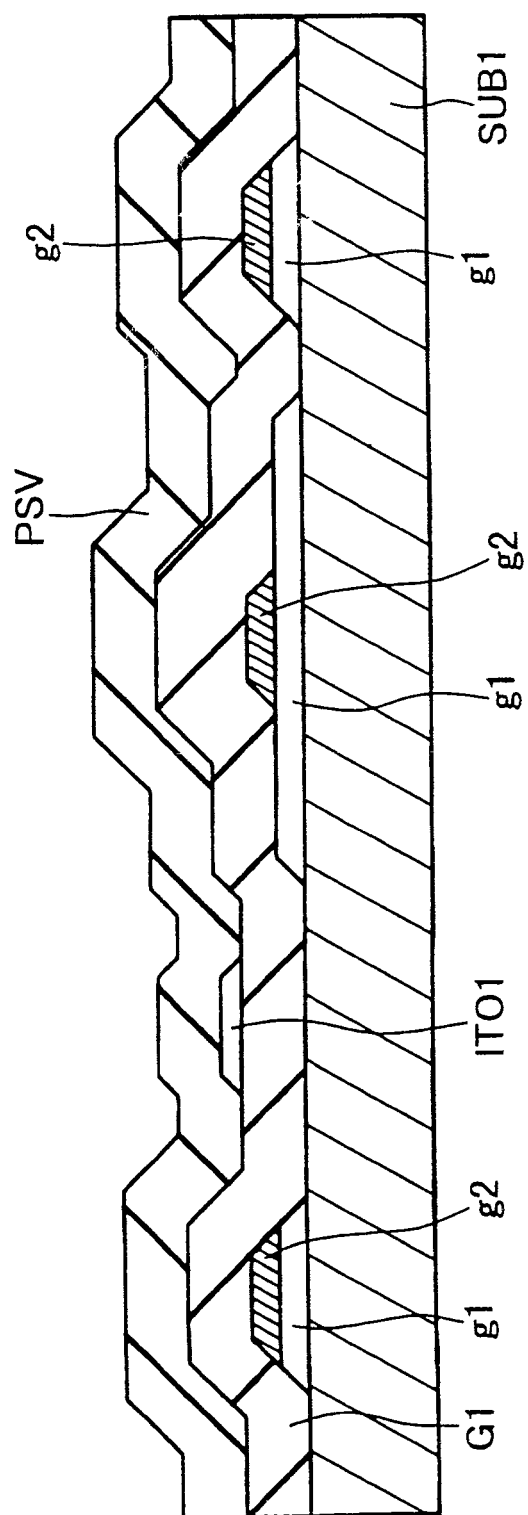


圖 51

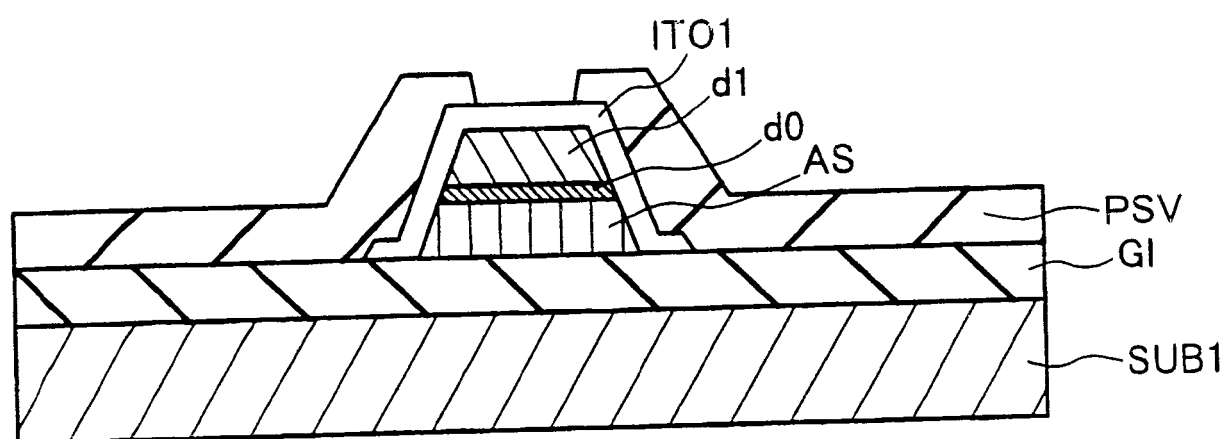


图 52

图 53A

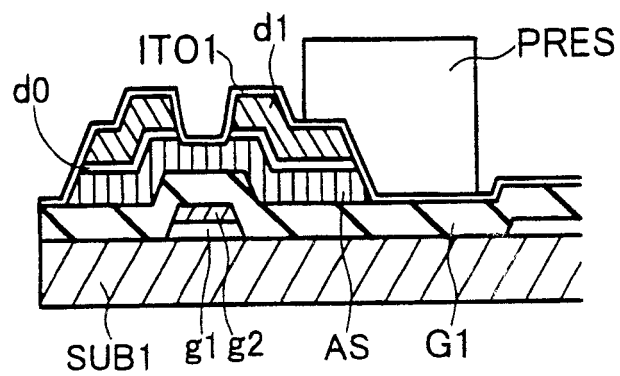


图 53B

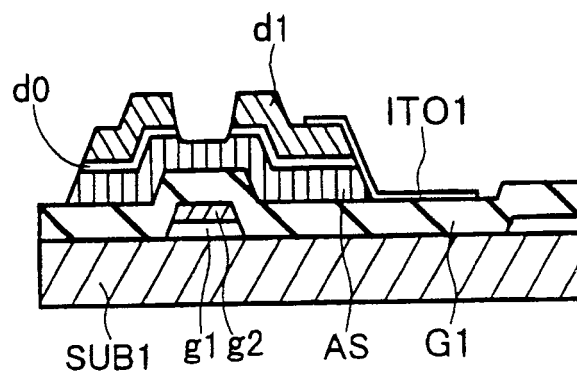


图 53C

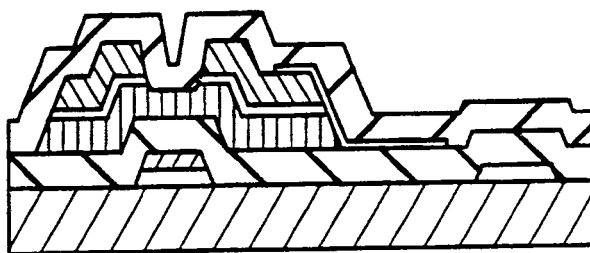
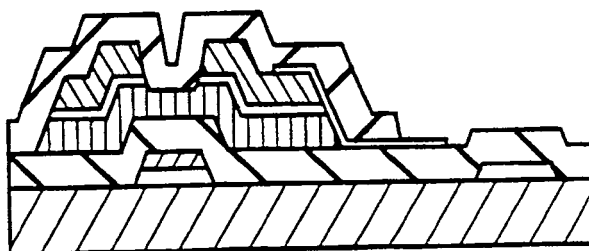


图 53D



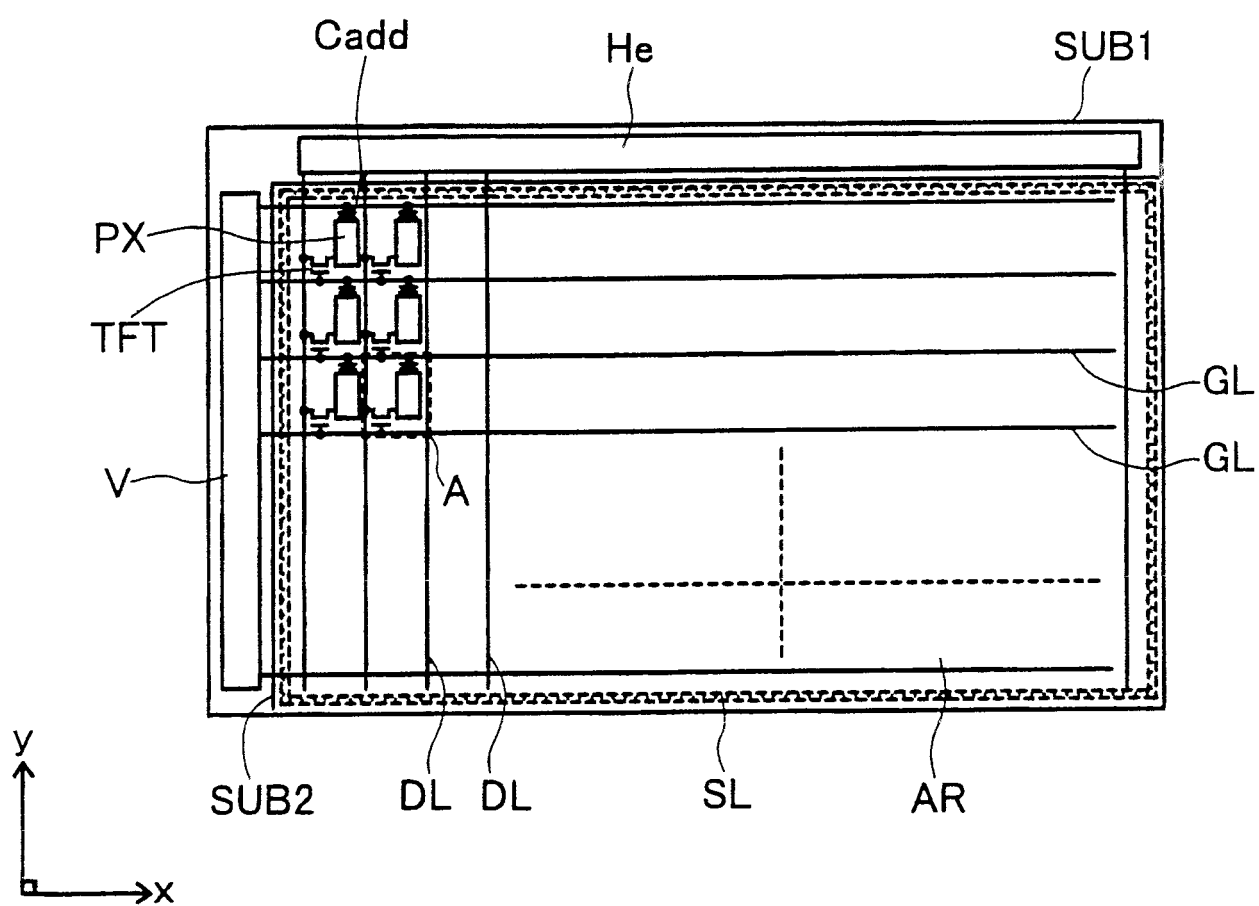


图 54

专利名称(译)	液晶显示器		
公开(公告)号	CN100426108C	公开(公告)日	2008-10-15
申请号	CN200610103001.4	申请日	2001-09-20
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	桶隆太郎 仲吉良彰 小野记久雄		
发明人	桶隆太郎 仲吉良彰 小野记久雄		
IPC分类号	G02F1/136 G02F1/133 G02F1/1343 G02F1/1362 G02F1/1368 G09F9/30 H01L21/336 H01L29/786		
CPC分类号	G02F2001/13629 G02F1/136286		
审查员(译)	钟杰		
优先权	2000286046 2000-09-20 JP		
其他公开文献	CN1932623A		
外部链接	Espacenet SIPO		

摘要(译)

提供一种降低信号线的布线电阻率的液晶显示装置。液晶显示装置包括液晶插入其中的彼此相对设置的衬底、通过从栅区信号线提供的扫描信号驱动的薄膜晶体管和经薄膜晶体管从漏区信号线提供视频信号的像素电极，薄膜晶体管和像素设置在一个衬底的液晶侧表面上的每个像素区域中。栅区信号线由多层结构制成，该多层结构包括形成在液晶侧表面上的至少一个ITO膜和形成来叠加在ITO膜上的Mo层。

