



(12) 发明专利申请

(10) 申请公布号 CN 101751891 A

(43) 申请公布日 2010.06.23

(21) 申请号 200910170954.6

(22) 申请日 2009.08.27

(30) 优先权数据

10-2008-0127456 2008.12.15 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 洪镇铁 姜弼盛 朴万奎 高勤雨

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉

(51) Int. Cl.

G09G 3/36 (2006.01)

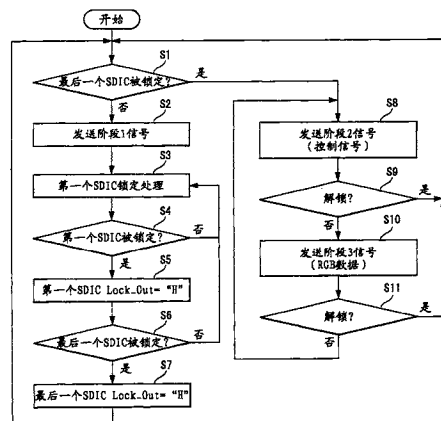
权利要求书 4 页 说明书 18 页 附图 20 页

(54) 发明名称

液晶显示器及其驱动方法

(57) 摘要

本发明公开了一种液晶显示器及其驱动方法。该液晶显示器包括:定时控制器;N个源驱动集成电路(IC),其中N是等于或大于2的整数;N个数据总线对,其每一个以点对点的方式将所述定时控制器连接到所述N个源驱动IC中的每一个;锁定检查线,其将所述N个源驱动IC的第一个源驱动IC连接到定时控制器,并且将所述N个源驱动IC彼此级联;以及反馈锁定检查线,其将所述N个源驱动IC的最后一个源驱动IC连接到所述定时控制器。



1. 一种液晶显示器,该液晶显示器包括:
定时控制器;
N 个源驱动集成电路 IC,其中 N 是等于或大于 2 的整数;
N 个数据总线对,其每一个以点对点的方式将所述定时控制器连接到所述 N 个源驱动 IC 中的每一个;
锁定检查线,其将所述 N 个源驱动 IC 的第一源驱动 IC 连接到定时控制器,并且将所述 N 个源驱动 IC 彼此级联;以及
反馈锁定检查线,其将所述 N 个源驱动 IC 的最后一个源驱动 IC 连接到所述定时控制器,
其中所述定时控制器通过所述 N 个数据总线对中的每一个向所述 N 个源驱动 IC 中的每一个串行传输前导信号,在该前导信号中具有高逻辑电平的多个位被连续地排列,接着具有低逻辑电平的多个位被连续地排列,所述定时控制器通过所述锁定检查线向所述第一源驱动 IC 传输指示从所述 N 个源驱动 IC 输出的内部时钟脉冲的相位被锁定的锁定信号,通过所述反馈锁定检查线从最后一个源驱动 IC 中接收所述锁定信号的反馈信号,并且通过所述 N 个数据总线对中的每一个向所述 N 个源驱动 IC 中的每一个串行传输用于控制从所述 N 个源驱动 IC 中的每一个输出的数据电压的至少一个源控制包。
2. 根据权利要求 1 所述的液晶显示器,其中在所述定时控制器串行传输所述源控制包之后,所述定时控制器通过所述 N 个数据总线对中的每一个向所述 N 个源驱动 IC 中的每一个串行传输至少一个 RGB 数据包。
3. 根据权利要求 2 所述的液晶显示器,其中所述 RGB 数据包按顺序连续地包括时钟位、第一 RGB 数据位、内部数据使能时钟位、以及第二 RGB 数据位。
4. 根据权利要求 3 所述的液晶显示器,其中所述 N 个源驱动 IC 中的每一个从所述前导信号中恢复第一基准时钟以输出该第一基准时钟和相位被锁定的第一内部时钟脉冲,
其中如果从所述 N 个源驱动 IC 输出的第一内部时钟脉冲的相位被锁定,则最后一个源驱动 IC 通过所述反馈锁定检查线向所述定时控制器传输所述锁定信号的反馈信号,接着所述 N 个源驱动 IC 中的每一个从所述源控制包中恢复源控制数据,
其中所述 N 个源驱动 IC 中的每一个从包括在所述 RGB 数据包中的时钟位中恢复第二基准时钟,基于该第二基准时钟和相位被锁定的第二内部时钟脉冲对包括在所述 RGB 数据包中的 RGB 数据采样,并且根据所述源控制数据将所述 RGB 数据转换为正或负的数据电压以输出正 / 负数据电压。
5. 根据权利要求 4 所述的液晶显示器,其中所述源控制数据包括:
极性控制信号,其确定从所述 N 个源驱动 IC 中的每一个输出并被提供到液晶显示面板的数据线的所述正 / 负数据电压的极性;以及
源输出使能信号,其控制从所述 N 个源驱动 IC 中的每一个输出的所述正 / 负数据电压的输出定时。
6. 根据权利要求 5 所述的液晶显示器,其中所述源控制数据包括:
所述源输出使能信号的激活信息;
所述源输出使能信号的脉冲宽度信息;以及
所述极性控制信号的激活信息。

7. 根据权利要求 6 所述的液晶显示器,其中根据所述源输出使能信号的脉冲宽度信息,通过所述源控制包和所述 RGB 数据包中的一个的长度与“i”的乘积来确定所述源输出使能信号的脉冲宽度,其中 i 是自然数。

8. 根据权利要求 1 所述的液晶显示器,其中所述前导信号包括:

第一脉冲行;以及

第二脉冲行,其以比所述第一脉冲行的频率大的频率在所述第一脉冲行之后产生。

9. 根据权利要求 8 所述的液晶显示器,其中所述第二脉冲行包括:

第三脉冲行,其每一个具有比所述第一脉冲行的频率大的频率;以及

第四脉冲行,其在所述第三脉冲行之间产生,所述第四脉冲行各具有比所述第三脉冲行的频率大的频率。

10. 根据权利要求 5 所述的液晶显示器,其中所述定时控制器产生至少一个第二源控制包,该第二源控制包包括以下选项信息中的至少一个:用于确定所述 N 个源驱动 IC 中的每一个的输出缓冲器的放大率的 PWRC1/2 选项信息、用于确定所述 N 个源驱动 IC 中的每一个的电荷共享电压的输出的 MODE 选项信息、用于确定所述源输出使能信号的接收路径的 SOE_EN 选项信息、用于确定所述极性控制信号的接收路径的 PACK_EN 选项信息、用于确定所述 N 个源驱动 IC 的输出通道的数量的 CHMODE 选项信息、用于向所述 N 个源驱动 IC 中的每一个给出芯片识别码以独立地控制所述 N 个源驱动 IC 的 CID1/2 选项信息、以及用于确定从所述 N 个源驱动 IC 输出的所述正/负数据电压的水平极性循环的 H_2DOT 选项信息,

其中所述定时控制器通过所述 N 个数据总线对中的每一个向所述 N 个源驱动 IC 中的每一个传输所述第二源控制包。

11. 根据权利要求 2 所述的液晶显示器,其中在所述定时控制器接收所述锁定信号的反馈信号以及预定的测试模式使能信号中的至少一个之后,所述定时控制器通过所述 N 个数据总线对中的每一个向所述 N 个源驱动 IC 中的每一个串行传输所述源控制包和所述 RGB 数据包。

12. 根据权利要求 1 所述的液晶显示器,该液晶显示器还包括将所述定时控制器并行地连接到所述 N 个源驱动 IC 的控制线对,

其中所述定时控制器通过所述控制线对向所述 N 个源驱动 IC 传输用于单独识别所述 N 个源驱动 IC 的芯片识别码、以及用于控制所述 N 个源驱动 IC 中的每一个的功能的控制数据。

13. 一种驱动包括定时控制器和 N 个源驱动集成电路 IC 的液晶显示器的方法,其中 N 是等于或大于 2 的整数,该方法包括以下步骤:

从所述定时控制器中产生前导信号,在该前导信号中具有高逻辑电平的多个位被连续地排列,接着具有低逻辑电平的多个位被连续地排列;

通过以点对点的方式将所述定时控制器连接到所述 N 个源驱动 IC 的 N 个数据总线对中的每一个,向所述 N 个源驱动 IC 中的每一个串行传输所述前导信号;

从所述定时控制器中产生锁定信号,该锁定信号指示从所述 N 个源驱动 IC 中的每一个输出的内部时钟脉冲的相位被锁定;

通过将第一源驱动 IC 连接到所述定时控制器并且将所述 N 个源驱动 IC 彼此级联的锁定检查线,向所述 N 个源驱动 IC 的第一源驱动 IC 传输所述锁定信号;

从所述 N 个源驱动 IC 的最后一个源驱动 IC 中产生所述锁定信号的反馈信号；

通过将所述最后一个源驱动 IC 连接到所述定时控制器的反馈锁定检查线，向所述定时控制器传输所述锁定信号的反馈信号；

从所述定时控制器中产生用于控制从所述 N 个源驱动 IC 中的每一个输出的数据电压的至少一个源控制包；以及

通过所述 N 个数据总线对中的每一个向所述 N 个源驱动 IC 中的每一个串行传输所述源控制包。

14. 根据权利要求 13 所述的方法，该方法还包括以下步骤：

在串行传输所述源控制包之后，从所述定时控制器中产生至少一个 RGB 数据包；以及

通过所述 N 个数据总线对中的每一个向所述 N 个源驱动 IC 中的每一个串行传输所述 RGB 数据包。

15. 根据权利要求 14 所述的方法，其中所述 RGB 数据包按顺序连续地包括时钟位、第一 RGB 数据位、内部数据使能时钟位、以及第二 RGB 数据位。

16. 根据权利要求 14 所述的方法，该方法还包括以下步骤：

从所述 N 个源驱动 IC 中的每一个内部的所述前导信号中恢复第一基准时钟，以从所述 N 个源驱动 IC 中的每一个输出该第一基准时钟和相位被锁定的第一内部时钟脉冲；

如果从所述 N 个源驱动 IC 输出的第一内部时钟脉冲的相位被锁定，则通过所述反馈锁定检查线向所述定时控制器传输由最后一个源驱动 IC 产生的锁定信号的反馈信号；

从所述 N 个源驱动 IC 中的每一个内部的源控制包中恢复源控制数据；

从所述 N 个源驱动 IC 中的每一个内部的所述 RGB 数据包中所包括的时钟位中恢复第二基准时钟，以从所述 N 个源驱动 IC 中的每一个输出该第二基准时钟和相位被锁定的第二内部时钟脉冲；

基于所述第二内部时钟脉冲对包括在所述 RGB 数据包中的 RGB 数据采样；以及

根据所述 N 个源驱动 IC 中的每一个内部的所述源控制数据，将所述 RGB 数据转换为正或负的数据电压以输出正 / 负数据电压。

17. 根据权利要求 16 所述的方法，其中所述源控制数据包括：

极性控制信号，其确定从所述 N 个源驱动 IC 中的每一个输出并被提供到液晶显示面板的数据线的所述正 / 负数据电压的极性；以及

源输出使能信号，其控制从所述 N 个源驱动 IC 中的每一个输出的所述正 / 负数据电压的输出定时。

18. 根据权利要求 17 所述的方法，其中所述源控制数据包括：

所述源输出使能信号的激活信息；

所述源输出使能信号的脉冲宽度信息；以及

所述极性控制信号的激活信息。

19. 根据权利要求 18 所述的方法，其中根据所述源输出使能信号的脉冲宽度信息，通过所述源控制包和所述 RGB 数据包中的一个的长度与“i”的乘积来确定所述源输出使能信号的脉冲宽度，其中 i 是自然数。

20. 根据权利要求 13 所述的方法，其中所述前导信号包括：

第一脉冲行；以及

第二脉冲行,其以比所述第一脉冲行的频率大的频率在所述第一脉冲行之后产生。

液晶显示器及其驱动方法

技术领域

[0001] 本发明的实施方式涉及一种液晶显示器及其驱动方法。

背景技术

[0002] 本申请要求 2008 年 12 月 15 日提交的韩国专利申请 No. 10-2008-0127456 的优先权, 此处以引证的方式并入其全部内容, 就像在此进行了完整阐述一样。

[0003] 有源矩阵型液晶显示器利用薄膜晶体管 (TFT) 作为开关元件来显示运动画面。因为有源矩阵型液晶显示器的外形薄, 有源矩阵型液晶显示器被实现在电视机以及例如办公设备和计算机的便携式设备的显示设备中。因此, 阴极射线管 (CRT) 正迅速被有源矩阵型液晶显示器取代。

[0004] 液晶显示器包括向液晶显示面板的数据线提供数据电压的多个源驱动集成电路 (IC)、顺序地向液晶显示面板的选通线提供选通脉冲 (即, 扫描脉冲) 的多个选通驱动 IC、以及控制源驱动 IC 和选通驱动 IC 的定时控制器。在液晶显示器中, 数字视频数据通过接口输入到定时控制器。

[0005] 定时控制器通过例如迷你低压差分信令 (LVDS) 接口的接口向源驱动 IC 提供数字视频数据、用于对数字视频数据采样的时钟、用于控制源驱动 IC 的操作的控制信号等。源驱动 IC 对从定时控制器串行输入的数字视频数据进行反序列化 (deserialize) 以输出并行数据, 并接着使用伽玛补偿电压将并行数据转换为模拟数据电压以向数据线提供该模拟数据电压。

[0006] 定时控制器以其中向源驱动 IC 共同地施加时钟和数字视频数据的多点 (multi-drop) 方式向源驱动 IC 提供必要的信号。因为源驱动 IC 彼此级联, 所以源驱动 IC 顺序地对数字视频数据采样, 接着同时输出对应于 1 条线的数据电压。在该数据传输方法中, 在定时控制器和源驱动 IC 之间必须存在多条线, 例如 R、G、B 数据传输线、用于控制源驱动 IC 的输出和源驱动 IC 的极性变化的操作定时的控制线、以及时钟传输线。因为迷你 LVDS 接口是以彼此失相的差分信号对的形式来传输数字视频数据和时钟中的每一个, 所以定时控制器和源驱动 IC 之间必须需要至少 14 条数据传输线以同时传输奇数数据和偶数数据。因此, 因为必须在定时控制器和源驱动 IC 之间设置的印刷电路板 (PCB) 上形成很多数据传输线, 所以难以减少数据传输线的数量。

发明内容

[0007] 本发明的实施方式提供一种液晶显示器及其驱动方法, 其能够减少定时控制器和源驱动集成电路 (IC) 之间的信号传输线的数量。

[0008] 在一个方面, 提供了一种液晶显示器, 该液晶显示器包括: 定时控制器; N 个源驱动集成电路 (IC), 其中 N 是等于或大于 2 的整数; N 个数据总线对, 其每一个以点对点的方式将所述定时控制器连接到所述 N 个源驱动 IC 中的每一个; 锁定检查线, 其将所述 N 个源驱动 IC 的第一源驱动 IC 连接到定时控制器, 并且将所述 N 个源驱动 IC 彼此级联; 以及反

馈锁定检查线,其将所述N个源驱动IC的最后一个源驱动IC连接到所述定时控制器。所述定时控制器通过所述N个数据总线对中的每一个向所述N个源驱动IC中的每一个串行传输前导信号,在该前导信号中具有高逻辑电平的多个位被连续地排列,接着具有低逻辑电平的多个位被连续地排列,所述定时控制器通过所述锁定检查线向所述第一源驱动IC传输指示从所述N个源驱动IC输出的内部时钟脉冲的相位被锁定的锁定信号,通过所述反馈锁定检查线从最后一个源驱动IC中接收所述锁定信号的反馈信号,并且通过所述N个数据总线对中的每一个向所述N个源驱动IC中的每一个串行传输用于控制从所述N个源驱动IC中的每一个输出的数据电压的至少一个源控制包。

[0009] 在所述定时控制器串行传输所述源控制包之后,所述定时控制器通过所述N个数据总线对中的每一个向所述N个源驱动IC中的每一个串行传输至少一个RGB数据包。

[0010] 所述RGB数据包按顺序连续地包括时钟位、第一RGB数据位、内部数据使能时钟位、以及第二RGB数据位。

[0011] 所述N个源驱动IC中的每一个从所述前导信号中恢复第一基准时钟以输出该第一基准时钟和相位被锁定的第一内部时钟脉冲。如果从所述N个源驱动IC输出的第一内部时钟脉冲的相位被锁定,则最后一个源驱动IC通过所述反馈锁定检查线向所述定时控制器传输所述锁定信号的反馈信号,接着所述N个源驱动IC中的每一个从所述源控制包中恢复源控制数据。所述N个源驱动IC中的每一个从包括在所述RGB数据包中的时钟位中恢复第二基准时钟,基于该第二基准时钟和相位被锁定的第二内部时钟脉冲对包括在所述RGB数据包中的RGB数据采样,并且根据所述源控制数据将所述RGB数据转换为正或负的数据电压以输出正/负数据电压。

[0012] 所述源控制数据包括:极性控制信号,其确定从所述N个源驱动IC中的每一个输出并被提供到液晶显示面板的数据线的所述正/负数据电压的极性;以及源输出使能信号,其控制从所述N个源驱动IC中的每一个输出的所述正/负数据电压的输出定时。

[0013] 所述源控制数据包括:所述源输出使能信号的激活信息;所述源输出使能信号的脉冲宽度信息;以及所述极性控制信号的激活信息。

[0014] 根据所述源输出使能信号的脉冲宽度信息,通过所述源控制包和所述RGB数据包中的一个的长度与“i”的乘积来确定所述源输出使能信号的脉冲宽度,其中i是自然数。

[0015] 所述前导信号包括:第一脉冲行;以及第二脉冲行,其以比所述第一脉冲行的频率大的频率在所述第一脉冲行之后产生。

[0016] 所述第二脉冲行包括:第三脉冲行,其每一个具有比所述第一脉冲行的频率大的频率;以及第四脉冲行,其在所述第三脉冲行之间产生,所述第四脉冲行各具有比所述第三脉冲行的频率大的频率。

[0017] 所述定时控制器产生至少一个第二源控制包,该第二源控制包包括以下选项信息中的至少一个:用于确定所述N个源驱动IC中的每一个的输出缓冲器的放大率的PWRC1/2选项信息、用于确定所述N个源驱动IC中的每一个的电荷共享电压的输出的MODE选项信息、用于确定所述源输出使能信号的接收路径的SOE_EN选项信息、用于确定所述极性控制信号的接收路径的PACK_EN选项信息、用于确定所述N个源驱动IC的输出通道的数量的CHMODE选项信息、用于向所述N个源驱动IC中的每一个给出芯片识别码以独立地控制所述N个源驱动IC的CID1/2选项信息、以及用于确定从所述N个源驱动IC输出的所述正/负

数据电压的水平极性循环的 H_2DOT 选项信息。所述定时控制器通过所述 N 个数据总线对中的每一个向所述 N 个源驱动 IC 中的每一个传输所述第二源控制包。

[0018] 在所述定时控制器接收所述锁定信号的反馈信号以及预定的测试模式使能信号中的至少一个之后,所述定时控制器通过所述 N 个数据总线对中的每一个向所述 N 个源驱动 IC 中的每一个串行传输所述源控制包和所述 RGB 数据包。

[0019] 该液晶显示器还包括将所述定时控制器并行地连接到所述 N 个源驱动 IC 的控制线对。所述定时控制器通过所述控制线对向所述 N 个源驱动 IC 传输用于单独识别所述 N 个源驱动 IC 的芯片识别码、以及用于控制所述 N 个源驱动 IC 中的每一个的功能的控制数据。

[0020] 在另一个方面,提供了一种驱动包括定时控制器和 N 个源驱动集成电路 (IC) 的液晶显示器的方法,其中 N 是等于或大于 2 的整数,该方法包括以下步骤:从所述定时控制器中产生前导信号,在该前导信号中具有高逻辑电平的多个位被连续地排列,接着具有低逻辑电平的多个位被连续地排列;通过以点对点的方式将所述定时控制器连接到所述 N 个源驱动 IC 的 N 个数据总线对中的每一个,向所述 N 个源驱动 IC 中的每一个串行传输所述前导信号;从所述定时控制器中产生锁定信号,该锁定信号指示从所述 N 个源驱动 IC 中的每一个输出的内部时钟脉冲的相位被锁定;通过将第一源驱动 IC 连接到所述定时控制器并且将所述 N 个源驱动 IC 彼此级联的锁定检查线,向所述 N 个源驱动 IC 的第一源驱动 IC 传输所述锁定信号;从所述 N 个源驱动 IC 的最后一个源驱动 IC 中产生所述锁定信号的反馈信号;通过将所述最后一个源驱动 IC 连接到所述定时控制器的反馈锁定检查线,向所述定时控制器传输所述锁定信号的反馈信号;从所述定时控制器中产生用于控制从所述 N 个源驱动 IC 中的每一个输出的数据电压的至少一个源控制包;以及通过所述 N 个数据总线对中的每一个向所述 N 个源驱动 IC 中的每一个串行传输所述源控制包。

[0021] 本发明的其他应用范围将从下文给出的详细描述中变得明显。然而,应理解的是,详细描述和具体示例尽管表示本发明的优选实施方式,其仍仅仅是以示例给出,因为对于本领域技术人员来说,本发明的精神和范围内的各种变化和修改将从该详细描述中变得明显。

附图说明

[0022] 附图被包括在本说明书中以提供对本发明的进一步理解,并结合到本说明书中且构成本说明书的一部分,附图示出了本发明的实施方式,且与说明书一起用于解释本发明的原理。附图中:

[0023] 图 1 是示出根据本发明的实施方式的液晶显示器的框图;

[0024] 图 2 示出定时控制器和源驱动集成电路 (IC) 之间的线;

[0025] 图 3 和图 4 是示出源驱动 IC 的构造的框图;

[0026] 图 5 是示出选通驱动 IC 的构造的框图;

[0027] 图 6 是分阶段示出定时控制器和源驱动 IC 之间的信号传输处理的流程图;

[0028] 图 7 是示出时钟分离和数据采样单元的框图;

[0029] 图 8 示出能够使源驱动 IC 进行调试操作的串行通信控制路径和芯片识别码的示例;

- [0030] 图 9 是示出锁相环 (PLL) 的框图；
- [0031] 图 10 是示出定时控制器产生的阶段 1 信号的波形图；
- [0032] 图 11 是示出定时控制器产生的阶段 2 信号的波形图；
- [0033] 图 12 和图 13 是示出定时控制器产生的阶段 3 信号的波形图；
- [0034] 图 14 示出源控制包和 RGB 数据包的数据映射表的示例；
- [0035] 图 15 示出虚源控制包、实源控制包、以及最后虚源控制包的数据映射表的示例；
- [0036] 图 16 示出关于实源控制包的各个位的数据描述；
- [0037] 图 17 是示出在实源控制包中由源输出相关控制数据控制的源输出使能信号以及由极性相关控制数据控制的极性控制信号的波形图；
- [0038] 图 18 示出根据实源控制包的 SOE_PRD 确定的源输出使能信号的脉冲宽度；
- [0039] 图 19 是示出根据实源控制包的 SOE_PRD 的源输出使能信号的脉冲宽度的变化的波形图；
- [0040] 图 20 是示出时钟分离和数据采样单元的输出的波形图；
- [0041] 图 21A 到 21D 是示出根据 RGB 数据包的比特率的变化了的 RGB 数据包的长度转换的截面图；
- [0042] 图 22 和图 23 是示出根据本发明的另一实施方式的阶段 1 信号的波形图；以及
- [0043] 图 24 示出根据本发明的实施方式的液晶显示器用于测试模式的附加构造。

具体实施方式

[0044] 下面将详细描述本发明的实施方式，在附图中示例出了其示例。

[0045] 如图 1 所示，根据本发明的实施方式的液晶显示器包括液晶显示面板 10、定时控制器 TCON、多个源驱动集成电路 (IC) SDIC#1 到 SDIC#8、以及多个选通驱动 IC GDIC#1 到 GDIC#4。

[0046] 液晶显示面板 10 包括上玻璃基板、下玻璃基板、以及夹在上、下玻璃基板之间的液晶层。液晶显示面板 10 包括以矩阵形式排列在 m 条数据线 DL 和 n 条选通线 GL 的各个交叉处的 $m \times n$ 个液晶单元 Clc。

[0047] 包括数据线 DL、选通线 GL、薄膜晶体管 (TFT)、存储电容器 Cst 等的像素阵列形成在液晶显示面板 10 的下玻璃基板上。由通过 TFT 接收数据电压的像素电极 1 和接收公共电压 Vcom 的公共电极 2 之间的电场来驱动各个液晶单元 Clc。在各个 TFT 中，栅极连接到选通线 GL，源极连接到数据线 DL，漏极连接到液晶单元 Clc 的像素电极 1。当选通脉冲通过选通线 GL 提供时，TFT 导通，由此向液晶单元 Clc 的像素电极 1 提供通过数据线 DL 接收的正或负模拟视频数据电压。

[0048] 黑底、滤色器、公共电极 2 等形成在液晶显示面板 10 的上玻璃基板上。

[0049] 以例如扭曲向列 (TN) 模式和垂直对准 (VA) 模式的垂直电驱动方式在上玻璃基板上形成公共电极 2。以例如共面切换 (IPS) 模式和边缘场切换 (FFS) 模式的水平电驱动方式在下玻璃基板上形成公共电极 2 和像素电极 1。

[0050] 偏振板分别附接在液晶显示面板 10 的上、下玻璃基板。用于设定预倾角的配向层分别形成在上、下玻璃基板上。间隔体形成在上、下玻璃基板之间以保持液晶单元 Clc 的单元间隙恒定。

[0051] 根据本发明的实施方式的液晶显示器可通过任何液晶模式以及 TN、VA、IPS、和 FFS 模式来实现。另外,根据本发明的实施方式的液晶显示器可被实现为任何类型的液晶显示器,包括背光型液晶显示器、透射反射型液晶显示器、以及反射型液晶显示器。

[0052] 定时控制器 TCON 通过例如低压差分信令 (LVDS) 接口和最小化传输差分信令 (TMDS) 接口的接口来接收例如垂直和水平同步信号 Vsync 和 Hsync 的外部定时信号、外部数据使能信号 DE、以及点时钟 CLK,以产生用于控制源驱动 IC SDIC#1 到 SDIC#8 的操作定时和选通驱动 IC GDIC#1 到 GDIC#4 的操作定时的定时控制信号。定时控制信号包括用于控制选通驱动 IC GDIC#1 到 GDIC#4 的操作定时的选通定时控制信号和用于控制源驱动 IC SDIC#1 到 SDIC#8 的操作定时的源定时控制信号。

[0053] 定时控制器 TCON 以点对点的方式连接到源驱动 IC SDIC#1 到 SDIC#8。定时控制器 TCON 通过多个数据总线对中的每一个向源驱动 IC SDIC#1 到 SDIC#8 中的每一个传输用于初始化源驱动 IC SDIC#1 到 SDIC#8 的前导信号、包括源定时控制信号的源控制数据、时钟、RGB 数字视频数据等。

[0054] 选通定时控制信号包括选通起始脉冲 GSP、选通移位时钟 GSC、选通输出使能信号 GOE 等。选通起始脉冲 GSP 施加到第一选通驱动 ICGDIC#1 以由此指示扫描操作的扫描起始时间,使得第一选通驱动 ICGDIC#1 产生第一选通脉冲。选通移位时钟 GSC 是用于移位选通起始脉冲 GSP 的时钟。选通驱动 IC GDIC#1 到 GDIC#4 中的每一个的移位寄存器在选通移位时钟 GSC 的上升沿移位选通起始脉冲 GSP。第二到第四选通驱动 IC GDIC#2 到 GDIC#4 接收第一选通驱动 IC GDIC#1 的进位信号作为选通起始脉冲以开始操作。选通输出使能信号 GOE 控制选通驱动 ICGDIC#1 到 GDIC#4 的输出定时。选通驱动 IC GDIC#1 到 GDIC#4 在选通输出使能信号 GOE 的低逻辑电平状态下,即从紧邻当前脉冲的下降沿之后到紧邻下一脉冲的上升沿之前的时段内,输出选通脉冲。选通输出使能信号 GOE 的 1 个循环是约 1 个水平周期。

[0055] 在前导信号的传输时间和 RGB 数字视频数据的传输时间之间的预定时间间隔,源定时控制信号通过数据总线对被传输到源驱动 IC SDIC#1 到 SDIC#8。源定时控制信号包括极性相关控制数据、源输出相关控制数据等。极性相关控制数据包括用于控制源驱动 IC SDIC#1 到 SDIC#8 内产生的脉冲形式的极性控制信号 POL 的控制信息。响应于极性控制信号 POL,源驱动 IC SDIC#1 到 SDIC#8 中的每一个的数模转换器 (DAC) 将 RGB 数字视频数据转换为正或负的模拟视频数据电压。源输出相关控制数据包括用于控制源驱动 IC SDIC#1 到 SDIC#8 内产生的脉冲形式的源输出使能信号 SOE 的控制信息。源输出使能信号 SOE 控制来自源驱动 IC SDIC#1 到 SDIC#8 的正 / 负模拟视频数据电压的输出定时。

[0056] 响应于选通定时控制信号,选通驱动 IC GDIC#1 到 GDIC#4 中的每一个向选通线 GL 顺序地提供选通脉冲。

[0057] 源驱动 IC SDIC#1 到 SDIC#8 中的每一个根据通过数据总线对从定时控制器 TCON 传输的前导信号,来锁定从嵌入在源驱动 IC SDIC#1 到 SDIC#8 内的时钟分离和数据采样单元输出的内部时钟脉冲的频率和相位。接着,源驱动 IC SDIC#1 到 SDIC#8 中的每一个从通过数据总线对作为数字比特流输入的源控制包中恢复时钟以产生串行时钟。随后,源驱动 IC SDIC#1 到 SDIC#8 中的每一个对极性相关控制数据和源输出相关控制数据采样。源驱动 IC SDIC#1 到 SDIC#8 中的每一个利用极性相关控制数据和源输出相关控制数据输出极

性控制信号 POL 和源输出使能信号 SOE。

[0058] 在源驱动 IC SDIC#1 到 SDIC#8 中的每一个从通过数据总线对作为数字比特流输入的源控制包中恢复时钟以恢复极性控制信号 POL 和源输出使能信号 SOE 之后,源驱动 IC SDIC#1 到 SDIC#8 中的每一个从通过数据总线对作为数字比特流输入的 RGB 数据包中恢复时钟以产生用于数据采样的串行时钟。另外,源驱动 IC SDIC#1 到 SDIC#8 中的每一个根据串行时钟对串行输入的 RGB 数字视频数据采样。源驱动 IC SDIC#1 到 SDIC#8 中的每一个对顺序采样的 RGB 数字视频数据进行反序列化以输出 RGB 并行数据。接着,响应于极性控制信号 POL,源驱动 IC SDIC#1 到 SDIC#8 中的每一个将 RGB 并行数据转换为正 / 负模拟视频数据电压,以响应于源输出使能信号 SOE 向数据线 DL 提供正 / 负模拟视频数据电压。

[0059] 图 2 示出定时控制器 TCON 和源驱动 IC SDIC#1 到 SDIC#8 之间的线。

[0060] 如图 2 所示,多个数据总线对 DATA&CLK、第一和第二控制线对 SCL/SDA1 和 SCL/SDA2、锁定检查线 LCS1 和 LCS2 等形成在定时控制器 TCON 和源驱动 IC SDIC#1 到 SDIC#8 之间。

[0061] 定时控制器 TCON 通过数据总线对 DATA&CLK 中的每一个向源驱动 IC SDIC#1 到 SDIC#8 中的每一个顺序地传输前导信号、源控制包、以及 RGB 数据包。源控制包是包括时钟位、极性相关控制数据位、源输出相关控制数据位等的比特流。RGB 数据包是包括时钟位、内部数据使能时钟位、RGB 数据位等的比特流。数据总线对 DATA&CLK 中的每一个将定时控制器 TCON 串联连接到源驱动 IC SDIC#1 到 SDIC#8 中的每一个。即,定时控制器 TCON 以点对点的方式连接到源驱动 IC SDIC#1 到 SDIC#8。源驱动 IC SDIC#1 到 SDIC#8 中的每一个恢复通过数据总线对 DATA&CLK 输入的时钟。因此,在相邻的源驱动 IC SDIC#1 到 SDIC#8 之间不需要用于传输时钟进位和 RGB 视频数据的线。

[0062] 定时控制器 TCON 通过控制线对 SCL/SDA1 和 SCL/SDA2 向源驱动 IC SDIC#1 到 SDIC#8 中的每一个传输源驱动 IC SDIC#1 到 SDIC#8 中的每一个的芯片识别码 CID、以及用于控制源驱动 IC SDIC#1 到 SDIC#8 中的每一个的功能的芯片单独控制数据。控制线对 SCL/SDA1 和 SCL/SDA2 共同连接在定时控制器 TCON 和源驱动 IC SDIC#1 到 SDIC#8 之间。更具体地,如图 8 所示,如果源驱动 IC SDIC#1 到 SDIC#8 被划分为 2 组,并且 2 组分别被连接到印刷电路板 (PCB) PCB1 和 PCB2,则位于左侧的第一对控制线 SCL/SDA1 将定时控制器 TCON 并行地连接到第一到第四源驱动 IC SDIC#1 到 SDIC#4,位于右侧的第二对控制线 SCL/SDA2 将定时控制器 TCON 并行地连接到第五到第八源驱动 IC SDIC#5 到 SDIC#8。

[0063] 定时控制器 TCON 通过锁定检查线 LCS1 向第一源驱动 IC SDIC#1 提供锁定信号 LOCK,其确认从源驱动 IC SDIC#1 到 SDIC#8 中的每一个的时钟分离和数据采样单元输出的内部时钟脉冲的相位和频率是否被稳定地锁定。源驱动 IC SDIC#1 到 SDIC#8 通过锁定检查线 LCS1 彼此级联。如果从第一源驱动 IC SDIC#1 输出的内部时钟脉冲的频率和相位被锁定,则第一源驱动 IC SDIC#1 向第二源驱动 IC SDIC#2 传输高逻辑电平的锁定信号 LOCK。接着,在从第二源驱动 IC SDIC#2 输出的内部时钟脉冲的频率和相位被锁定之后,第二源驱动 IC SDIC#2 向第三源驱动 IC SDIC#3 传输高逻辑电平的锁定信号 LOCK。上述锁定操作顺序地进行,最终,在从最后一个源驱动 IC SDIC#8 输出的内部时钟脉冲的频率和相位被锁定之后,最后一个源驱动 IC SDIC#8 通过反馈锁定检查线 LCS2 向定时控制器 TCON 反馈输入 (feedback-input) 高逻辑电平的锁定信号 LOCK。仅仅在定时控制器 TCON 接收锁定信号

LOCK 的反馈信号之后,定时控制器 TCON 向源驱动 IC SDIC#1 到 SDIC#8 传输 RGB 数据包。

[0064] 图 3 是使出源驱动 IC SDIC#1 到 SDIC#8 的构造的框图。

[0065] 如图 3 所示,源驱动 IC SDIC#1 到 SDIC#8 中的每一个向 k 条数据线 D1 到 Dk 提供正 / 负模拟视频数据电压 (其中 k 是小于 m 的正整数)。源驱动 IC SDIC#1 到 SDIC#8 中的每一个包括时钟分离和数据采样单元 21、数模转换器 (DAC) 22、输出电路 23 等。

[0066] 在阶段 1,时钟分离和数据采样单元 21 根据通过数据总线对 DATA&CLK 在低频率下输入的前导信号来锁定内部时钟脉冲的相位和频率。随后,在阶段 2,时钟分离和数据采样单元 21 从通过数据总线对 DATA&CLK 作为比特流输入的源控制包中恢复基准时钟,并从该基准时钟中分离极性相关控制数据,以由此基于极性相关控制数据来恢复极性控制信号 POL。另外,时钟分离和数据采样单元 21 从源控制包中分离源输出相关控制数据,以基于源输出相关控制数据来恢复源输出使能信号 SOE。

[0067] 随后,在阶段 3,时钟分离和数据采样单元 21 从通过数据总线对 DATA&CLK 输入的 RGB 数据包中分离时钟,以恢复基准时钟。另外,时钟分离和数据采样单元 21 根据基准时钟产生用于对 RGB 数字视频数据位中的每一个采样的串行时钟信号。为此,时钟分离和数据采样单元 21 包括能够输出具有稳定相位和稳定频率的内部时钟脉冲的锁相电路。锁相电路的示例包括锁相环 (PLL) 和延迟锁相环 (DLL)。在本实施方式中,将描述使用 PLL 电路作为锁相电路的示例。在本实施方式中,时钟分离和数据采样单元 21 可包括 DLL 以及 PLL。

[0068] 图 7 到图 9 示出利用 PLL 实现时钟分离和数据采样单元 21 的示例。然而,时钟分离和数据采样单元 21 可利用 DLL 实现。

[0069] 时钟分离和数据采样单元 21 根据串行时钟对通过数据总线对 DATA&CLK 串行输入的 RGB 数据位中的每一个进行采样并锁存,接着同时输出锁存的 RGB 数据。即,时钟分离和数据采样单元 21 将串行数据转换为 RGB 并行数据。

[0070] 响应于极性控制信号 POL, DAC 22 将来自时钟分离和数据采样单元 21 的 RGB 数字视频数据转换为正伽玛补偿电压 GH 或负伽玛补偿电压 GL,接着将正伽玛补偿电压 GH 或负伽玛补偿电压 GL 转换为正或负模拟视频数据电压。针对上述操作,如图 4 所示, DAC 22 包括接收正伽玛补偿电压 GH 的 P 解码器 (PDEC) 41、接收负伽玛补偿电压 GL 的 N 解码器 (NDEC) 42、以及响应于极性控制信号 POL 来选择 P 解码器 41 的输出和 N 解码器 42 的输出的复用器 43。P 解码器 41 对从时钟分离和数据采样单元 21 输入的 RGB 数字视频数据进行解码,以输出对应于 RGB 数字视频数据的灰度的正伽玛补偿电压 GH。N 解码器 42 对从时钟分离和数据采样单元 21 输入的 RGB 数字视频数据进行解码,以输出对应于 RGB 数字视频数据的灰度的负伽玛补偿电压 GL。响应于极性控制信号 POL,复用器 43 交替地选择正伽玛补偿电压 GH 和负伽玛补偿电压 GL,并且输出正或负模拟视频数据电压作为所选择的正或负伽玛补偿电压 GH 或 GL。

[0071] 输出电路 23 在源输出使能信号 SOE 的高逻辑电平周期中通过输出缓冲器向数据线 D1 到 Dk 提供电荷共享电压或公共电压 Vcom。输出电路 23 在源输出使能信号 SOE 的低逻辑电平周期中通过输出缓冲器向数据线 D1 到 Dk 提供正 / 负模拟视频数据电压。当接收正模拟视频数据电压的数据线和接收负模拟视频数据电压的数据线被短路时,产生电荷共享电压。电荷共享电压具有正模拟视频数据电压和负模拟视频数据电压之间的平均电压电平。

[0072] 图 5 是示出选通驱动 IC GDIC#1 到 GDIC#4 的构造的框图。

[0073] 如图 5 所示,选通驱动 IC GDIC#1 到 GDIC#4 中的每一个包括移位寄存器 50、电平转换器 52、连接在移位寄存器 50 和电平转换器 52 之间的多个与门 51、以及用于反转选通输出使能信号 GOE 的反相器 53。

[0074] 移位寄存器 50 包括多个级联的 D 触发器 (flip-flop),并且响应于选通移位时钟 GSC 使用级联的 D 触发器来顺序地移位选通起始脉冲 GSP。各个与门 51 对移位寄存器 50 的输出信号和选通输出使能信号 GOE 的反转信号进行与操作,以获得输出。反相器 53 反转选通输出使能信号 GOE,并向与门 51 提供选通输出使能信号 GOE 的反转信号。因此,当选通输出使能信号 GOE 处于低逻辑电平状态时,选通驱动 IC GDIC#1 到 GDIC#4 中的每一个输出选通脉冲。

[0075] 电平转换器 52 将与门 51 的输出电压的摆动宽度转换到适用于驱动液晶显示面板 10 的像素阵列中的 TFT 的摆动宽度。电平转换器 52 的输出信号被顺序地提供到选通线 G1 到 Gk。

[0076] 移位寄存器 50 与像素阵列的 TFT 一起可直接形成在液晶显示面板 10 的玻璃基板上。在此情况下,电平转换器 52 可不在液晶显示面板 10 的玻璃基板上形成,而是与定时控制器 TCON、伽玛电压生成电路等一起形成在控制板或源 PCB 上。

[0077] 图 6 是分阶段示出定时控制器和源驱动 IC SDIC#1 到 SDIC#8 之间的信号传输处理的流程图。

[0078] 如图 6 所示,在步骤 S1 和 S2,如果电源被施加到液晶显示器,则定时控制器 TCON 通过数据总线对 DATA&CLK 中的每一个向源驱动 ICSDIC#1 到 SDIC#8 中的每一个提供阶段 1 信号。阶段 1 信号包括向第一源驱动 IC SDIC#1 提供的低频率的前导信号以及锁定信号。

[0079] 在步骤 S3 到 S5,第一源驱动 IC SDIC#1 的时钟分离和数据采样单元 21 将前导信号恢复为 PLL 基准时钟,并且当 PLL 基准时钟的相位和从第一源驱动 IC SDIC#1 的 PLL 输出的内部时钟脉冲的相位被锁定时,向第二源驱动 IC SDIC#2 传输高逻辑电平的锁定信号。随后,在步骤 S6 和 S7,当从第二到第八源驱动 IC SDIC#2 到 SDIC#8 的时钟分离和数据采样单元 21 输出的内部时钟脉冲被顺序地稳定地锁定时,第八源驱动 ICSDIC#8 向定时控制器 TCON 反馈输入高逻辑电平的锁定信号。

[0080] 如果定时控制器 TCON 从第八源驱动 IC SDIC#8 接收高逻辑电平的锁定信号,则定时控制器 TCON 决定从全部源驱动 IC SDIC#1 到 SDIC#8 中的每一个的时钟分离和数据采样单元 21 输出的内部时钟脉冲的相位和频率被稳定地锁定。因而,在步骤 S8,定时控制器 TCON 以点对点的方式通过数据总线对 DATA&CLK 向源驱动 IC SDIC#1 到 SDIC#8 提供阶段 2 信号。阶段 2 信号包括多个源控制包,所述多个源控制包包括极性相关控制数据位和源输出相关控制数据位。

[0081] 在阶段 2 信号之后,在步骤 S10,定时控制器 TCON 以点对点的方式向源驱动 IC SDIC#1 到 SDIC#8 提供阶段 3 信号。阶段 3 信号包括多个 RGB 数据包,其在 1 个水平周期中充入到液晶显示面板 10 的 1 条线上的液晶单元。

[0082] 在阶段 2 信号或阶段 3 信号的输出传输处理中,源驱动 IC SDIC#1 到 SDIC#8 中的每一个的时钟分离和数据采样单元 21 的 PLL 输出可被解锁。即,从时钟分离和数据采样单元 21 的 PLL 输出的内部时钟脉冲的相位和频率可被解锁。更具体地,在步骤 S9 和 S11,当

定时控制器 TCON 接收在低逻辑电平反转的锁定信号的反馈信号时,定时控制器 TCON 决定从时钟分离和数据采样单元 21 的 PLL 输出的内部时钟脉冲被解锁。因而,定时控制器 TCON 向源驱动 IC SDIC#1 到 SDIC#8 传输阶段 1 信号。随后,在从源驱动 IC SDIC#1 到 SDIC#8 中的每一个的 PLL 输出的内部时钟脉冲的相位和频率被锁定之后,定时控制器 TCON 再次开始进行阶段 2 信号和阶段 3 信号的输出传输处理。

[0083] 图 7 是示出源驱动 IC SDIC#1 到 SDIC#8 中的每一个的时钟分离和数据采样单元 21 的框图。

[0084] 如图 7 所示,时钟分离和数据采样单元 21 包括片内终结器 (on-chip terminator, ODT)61、模拟延迟复本 (analog delay replica, ADR)62、时钟分离器 63、PLL 64、PLL 锁定检测器 65、可调谐模拟延迟器 66、反序列化器 67、数字滤波器 68、相位检测器 69、锁定检测器 70、I²C 控制器 71、上电复位器 (POR)72、与门 73、以及 SOE&POL 恢复单元 74。

[0085] ODT 61 包括嵌在 ODT 61 内的端接电阻,以通过去除经由数据总线对 DATA&CLK 接收的前导信号、源控制包、以及 RGB 数据包中混合的噪声来提高信号完整性。另外,ODT 61 包括嵌在 ODT 61 内的接收缓冲器和均衡器,以放大输入的差分信号并将放大的差分信号转换为数字数据。ADR 62 将从 ODT 61 接收的 RGB 数据和时钟延迟可调谐模拟延迟器 66 的延迟值,以使得时钟路径的延迟值能够等于数据路径的延迟值。

[0086] 时钟分离器 63 从被 ODT 61 恢复的源控制包和 RGB 数字数据包中分离时钟位,以将该时钟位恢复为 PLL 64 的基准时钟。时钟位包括时钟位、虚时钟位、内部数据使能时钟位等。PLL 64 产生用于对源控制包的位和 RGB 数据包的位采样的时钟。如果 RGB 数据包包括 10 位 RGB 数据,并且 4 位时钟被指定在 10 位 RGB 数据之间,则在每 1 个 RGB 数据包,PLL 64 产生 34 个内部时钟脉冲。PLL 锁定检测器 65 按照预定的数据速率检查从 PLL 64 输出的内部时钟脉冲中的每一个的相位和频率,以检测内部时钟脉冲是否被锁定。

[0087] 可调谐模拟延迟器 66 补偿从 ODT 61 接收的 RGB 数据与经由相位检测器 69 和数字滤波器 68 反馈输入的恢复的时钟之间的微小的相位差,使得数据能够在时钟的中心被采样。反序列化器 67 包括嵌入在反序列化器 67 内的多个触发器,以响应于从 PLL 64 串行输出的内部串行时钟来采样和锁存串行输入的 RGB 数字视频数据的位。接着,反序列化器 67 同时输出锁存的 RGB 数字视频,以由此输出 RGB 并行数据。

[0088] 数字滤波器 68 和相位检测器 69 接收采样的 RGB 数字视频数据,并确定可调谐模拟延迟器 66 的延迟值。锁定检测器 70 比较被反序列化器 67 恢复的 RGB 并行数据和 PLL 锁定检测器 65 的输出 PLL_LOCK,以检查 RGB 并行数据的数据使能时钟的误差量。如果误差量等于或大于预定值,则物理接口 (PHY) 电路通过解锁从 PLL 64 输出的内部时钟脉冲而再次完全地操作。当从 PLL 64 输出的内部时钟脉冲被解锁时,锁定检测器 70 产生低逻辑电平的输出。在另一方面,当从 PLL 64 输出的内部时钟脉冲被锁定时,锁定检测器 70 产生高逻辑电平的输出。与门 73 对从定时控制器 TCON 接收的锁定信号“Lock In”或在前一阶段由源驱动 IC SDIC#1 到 SDIC#7 传输的锁定信号“Lock In”与锁定检测器 70 的输出进行与操作。接着,当锁定信号“Lock In”和锁定检测器 70 的输出处于高逻辑电平状态时,与门 73 输出高逻辑电平的锁定信号“Lock Out”。在下一阶段,高逻辑电平的锁定信号“Lock Out”被传输到源驱动 IC SDIC#2 到 SDIC#8,最后一个源驱动 IC SDIC#8 向定时控制器 TCON 输入锁定信号“Lock Out”。

[0089] POR 72 根据先前设定的电源序列 (power sequence) 产生用于初始化时钟分离和数据采样单元 21 的复位信号 RESETB, 并且产生约 50MHz 的时钟, 以向包括上述电路的数字电路提供时钟。

[0090] I²C 控制器 71 使用通过控制线对 SCL/SDA 作为串行数据输入的芯片识别码 CID 和芯片单独控制数据来控制上述电路块中的每一个的操作。如图 8 所示, 各具有不同的逻辑电平的芯片识别码 CID 分别被给予到源驱动 IC SDIC#1 到 SDIC#8, 使得源驱动 IC SDIC#1 到 SDIC#8 能够被单独地控制。I²C 控制器 71 可根据通过控制线对 SCL/SDA 的串行数据总线 SDA 从定时控制器 TCON 输入的芯片单独控制数据, 来执行 PLL 功率下降、ODT 61 的缓冲器功率下降、ODT 61 的 EQ 开 / 关操作、PLL 64 的电荷泵电流的控制、PLL 64 的 VCO 范围手动选择的控制、通过 I²C 通信的 PLL 锁定信号推动、模拟延迟控制值的调整、锁定检测器 70 的禁止、数字滤波器 68 的系数的改变、数字滤波器 68 的系数的改变函数 (changefunction)、通过 I²C 的物理接口 (PHY)_RESETB 信号推动、用当前源驱动 IC SDIC#1 到 SDIC#8 的复位信号替换先前源驱动 IC SDIC#1 到 SDIC#7 的锁定信号的操作、输入图像的垂直分辨率的设定、用于分析物理接口 (PHY)_RESETB 信号的产生原因的关于数据使能时钟转换的例示的存储等。

[0091] 响应于从 PLL 64 输出的内部时钟脉冲, SOE&POL 恢复单元 74 对来自 ODT 61 的源控制包的极性相关控制数据采样, 以产生高逻辑电平 (或低逻辑电平) 的极性控制信号 POL。接着, SOE&POL 恢复单元 74 每 i 个水平周期 (其中“i”是自然数) 反转极性控制信号 POL 的逻辑电平。响应于从 PLL 64 输出的内部时钟脉冲, SOE&POL 恢复单元 74 对来自 ODT 61 的源控制包的源输出相关控制数据采样, 以基于源输出相关控制数据产生确定源驱动 IC SDIC#1 到 SDIC#8 的输出定时的源输出使能信号 SOE。SOE&POL 恢复单元 74 从源输出相关控制数据中检测关于脉冲宽度的信息, 并对由 PLL 64 恢复的基准时钟 REF (SCLK) 进行计数, 以由此确定源输出使能信号 SOE 的脉冲宽度。

[0092] 图 9 是示出 PLL 64 的框图。

[0093] 如图 9 所示, PLL 64 包括相位比较器 92、电荷泵 93、环路滤波器 94、脉冲 - 电压转换器 95、压控振荡器 (VCO) 96、以及数字控制器 97。

[0094] 相位比较器 92 将从时钟分离器 63 接收的基准时钟 REF_c1k 的相位和从时钟分离器复本 91 (CSR) 接收的反馈边缘时钟 FB_c1k 的相位进行比较。作为比较结果, 相位比较器 92 具有与基准时钟 REF_c1k 和反馈边缘时钟 FB_c1k 之间的相位差相对应的脉冲宽度。当基准时钟 REF_c1k 的相位超前于反馈边缘时钟 FB_c1k 的相位时, 相位比较器 92 输出正脉冲。在另一方面, 当基准时钟 REF_c1k 的相位落后于反馈边缘时钟 FB_c1k 的相位时, 相位比较器 92 输出负脉冲。

[0095] 电荷泵 93 根据相位比较器 92 的输出脉冲的宽度和极性来控制向环路滤波器 94 提供的电荷量。环路滤波器 94 根据由电荷泵 93 控制的电荷量来积累或释放电荷, 并且去除向脉冲 - 电压转换器 95 输入的时钟中的包括谐波分量的高频噪声。

[0096] 脉冲 - 电压转换器 95 将从环路滤波器 94 接收的脉冲转换为 VCO 96 的控制电压, 并且根据从环路滤波器 94 接收的脉冲的宽度和极性来控制 VCO 96 的控制电压的电平。当 1 个 RGB 数据包的比特流包括 10 位 RGB 数据和 4 个时钟位时, VCO 96 每 1 个 RGB 数据包产生 34 个边缘时钟和 34 个中心时钟。另外, 根据来自脉冲 - 电压转换器 95 的控制电压以及

根据来自数字控制器 97 的控制数据, VCO 96 控制时钟的相位延迟量。

[0097] 从 VCO 96 输出的第一边缘时钟 EG[0] 是反馈边缘时钟, 并被输入到时钟分离器复本 91。反馈边缘时钟 EG[0] 具有对应于 VCO 96 的输出频率的 1/34 的频率。数字控制器 97 从时钟分离器 63 接收基准时钟 REF_clk, 从时钟分离器复本 91 接收反馈边缘时钟 FB_clk, 并且比较基准时钟 REF_clk 的相位和反馈边缘时钟 FB_clk 的相位。另外, 数字控制器 97 将作为比较结果而获得的相位差与来自 POR 72 的 50MHz 时钟信号 clk_osc 的相位进行比较。数字控制器 97 根据相位差的比较结果来控制 VCO 96 的输出延迟量, 以选择 VCO 96 的振荡区域。

[0098] 图 10 是示出在阶段 1 由定时控制器 TCON 产生的信号的波形图。

[0099] 如图 10 所示, 在阶段 1, 定时控制器 TCON 产生锁定信号和低频率的前导信号。在低频率的前导信号中, 连续地排列具有高逻辑电平的多个位, 接着连续地排列具有低逻辑电平的多个位。当 1 个 RGB 数据包的比特流包括 10 位的 RGB 数据和 4 个时钟位时, 前导信号的频率对应于从时钟分离和数据采样单元 21 的 PLL 64 输出的内部时钟脉冲的频率的 1/34。与高逻辑电平的前导信号的位同步, 时钟分离和数据采样单元 21 的时钟分离器 63 将基准时钟 REF_clk 转换到高逻辑电平, 与低逻辑电平的前导信号的位同步, 将基准时钟 REF_clk 转换到低逻辑电平。

[0100] 源驱动 IC SDIC#1 到 SDIC#8 中的每一个的时钟分离和数据采样单元 21 重复地进行将根据前导信号而产生的基准时钟 REF_clk 的相位和反馈边缘时钟 FB_clk 的相位进行比较并锁定内部时钟脉冲的操作。如果内部时钟脉冲被稳定地锁定, 则在下一阶段, 时钟信号被传输到源驱动 IC SDIC#1 到 SDIC#8。

[0101] 在液晶显示器的初始加电阶段, 定时控制器 TCON 从最后一个源驱动 IC SDIC#8 接收锁定信号, 以确认从时钟分离和数据采样单元 21 串行输出的内部时钟脉冲的相位和频率被锁定。接着, 在垂直同步信号 Vsync 的消隐周期, 定时控制器 TCON 输出阶段 2 信号。如果在液晶显示器上显示视频数据的期间时钟分离和数据采样单元 21 的内部时钟脉冲被解锁, 则定时控制器 TCON 从最后一个源驱动 IC SDIC#8 接收锁定信号, 以确认从时钟分离和数据采样单元 21 串行输出的内部时钟脉冲的相位和频率被锁定。接着, 在垂直同步信号 Vsync 和水平同步信号 Hsync 的第一消隐周期, 定时控制器 TCON 输出阶段 2 信号。

[0102] 图 11 是示出在阶段 2 由定时控制器 TCON 产生的信号的波形图。

[0103] 如图 11 所示, 在阶段 2, 定时控制器 TCON 在水平同步信号 Hsync 的 1 个循环 (即 1 个水平周期) 中不存在数据的消隐周期, 通过数据总线对 DATA&CLK 向源驱动 IC SDIC#1 到 SDIC#8 中的每一个按顺序连续地传输多个前虚源控制包 Cf、至少一个实源控制包 Cr、多个后虚源控制包 Cb 和 Cl。

[0104] 在实源控制包 Cr 之前, 多个前虚源控制包 Cf 被连续地传输到源驱动 IC SDIC#1 到 SDIC#8, 使得时钟分离和数据采样单元 21 稳定地接收实源控制包 Cr。实源控制包 Cr 包括用于控制源驱动 IC SDIC#1 到 SDIC#8 的极性反转操作和数据输出的极性相关控制数据位和源输出相关控制数据位。实源控制包 Cr 之后的多个后虚源控制包 Cb 和 Cl 被连续地传输到源驱动 IC SDIC#1 到 SDIC#8, 使得时钟分离和数据采样单元 21 进行实源控制包 Cr 的接收确认操作, 并且稳定地接收阶段 3 信号。指示阶段 3 信号在后虚源控制包 Cb 和 Cl 的最后一个虚源控制包 Cl 之后被传输的位值被指定到最后一个虚源控制包 Cl。

[0105] 如图 15 的数据映射表所示,前虚源控制包 Cf、实源控制包 Cr、后虚源控制包 Cb 和 C1 可通过预定的位值而彼此区分。因此,时钟分离和数据采样单元 21 的 SOE&POL 恢复单元 74 通过预定的位值将源控制包 Cf、Cr、Cb、以及 C1 彼此区分。因而,SOE&POL 恢复单元 74 可区别实源控制包 Cr 的极性相关控制数据和源输出相关控制数据。

[0106] 源驱动 IC SDIC#1 到 SDIC#8 中的每一个的时钟分离和数据采样单元 21 从源控制包 Cf、Cr、Cb、以及 C1 中分离时钟以恢复基准时钟,并且比较基准时钟的相位和高频率的内部时钟脉冲的相位以串行输出用于对极性相关控制数据位和源输出相关控制数据位采样的内部时钟脉冲。另外,时钟分离和数据采样单元 21 根据被采样的极性相关控制数据产生极性控制信号 POL,并且根据被采样的源输出相关控制数据产生源输出使能信号 SOE。

[0107] 如图 11 所示,在 1 个水平周期中,在多个源控制包 Cf、Cr、Cb、以及 C1 之后,RGB 数据包被传输,接着在 RGB 数据包之后,多个源控制包可被额外地传输。在 RGB 数据包之后额外地传输的源控制包可包括至少一个实源控制包和多个虚源控制包,实源控制包可影响下一水平周期的 RGB 数据包。

[0108] 图 12 和图 13 是示出在阶段 3 由定时控制器 TCON 产生的信号的波形图。

[0109] 如图 12 和图 13 所示,在阶段 2 信号之后,在 1 个水平周期中,定时控制器 TCON 通过数据总线对 DATA&CLK 向源驱动 IC SDIC#1 到 SDIC#8 中的每一个传输阶段 3 信号(即,要在液晶显示器的 1 条线上显示的多个 RGB 数据包)。

[0110] 更具体地,时钟分离和数据采样单元 21 从 RGB 数据包中分离时钟 CLK 和内部数据使能信号 DE 以恢复基准时钟。接着,时钟分离和数据采样单元 21 比较基准时钟的相位和高频率的内部时钟脉冲的相位以串行输出用于对 RGB 数字视频数据的各个位采样的内部时钟脉冲。如果 1 个 RGB 数据包的比特流包括 10 位的 RGB 数据和 4 个时钟位,则低逻辑电平的虚时钟 DUM 的位、高逻辑电平的时钟 CLK 的位、位 R1 到 R10、位 G1 到 G5、低逻辑电平的虚数据使能时钟 DE DUM 的位、高逻辑电平的内部数据使能时钟 DE 的位、位 G6 到 G10、以及位 B1 到 B10 按照顺序被连续地指定给 1 个 RGB 数据包。时钟分离和数据采样单元 21 检测时钟 CLK 和内部数据使能时钟 DE,由此可决定在时钟 CLK 和内部数据使能时钟 DE 之后串行输入的数据作为 RGB 数字视频数据。另外,时钟分离和数据采样单元 21 根据采样时钟对 RGB 数字视频数据采样。

[0111] 为了指示其中不包括 RGB 数字视频数据的状态,时钟分离和数据采样单元 21 将阶段 1 信号和阶段 2 信号中的每一个中的虚数据使能时钟 DE DUM 和数据使能数据 DE 的位值设定为与阶段 3 信号中的虚数据使能时钟 DE DUM 和数据使能时钟 DE 的位值不同的位值。

[0112] 时钟分离和数据采样单元 21 的时钟分离器 63 产生基准时钟 REF_c1k,其上升沿与时钟 CLK 和内部数据使能时钟 DE 同步。因为响应于内部数据使能时钟 DE,基准时钟 REF_c1k 被再次转换,所以阶段 3 的基准时钟 REF_c1k 的频率可以是阶段 1 和阶段 2 中恢复的基准时钟 REF_c1k 的频率的 2 倍。如上所述,如果时钟分离和数据采样单元 21 的基准时钟 REF_c1k 的频率增加,则因为 PLL 64 的 VCO 内的级数可减少,PLL 64 的输出可被进一步稳定。更具体地,如果响应于内部数据使能信号 DE,PLL 64 的基准时钟 REF_c1k 在 RGB 数据包的中间转变以将 PLL64 的基准时钟 REF_c1k 的频率增加 2 倍,则 PLL 64 的 VCO 内的级数可减少为 1/2。如果内部数据使能时钟 DE 不使用基准时钟 REF_c1k 作为转变时钟,则必需 34 个 VCO 级。在另一方面,如果内部数据使能时钟 DE 使用基准时钟 REF_c1k 作为转变

时钟,则必需 17 个 VCO 级。如果 PLL 64 中的 VCO 级的数量增加,则从处理、电压、以及温度 PVT 的变化而引起的影 响通过 VCO 级的数量中的增加宽度的乘积来表示。因此,因为该外部变化,PLL 64 的锁定可被释放。因而,除了时钟 CLK 之外,本发明的实施方式使用内部数据使能时钟 DE 作为转变时钟,因此能够增加 PLL 的基准时钟 REF_clk 的频率。因此,能够改善 PLL 64 的锁定可靠性。

[0113] RGB 数据包和源控制包 Cf、Cr、Cb、以及 C1 可通过设定彼此不同的预定位值来彼此区分。图 14 示出在阶段 2 产生的源控制包 Cf、Cr、Cb、以及 C1 和在阶段 3 产生的 RGB 数据包的数据映射表。然而,根据本发明的实施方式的数据映射表不限于图 14 所示的数据映射表,而是可基于图 14 所示的数据映射表进行各种修改。

[0114] 如图 14 所示,如果 R 数据、G 数据、以及 B 数据中的每一个是 10 位数据,则 RGB 数据包包括总共 34 位。更具体地,RGB 数据包包括 1 位时钟、10 位 R 数据 [0:9]、5 位 G 数据 [0:4]、1 位虚使能时钟 DE DUM、1 位数据使能时钟 DE、5 位 G 数据 [5:9]、以及 10 位 B 数据 [0:9]。源控制包 Cf、Cr、以及 Cb 的数据长度(即 34 位)等于 RGB 数据包的数据长度。更具体地,源控制包 Cf、Cr、以及 Cb 中的每一个包括 1 位时钟、代替 R 数据 [0:9] 和 G 数据 [0:4] 的 15 位第一控制数据、1 位虚数据使能时钟 DE DUM、1 位数据使能时钟 DE、以及代替 G 数据 [5:9] 和 B 数据 [0:9] 的 15 位第二控制数据。RGB 数据包和源控制包 Cf、Cr、以及 Cb 可通过彼此不同地设定虚数据使能时钟 DE DUM 的位值和数据使能时钟 DE 的位值来彼此区分。

[0115] 虚源控制包 Cf、Cb、以及 C1 和实源控制包 Cr 可通过由图 14 的第一控制数据和第二控制数据确定的预定的位来彼此区分。图 15 示出了源控制包的数据映射表的示例。然而,根据本发明的实施方式的数据映射表不限于图 15 所示的数据映射表,而是可基于图 15 所示的数据映射表进行各种修改。

[0116] 图 15 示出了源控制包 Cf、Cr、Cb、以及 C1 的数据映射表。

[0117] 如图 15 所示,在虚源控制包 Cf、Cb、以及 C1 中,高逻辑电平 H、低逻辑电平 L、低逻辑电平 L、低逻辑电平 L 被分别指定到 4 个位 C0 到 C3。在另一方面,在实源控制包 Cr 中,高逻辑电平 H、高逻辑电平 H、高逻辑电平 H、低逻辑电平 L 被分别指定到到 4 个位 C0 到 C3。因此,虚源控制包 Cf、Cb、以及 C1 和实源控制包 Cr 可通过 C1 和 C2 的位值来区分。

[0118] 指示 RGB 数据包的传输的最后一个虚源控制包 C1 可通过 C16 和 C17 这 2 个位从虚源控制包 Cf 和 Cb 中区分。

[0119] 图 16 示出关于实源控制包 Cr 的各个位的数据描述。

[0120] 如图 16 所示,源输出相关控制数据包括实源控制包 Cr 的 C2 位的“SOE”和 C4 与 C11 位之间的 SOE_PRD[3:0],而极性相关控制数据包括实源控制包 Cr 的 C14 位的“POL”。

[0121] 如图 17 所示,如果 SOE&POL 恢复单元 74 检测实源控制包 Cr 的 C2 位,则 SOE&POL 恢复单元 74 在先前确定的上升时间产生源输出使能信号 SOE 的脉冲。另外,SOE&POL 恢复单元 74 检测实源控制包 Cr 的 C5、C7、C9 和 C11 位中的 SOE_PRD[3:0] 以将图 12 和 13 所示的恢复的基准时钟 REF (SCLK) 添加到 SOE_PRD[3:0] 的计数值。因此,SOE&POL 恢复单元 74 确定源输出使能信号 SOE 的下降时间。结果,SOE&POL 恢复单元 74 产生源输出使能信号 SOE,其在先前确定的上升时间和由 SOE_PRD[3:0] 确定的下降时间之间的预定时间段内保持高逻辑电平,而在该预定时间段之外的时间段内保持低逻辑电平。

[0122] 另外,如图 17 所示,SOE&POL 恢复单元 74 检测实源控制包 Cr 的 C14 位以产生极性控制信号 POL。接着,在 SOE&POL 恢复单元 74 在“i”个水平周期将极性控制信号 POL 保持在相同逻辑电平之后,SOE&POL 恢复单元 74 反转极性控制信号 POL。例如,SOE&POL 恢复单元 74 检测实源控制包 Cr 的 C14 位以产生极性控制信号 POL,并且在 1 个或 2 个水平周期中将极性控制信号 POL 保持在高逻辑电平。接着,SOE&POL 恢复单元 74 反转极性控制信号 POL 以在 1 个或 2 个水平周期中将极性控制信号 POL 保持在低逻辑电平。换句话说,SOE&POL 恢复单元 74 可每 1 或 2 个水平周期反转极性控制信号 POL 的逻辑电平。

[0123] 图 18 示出根据实源控制包 Cr 的 SOE_PRD[3:0] 确定的源输出使能信号 SOE 的脉冲宽度。

[0124] 如图 18 所示,源输出使能信号 SOE 的脉冲宽度根据实源控制包 Cr 的 SOE_PRD[3:0] 来确定。更具体地,当 SOE_PRD[3:0] 的位值是“0000 (或 LLLL)”时,源输出使能信号 SOE 可具有最小脉冲宽度。当 SOE_PRD[3:0] 的位值是“1111 (或 HHHH)”时,源输出使能信号 SOE 可具有最大脉冲宽度。源输出使能信号 SOE 的脉冲宽度的最优值可根据液晶显示器的型号而变化。这是因为液晶单元的最优数据的充入量可根据例如分辨率和反转方式的面板属性而改变,并且可通过多种原因来确定。因此,源输出使能信号 SOE 的脉冲宽度必须变化,以控制液晶显示单元的数据充入时间。

[0125] 源输出使能信号 SOE 的脉冲宽度可通过对根据 SOE_PRD[3:0] 由时钟分离和数据采样单元 21 恢复的串行时钟 SCLK 的循环进行计数来控制。串行时钟 SCLK 的 1 个循环大致等于 1 个源控制数据包或 1 个 RGB 数据包的时间。在 120Hz 的帧频下驱动的 FHD (全高清) 液晶显示器的情况下,串行时钟 SCLK 的 1 个循环是约 27.2ns。在 60Hz 的帧频下驱动的 FHD 液晶显示器的情况下,串行时钟 SCLK 的 1 个循环是约 55.2ns。因此,如图 18 和图 19 所示,在 120Hz FHD 液晶显示器中,如果 SOE_PRD[3:0] 的位值是“0000”,则源输出使能信号 SOE 的脉冲宽度被减小到以下的值: $SCLK \times 4 = 27.2ns \times 4 = 108.8ns$ 。另外,如果 SOE_PRD[3:0] 的位值是“1111”,则源输出使能信号 SOE 的脉冲宽度被减小到以下的值: $SCLK \times 64 = 27.2ns \times 64 = 1740.8ns$ 。

[0126] 图 20 是示出当 R 数据、G 数据、以及 B 数据中的每一个是 10 位数据时由时钟分离和数据采样单元 21 恢复的基准时钟 REF (SCLK) 以及根据基准时钟 REF (SCLK) 采样的 RGB 数据输出的波形图。

[0127] 在根据本发明的实施方式的液晶显示器及其驱动方法中,RGB 数据包和控制数据包不限于图 10 到图 16 所示的数据长度,其可根据如图 21A 到 21D 所示的输入图像的比特率进行长度转换。

[0128] 当 R 数据、G 数据、以及 B 数据中的每一个是 10 位数据时,如图 21A 所示,定时控制器 TCON 在 T 小时内产生 1 个源控制包或 1 个 RGB 数据包作为包括 DUM、CLK、R1 到 R10、G1 到 G5、DE DUM、DE、G6 到 G10、以及 B1 到 B10 的比特流。源驱动 IC SDIC#1 到 SDIC#8 中的每一个的时钟分离和数据采样单元 21 从自定时控制器 TCON 接收的 1 个源控制 /RGB 数据包中产生 34 个边缘时钟和 34 个中心时钟,并且按照中心时钟对源控制位或 RGB 数据位采样。

[0129] 当 R 数据、G 数据、以及 B 数据中的每一个是 8 位数据时,如图 21B 所示,定时控制器 TCON 在 $T \times (28/34)$ 小时内产生 1 个源控制 /RGB 数据包作为包括 DUM、CLK、R1 到 R8、G1

到 G4、DE DUM、DE、G5 到 G8、B1 到 B8 的比特流。源驱动 IC SDIC#1 到 SDIC#8 中的每一个的时钟分离和数据采样单元 21 从自定时控制器 TCON 接收的 1 个源控制 /RGB 数据包中产生 28 个边缘时钟和 28 个中心时钟,并且按照中心时钟对源控制位或 RGB 数据位采样。

[0130] 当 R 数据、G 数据、以及 B 数据中的每一个是 6 位数据时,如图 21C 所示,定时控制器 TCON 在 $T \times (22/34)$ 小时内产生 1 个源控制 /RGB 数据包作为包括 DUM、CLK、R1 到 R6、G1 到 G3、DE DUM、DE、G4 到 G6、B1 到 B6 的比特流。源驱动 IC SDIC#1 到 SDIC#8 中的每一个的时钟分离和数据采样单元 21 从自定时控制器 TCON 接收的 1 个源控制 /RGB 数据包中产生 22 个边缘时钟和 22 个中心时钟,并且按照中心时钟对源控制位或 RGB 数据位采样。

[0131] 当 R 数据、G 数据、以及 B 数据中的每一个是 12 位数据时,如图 21D 所示,定时控制器 TCON 在 $T \times (40/34)$ 小时内产生 1 个源控制 /RGB 数据包作为包括 DUM、CLK、R1 到 R12、G1 到 G6、DE DUM、DE、G7 到 G12、B1 到 B12 的比特流。源驱动 IC SDIC#1 到 SDIC#8 中的每一个的时钟分离和数据采样单元 21 从自定时控制器 TCON 接收的 1 个源控制 /RGB 数据包中产生 40 个边缘时钟和 40 个中心时钟,并且按照中心时钟对源控制位或 RGB 数据位采样。

[0132] 定时控制器 TCON 决定输入数据的比特率,并可如图 21A 到 21D 所示自动地转换 RGB/ 控制数据包的长度。

[0133] 根据本发明的另一实施方式的液晶显示器产生包括多个脉冲组的前导信号,各个脉冲组具有与阶段 1 信号不同的脉冲宽度和循环,因此可更安全地锁定从时钟分离和数据采样单元 21 的 PLL 输出的内部时钟脉冲的相位和频率。

[0134] 图 22 和图 23 是示出根据本发明的另一实施方式的阶段 1 信号的波形图。

[0135] 如图 22 和图 23 所示,阶段 1 信号包括阶段 1-1 信号和阶段 1-2 信号。阶段 1-1 信号是其中以与上述的前导信号相同的方式,在与 1 个源控制 /RGB 数据包同时地设定阶段 1-1 信号的 1 个循环的信号。阶段 1-2 信号的频率大于阶段 1-1 信号的频率,阶段 1-2 信号的循环等于或小于阶段 1-1 信号的循环的 1/2。阶段 1-2 信号可具有其中交替产生具有不同相位和不同频率的 2 个脉冲组 P1 和 P2 的波形。第一脉冲组 P1 的频率等于或大于以阶段 1-1 信号的形式产生的脉冲行的频率的 2 倍,第二脉冲组 P2 的频率等于或大于第一脉冲组 P1 的频率的 2 倍。如图 22 和图 23 所示,在时钟分离和数据采样单元 21 的 PLL 64 跟踪频率大于阶段 1-1 信号的频率的脉冲并且相位规则地变化的同时,时钟分离和数据采样单元 21 可比图 10 所示的低频率的前导信号更稳定和迅速地锁定内部时钟脉冲的相位和频率。

[0136] 由于消费者要求 LCD 模块的操作改善,LCD 模块制造商可向源驱动 IC SDIC#1 到 SDIC#8 提供各种选择,使得消费者可直接控制 LCD 模块的详细操作。为此,在相关技术中,制造商向源驱动 IC SDIC#1 到 SDIC#8 提供多个选项引脚,并且当需要时将上拉电阻或下拉电阻连接到源驱动 IC SDIC#1 到 SDIC#8 的选项引脚。另外,在相关技术中,源驱动 IC SDIC#1 到 SDIC#8 的选项操作通过向 LCD 模块施加电源电压 V_{cc} 或接地电平电压 GND 来控制。然而,在相关技术中,因为多个选项引脚,源驱动 IC SDIC#1 到 SDIC#8 的芯片尺寸增加,另外因为连接到选项引脚和引线的上拉 / 下拉电阻,PCB 大小增加。

[0137] 根据本发明的另一实施方式的液晶显示器可通过在阶段 2 的预定时段内添加用于控制源驱动 IC SDIC#1 到 SDIC#8 的各种操作的信号来进一步减小源驱动 IC SDIC#1 到 SDIC#8 的芯片尺寸以及 PCB 尺寸。为此,根据本发明的另一实施方式的液晶显示器产生用

于控制源驱动 ICSDIC#1 到 SDIC#8 的各种操作的控制选项信息,例如 PWRC1/2、MODE、SOE_EN、PACK_EN、CHMODE、CID1/2、H_2DOT,作为单独的源控制包。包括控制选项信息的源控制包可被插入阶段 2 的预定时段,并可通过数据总线对被传输到源驱动 IC SDIC#1 到 SDIC#8。

[0138] PWRC1/2 是选项信息,其确定源驱动 IC SDIC#1 到 SDIC#8 的输出缓冲器的放大率以选择源驱动 IC SDIC#1 到 SDIC#8 的功率容量,如以下的表 1 所示。

[0139] [表 1]

[0140]

PWRC1/2 = 11 (HH)	高功率模式
PWRC1/2 = 10 (HL)	正常功率模式
PWRC1/2 = 01 (LH)	低功率模式
PWRC1/2 = 00 (LL)	超低功率模式

[0141] MODE 是选项信息,其确定在源输出使能信号 SOE 的高逻辑电平周期中是否使能或禁止电荷共享电压的输出,如以下的表 2 所示。

[0142] [表 2]

[0143]

MODE = 1 (H)	Hi_Z 模式操作 (电荷共享输出禁止)
MODE = 0 (L)	电荷共享模式操作 (电荷共享输出使能)

[0144] SOE_EN 是选项信息,其确定是否以嵌入到 RGB 数字视频数据中的形式或通过单独的线从源驱动 IC SDIC#1 到 SDIC#8 接收源输出使能信号 SOE,如以下的表 3 所示。

[0145] [表 3]

	PACK_EN = 0 (L)	PACK_EN = 1 (H)
SOE_EN = 0 (L)	禁止	使用内部 SOE
SOE_EN = 1 (H)	使用外部 SOE	

[0147] PACK_EN 是选项信息,其确定是否以嵌入 RGB 数字视频数据的形式或通过单独的线从源驱动 IC SDIC#1 到 SDIC#8 接收待传输到选通驱动 IC GDIC#1 到 GDIC#4 的极性控制信号 POL 和选通起始脉冲 GSP,如以下的表 4 所示。

[0148] [表 4]

[0149]

PACK_EN = 1 (H)	使能控制包
PACK_EN = 0 (L)	禁止控制包 (忽略 SOE_EN 的值)

[0150] CHMODE 是选项信息,其按照液晶显示器的分辨率确定源驱动 ICSDIC#1 到 SDIC#8 的输出通道的数量,如以下的表 5 所示。

[0151] [表 5]

[0152]

CHMODE = 1 (H)	690 通道输出 (691 ~ 720 通道禁止)
CHMODE = 0 (L)	720 通道输出

[0153] CID1/2 是选项信息,其向源驱动 IC SDIC#1 到 SDIC#8 中的每一个给出芯片识别码 CID 以独立地控制源驱动 IC SDIC#1 到 SDIC#8,如以下的表 6 所示。CID1/2 的比特率可根据源驱动 IC 的数量来调整。另外,如上所述,源驱动 IC SDIC#1 到 SDIC#8 可通过使用定时控制器 TCON 和控制线对 SCL/SDA 的 I²C 通信而被单独控制。LCD 模块制造商可在使用选项信息 CID1/2 的控制方法和使用通过 I²C 通信的控制方法中进行选择。

[0154] [表 6]

[0155]

CID1/2 = 00 (LL)	指定到 SDIC#1
CID1/2 = 01 (LH)	指定到 SDIC#2
CID1/2 = 10 (HL)	指定到 SDIC#3
CID1/2 = 11 (HH)	指定到 SDIC#4

[0156] H_2DOT 是选项信息,其控制从源驱动 IC SDIC#1 到 SDIC#8 输出的正 / 负模拟视频数据电压的水平极性循环,如以下的表 7 所示。例如,如果 H_2DOT 的位值是“1 (H)”,则源驱动 IC SDIC#1 到 SDIC#8 以水平 2 点反转方式控制数据电压的极性。在水平 2 点反转方式中,源驱动 IC SDIC#1 到 SDIC#8 向 2 条相邻的数据线输出相同极性的数据电压。即,数据电压的极性以水平 2 点反转方式每 2 条相邻的数据线被反转。因此,水平相邻的液晶单元被充入的数据电压的极性被控制为“-+-, ..., +-+ (或 +-+, ..., -+-)”。另外,如果 H_2DOT 的位值是“0 (L)”,则源驱动 IC SDIC#1 到 SDIC#8 以水平 1 点反转方式控制数据电压的极性。在水平 1 点反转方式中,源驱动 IC SDIC#1 到 SDIC#8 每 1 条数据线对向相邻的数据线提供的数据电压进行反转。因此,水平相邻的液晶单元被充入的数据电压的极性被控制为“-+-, ..., +-+ (或 +-+, ..., -+-)”。

[0157] [表 7]

[0158]

H_2DOT = 1 (H)	水平 2 点反转使能
H_2DOT = 0 (L)	水平 2 点反转禁止

[0159] 在本发明的实施方式中,定时控制器 TCON 必须从最后一个源驱动 IC SDIC#8 接收高逻辑电平的反馈锁定信号,使得定时控制器 TCON 进入阶段 2。更具体地,如果全部源驱动 IC SDIC#1 到 SDIC#8 的 PLL 锁定操作未完成,则定时控制器 TCON 重复地仅仅产生阶段 1 的前导信号,源驱动 IC SDIC#1 到 SDIC#8 不输出数据电压。因此,如果定时控制器 TCON 不接收反馈锁定信号,则源驱动 IC SDIC#1 到 SDIC#8 的单独的驱动状态不能被确认。然而,源

驱动 IC SDIC#1 到 SDIC#8 当中的有缺陷的源驱动 IC 需要被确认,另外源驱动 IC SDIC#1 到 SDIC#8 中的每一个的驱动状态需要被确认。

[0160] 根据本发明的另一实施方式的液晶显示器提供测试模式,并且在测试模式中向定时控制器 TCON 输入反馈锁定信号以引发源驱动 IC SDIC#1 到 SDIC#8 输出数据电压,从而确认源驱动 IC SDIC#1 到 SDIC#8 的单独的驱动状态。为此,在根据本发明的另一实施方式的液晶显示器中,如图 24 所示,选择单元 SEL 被额外地安装在定时控制器 TCON 之内或之外。

[0161] 更具体地,选择单元 SEL 的第一输入端连接到反馈锁定检查线 LCS2,选择单元 SEL 的第二输入端连接到测试模式使能信号 TEST 的输入端。选择单元 SEL 可被实现为或门,其输出反馈锁定信号“Lock Out”和测试模式使能信号 TEST 中的至少之一。即使高逻辑电平的反馈锁定信号“Lock Out”未被输入到定时控制器 TCON,如果高逻辑电平的测试模式使能信号 TEST 被输入,则选择单元 SEL 向定时控制器 TCON 的数据传输模块输入高逻辑电平的测试模式使能信号 TEST。因此,即使定时控制器 TCON 在测试模式下不接收反馈锁定信号,定时控制器 TCON 也可进入图 6 的步骤 S8 以向源驱动 IC SDIC#1 到 SDIC#8 传输阶段 2 信号和阶段 3 信号。定时控制器 TCON 在测试模式下将从内部存储器提取的测试数据编码为阶段 3 的 RGB 数据包,并向源驱动 IC SDIC#1 到 SDIC#8 传输经编码的测试数据。操作员观看在测试模式下在液晶显示面板上显示的测试数据的图像,并可确认源驱动 IC SDIC#1 到 SDIC#8 的单独驱动状态以及源驱动 IC SDIC#1 到 SDIC#8 中是否存在有缺陷的源驱动 IC。

[0162] 如上所述,在根据本发明的实施方式的液晶显示器及其驱动方法中,用于数据采样的时钟产生电路被嵌入在源驱动 IC 中的每一个之内,源控制包和 RGB 数据包通过数据总线对被传输到源驱动 IC 中的每一个。因而,能够减少定时控制器和源驱动 IC 之间所需的数据传输线的数量,并且可去除源定时控制线。另外,在根据本发明的实施方式的液晶显示器及其驱动方法中,因为控制源驱动 IC 的选项操作的选项信息通过数据总线对被传输,能够去除源驱动 IC 的选项引脚、以及连接到选项引脚的电阻器和引线。通过提供测试模式,能够确认源驱动 IC 的单独驱动状态以及源驱动 IC 中是否存在有缺陷的源驱动 IC。另外,在根据本发明的实施方式的液晶显示器及其驱动方法中,控制线连接在定时控制器和源驱动 IC 之间,定时控制器通过控制线向源驱动 IC 传输芯片识别码和控制数据。因此,源驱动 IC 能够被单独控制,因而能够独立地进行调试操作。

[0163] 本说明书中“一个实施方式”、“实施方式”、“示例实施方式”等是指与该实施方式相关地描述的具体特征、结构、或特性包括在本发明的至少一个实施方式中。这些词语在说明书中不同位置的出现不一定全部指代相同的实施方式。另外,当与任何实施方式相关地描述具体特征、结构、或特性时,认为结合其他实施方式实现该特征、结构、或特性是在本领域技术人员的考虑范围内。

[0164] 尽管参照多个示例性实施方式描述了实施方式,应理解的是本领域技术人员可建议落入本公开的原理的精神和范围内的许多其他修改和实施方式。更具体地,在本公开、附图以及所附的权利要求的范围内,在主题组合设置的组成部分和 / 或设置中做出各种变型和修改。除了组成部分和 / 或设置中的变型和修改之外,替换使用对于本领域技术人员也是明显的。

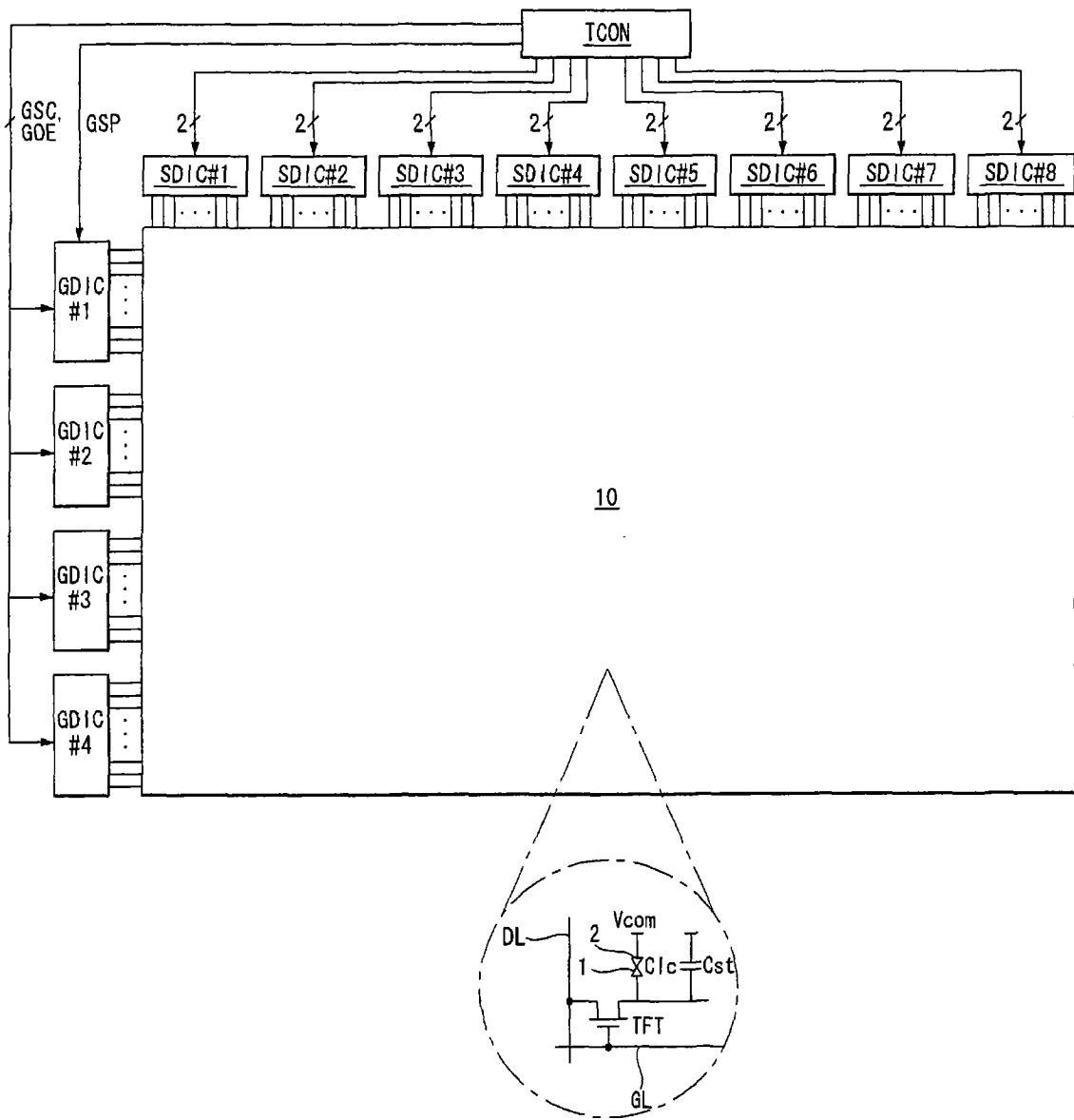


图 1

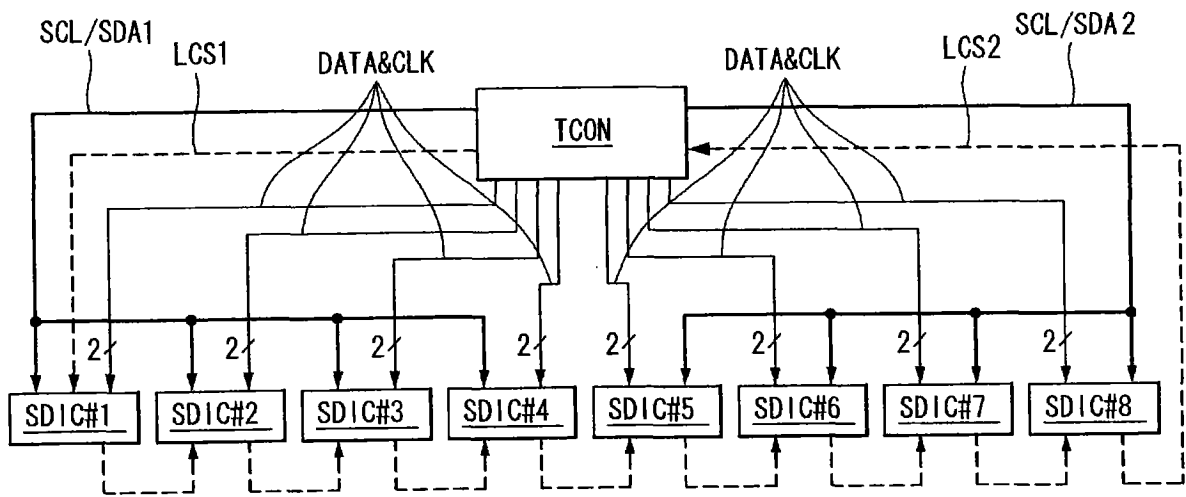


图 2

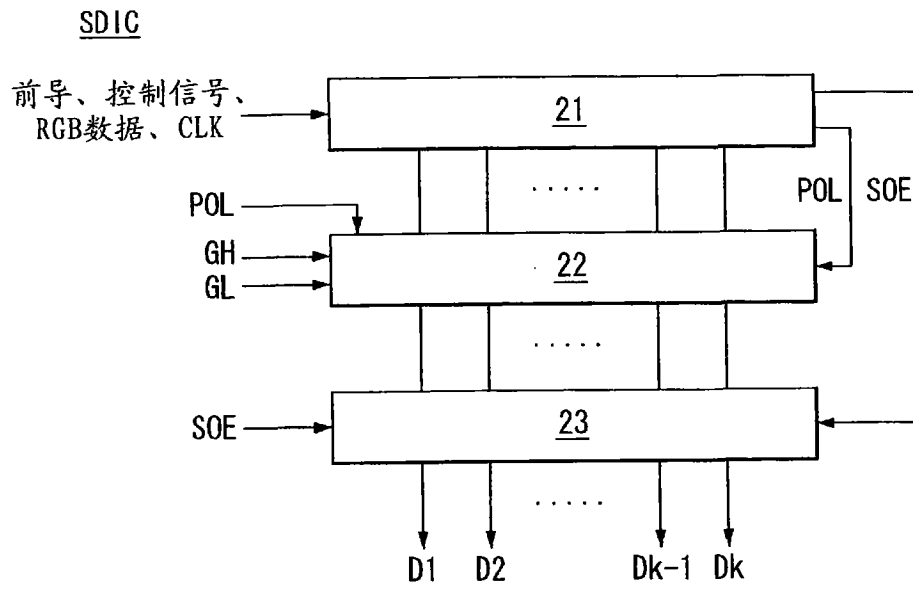
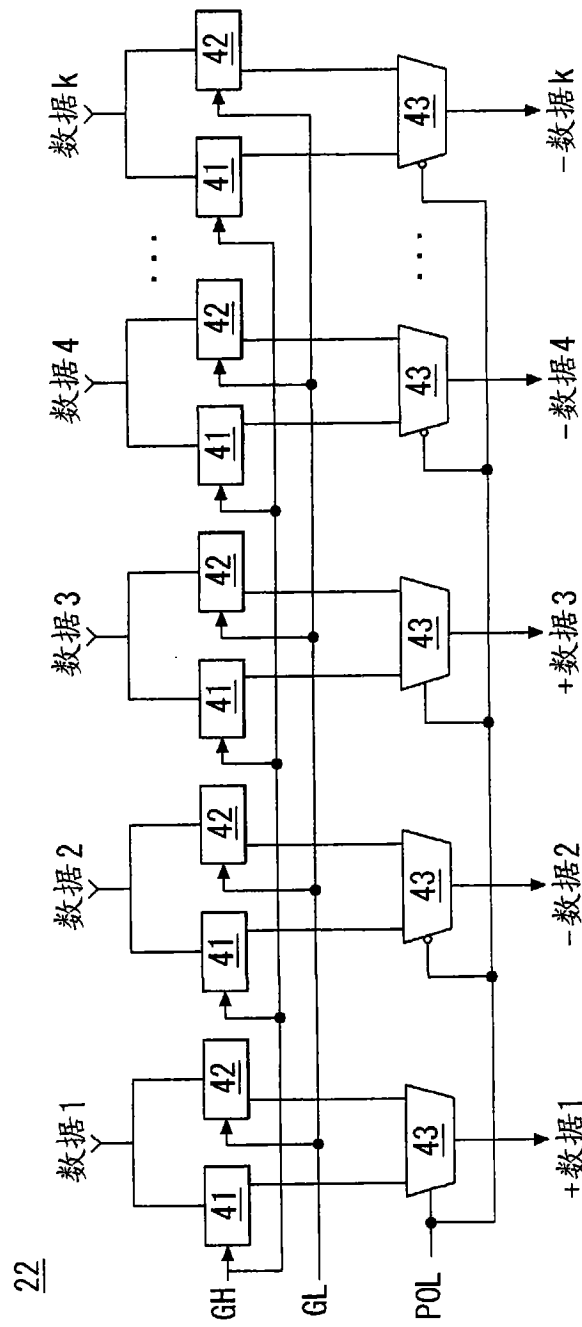


图 3



22

图 4

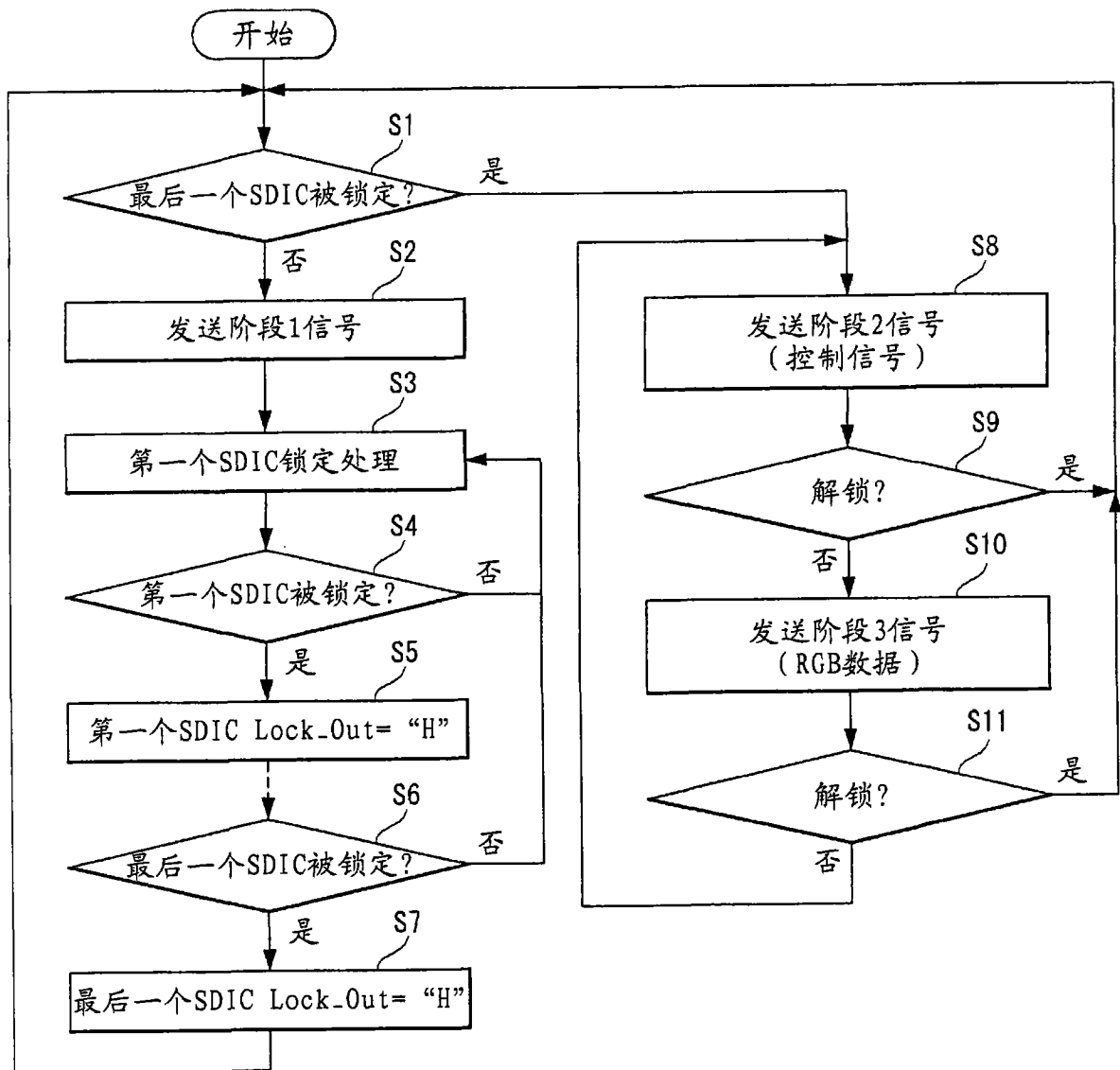


图6

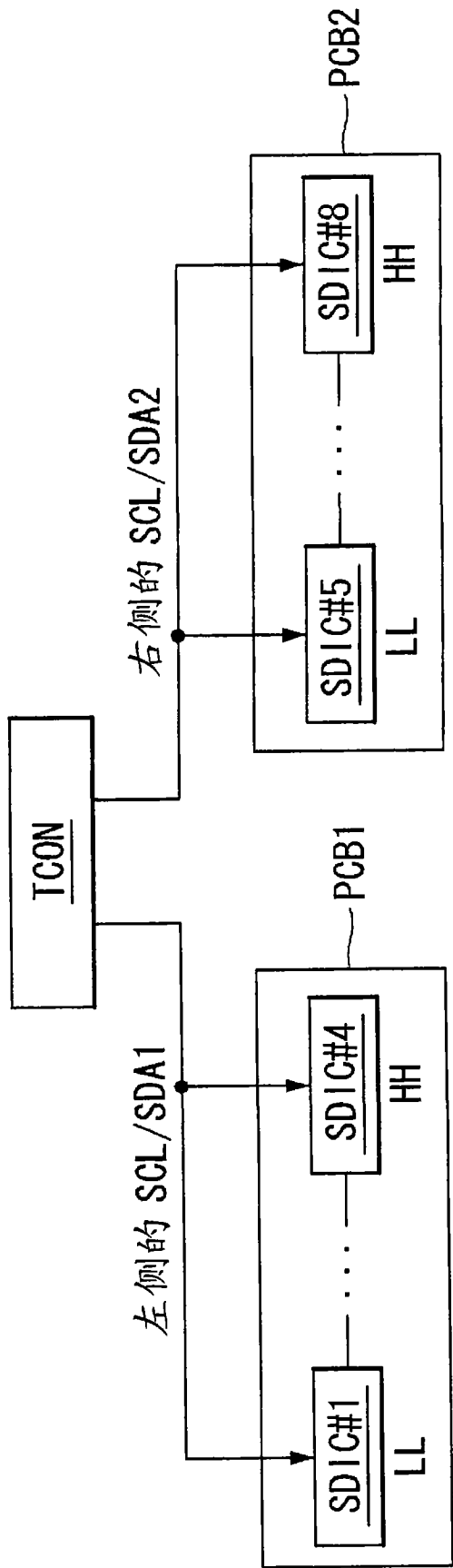


图 8

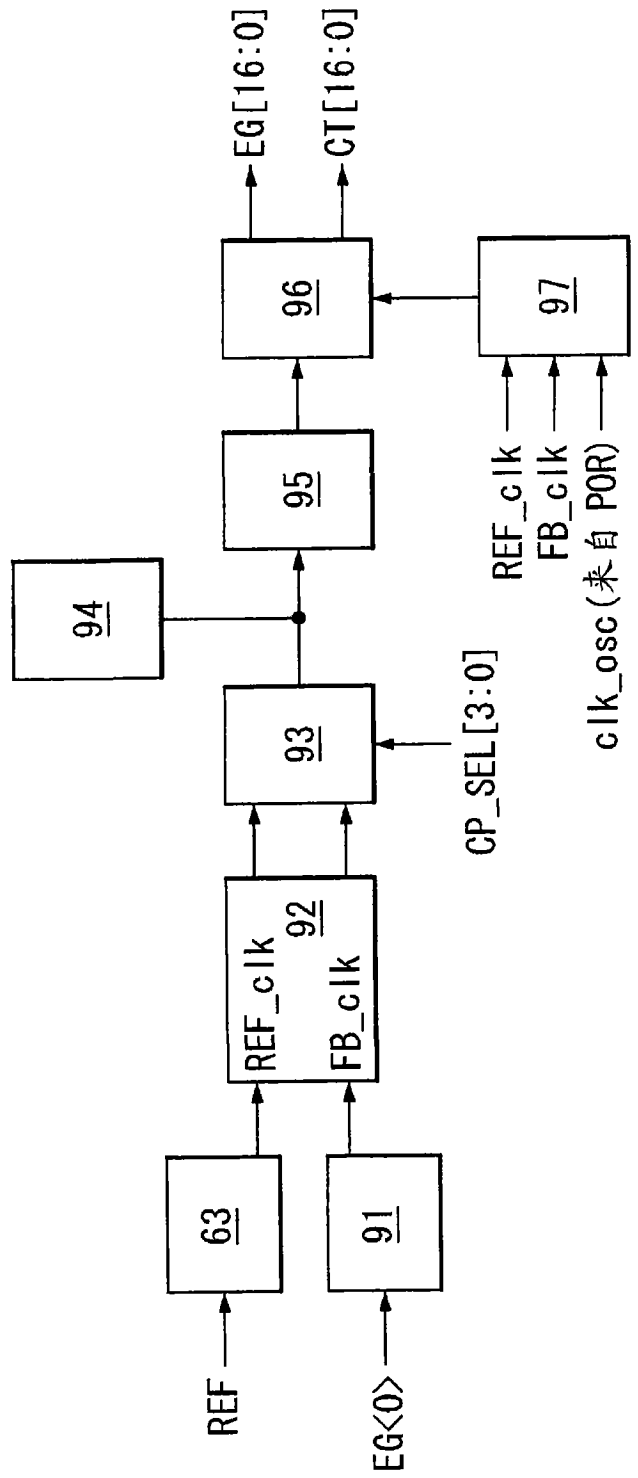


图 9

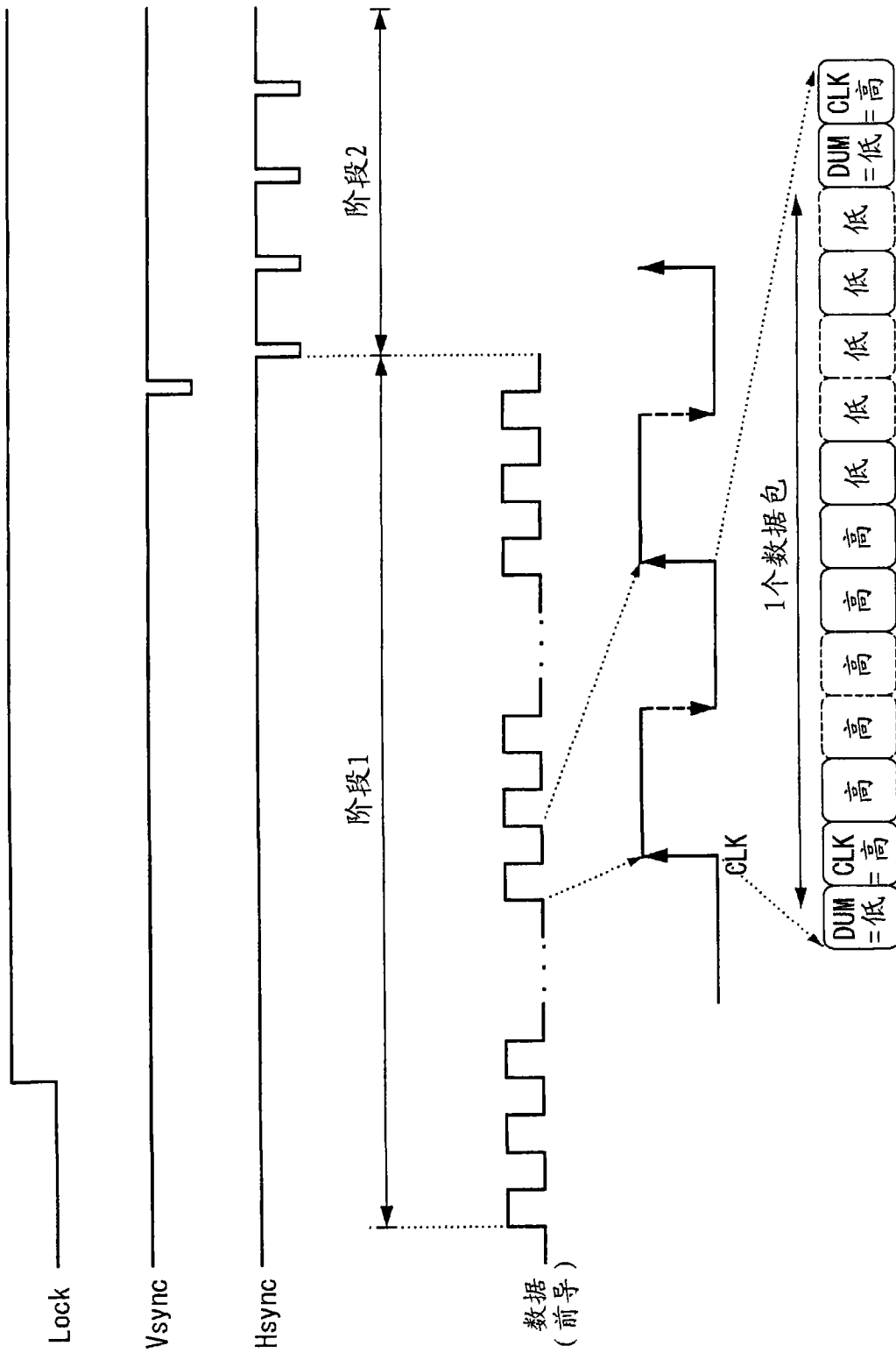


图 10

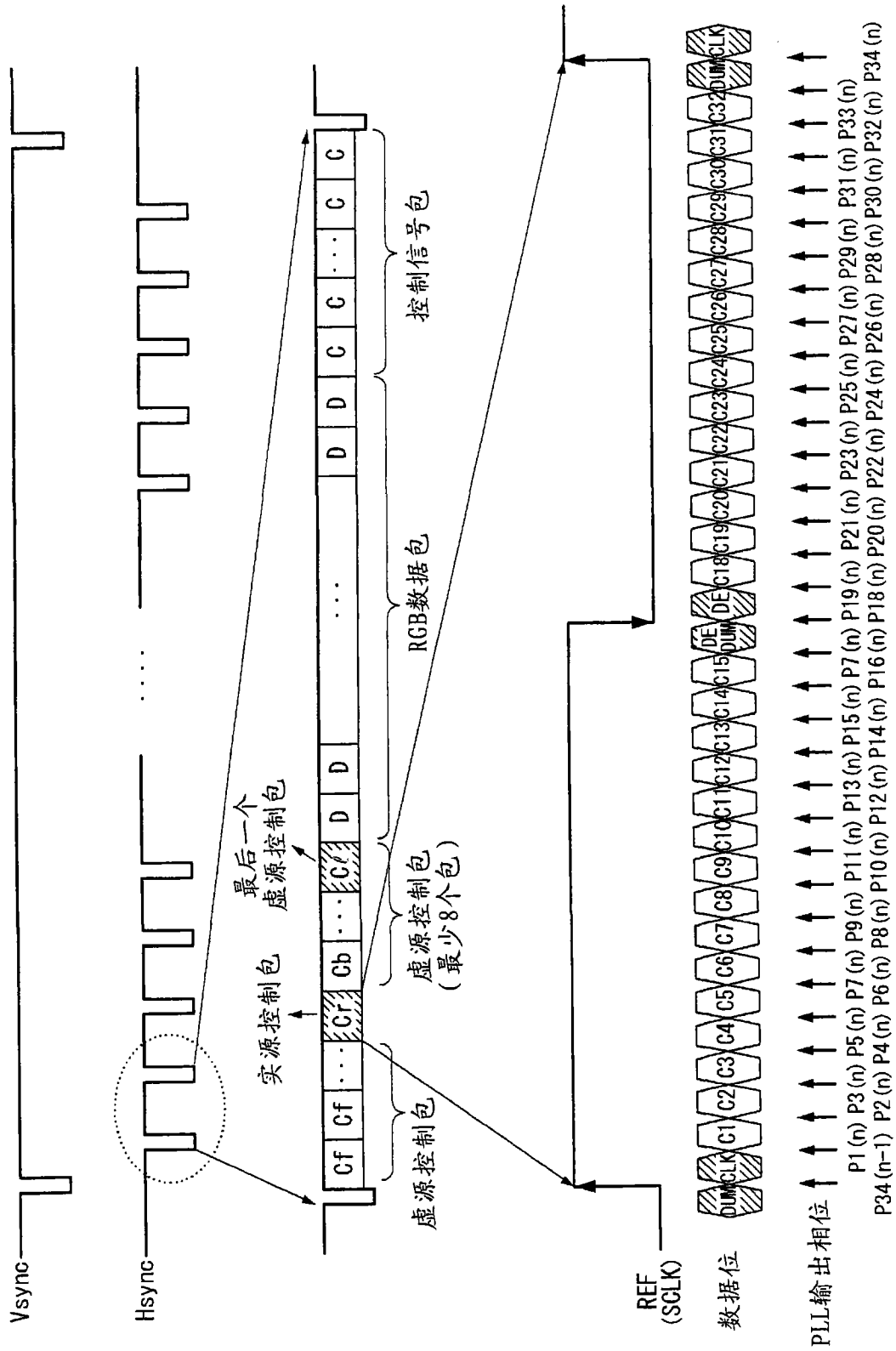


图 11

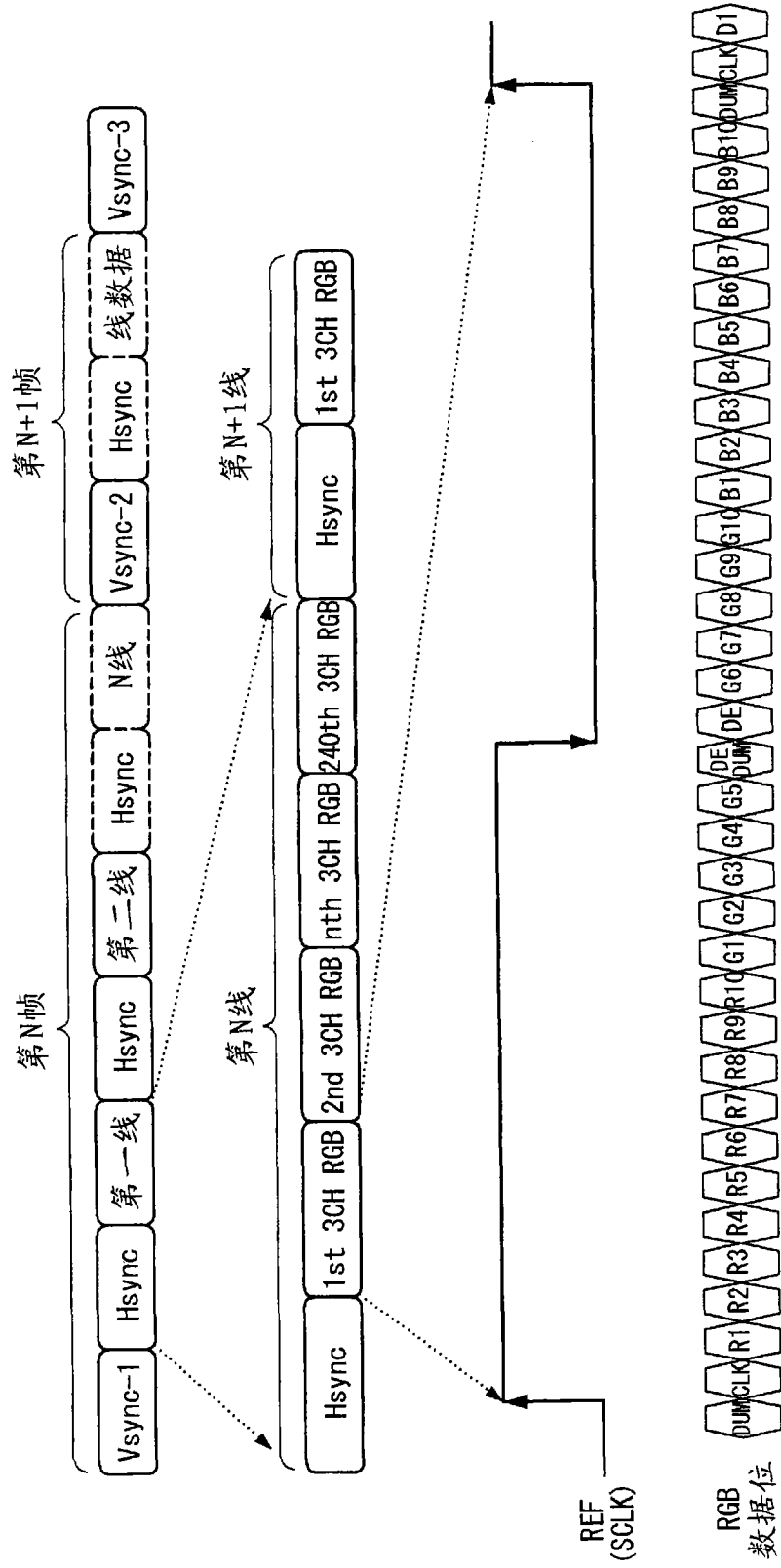


图 12

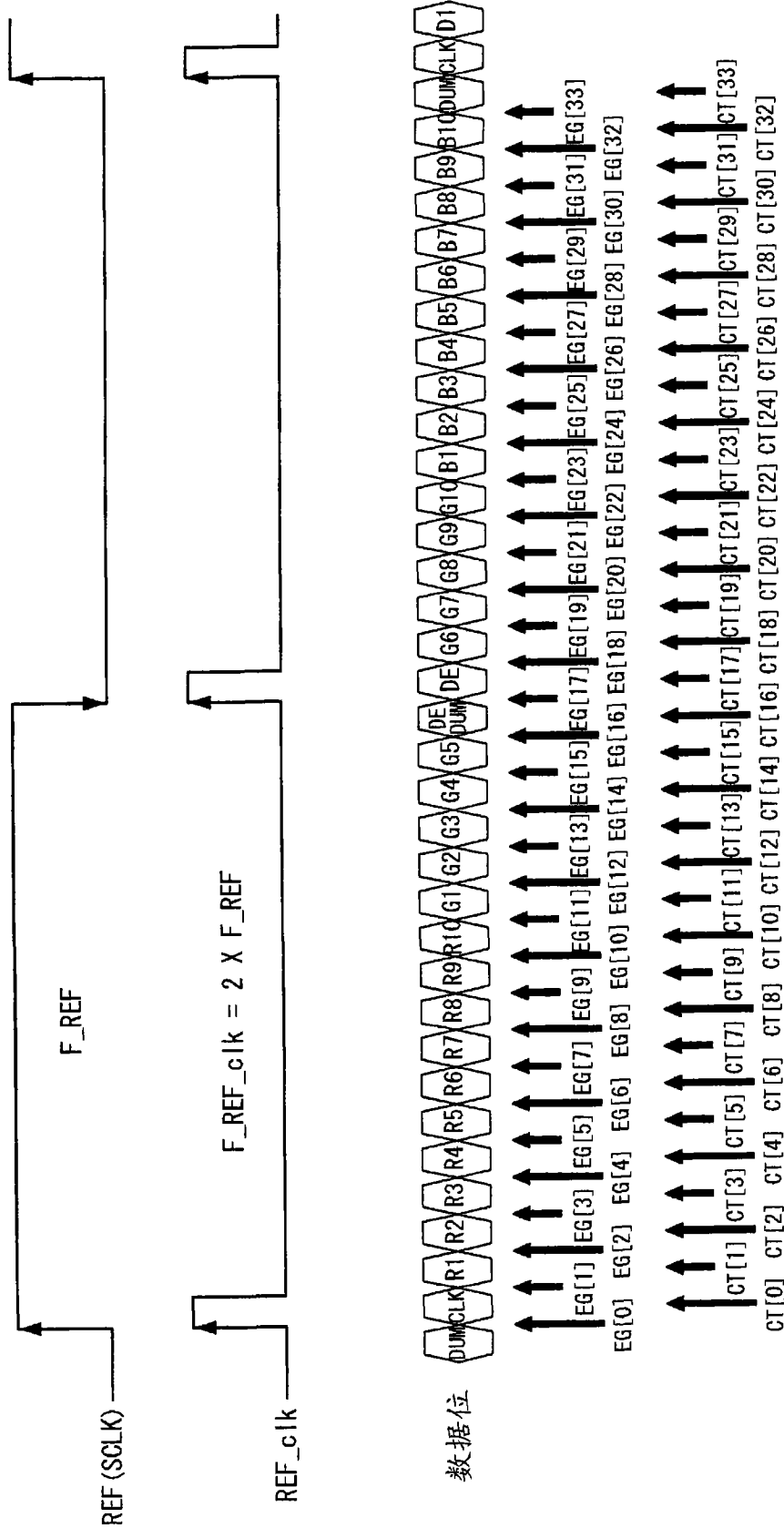


图 13

数据位	CLK	D1~D10	D11~D15	DE_DUM	DE	D16~D20	D21~D30
格式	时钟	R_data[0:9]	G_data[0:4]	虚	数据使能	G_data[5:9]	B_data[0:9]
	时钟	控制数据 (C1~C15)		虚	数据使能	控制数据 (C18~C32)	

图 14

项目	C0	C1	C2	C3	C12~C11	C12	C13~C14	C15	C16	C17	C18~C32
虚源控制包 Cf、Cb	H	L	L	L	被指定	L	被指定	H	H	L	
实源控制包 Cr	H	(H)	(H)	L	被指定	L	被指定	H	H	L	
最后一个虚源控制包 C1	H	L	L	L	被指定	L	被指定	H	(L)	(H)	
控制信号映射	CLK	S0E		S0E	S0E PRD		P0L		DE		

图 15

位置		项目	描述
CLK	C0		-
R0	C1	DUM_SOE	SOE的虚信号
R1	C2	SOE	选通脉冲输出使能
R2	C3	保留	-
R3	C4	DUM_SOE_PRD0	SOE-PRD0的虚信号
R4	C5	SOE_PRD0	控制SOE周期
R5	C6	DUM_SOE_PRD1	SOE-PRD1的虚信号
R6	C7	SOE_PRD1	控制SOE周期
R7	C8	DUM_SOE_PRD2	SOE-PRD2的虚信号
R8	C9	SOE_PRD2	控制SOE周期
R9	C10	DUM_SOE_PRD3	SOE-PRD3的虚信号
G0	C11	SOE_PRD3	控制SOE周期
G1	C12	保留	-
G2	C13	DUM_POL	POL的虚信号
G3	C14	POL	选通脉冲极性控制
G4	C15	保留	-
DE_DUM	C16	DUM_DE	-
DE	C17	数据使能	控制/RGB信号选择
G4~G9 B0~B9	C18~C32	保留	-

图 16

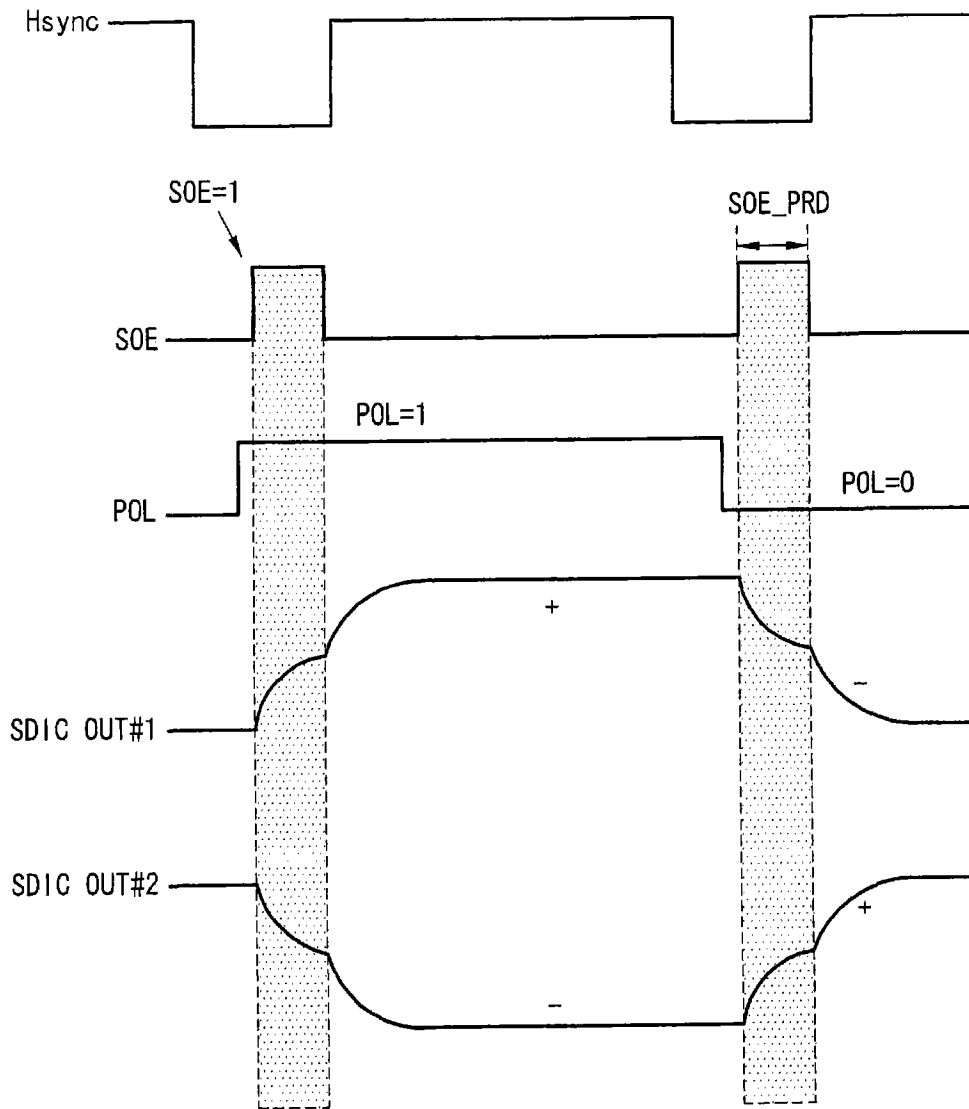


图 17

SOE_PRD<3:0>	SOE 高周期
0000	SCLK x 4
0001	SCLK x 8
0010	SCLK x 12
0011	SCLK x 16
0100	SCLK x 20
0101	SCLK x 24
0110	SCLK x 28
0111	SCLK x 32
1000	SCLK x 36
1001	SCLK x 40
1010	SCLK x 44
1011	SCLK x 48
1100	SCLK x 52
1101	SCLK x 56
1110	SCLK x 60
1111	SCLK x 64

图 18

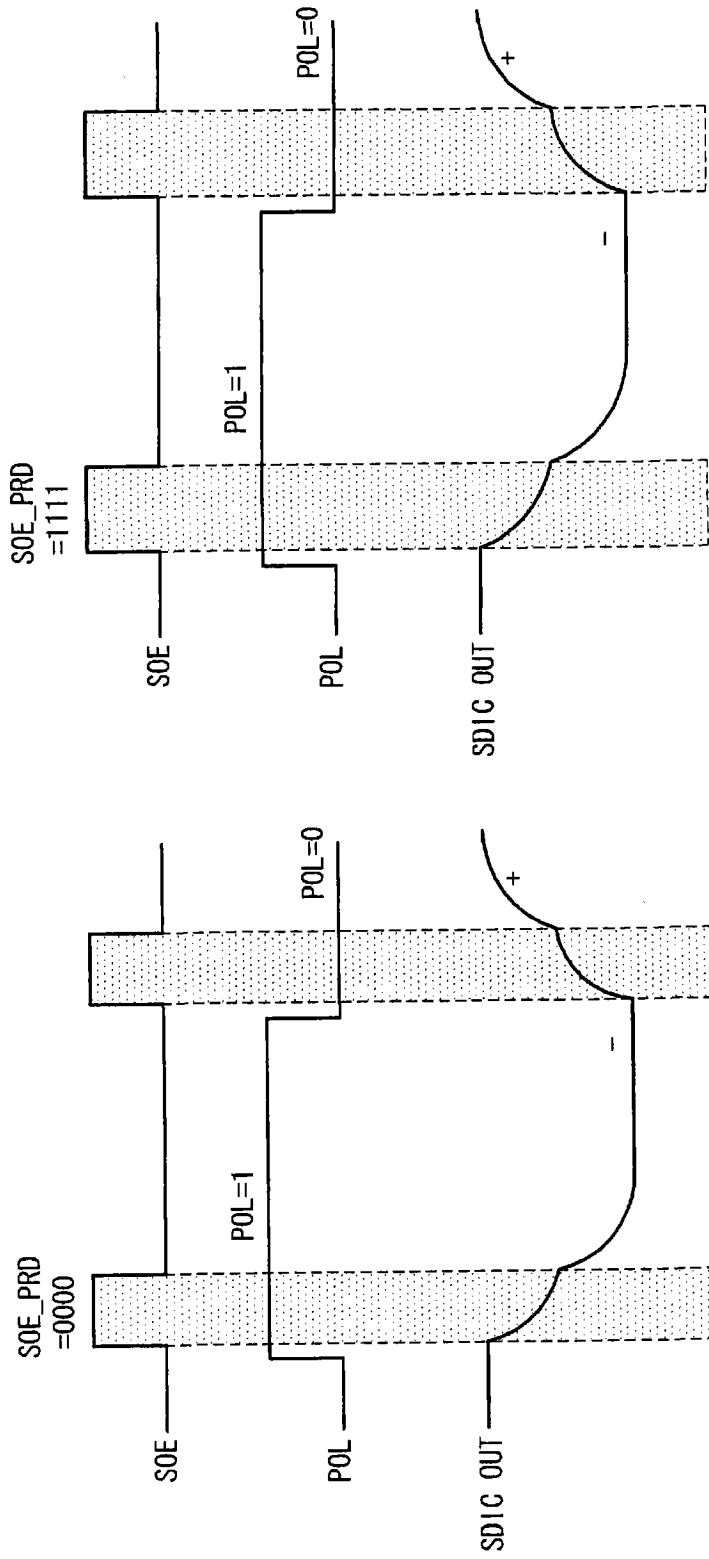


图 19

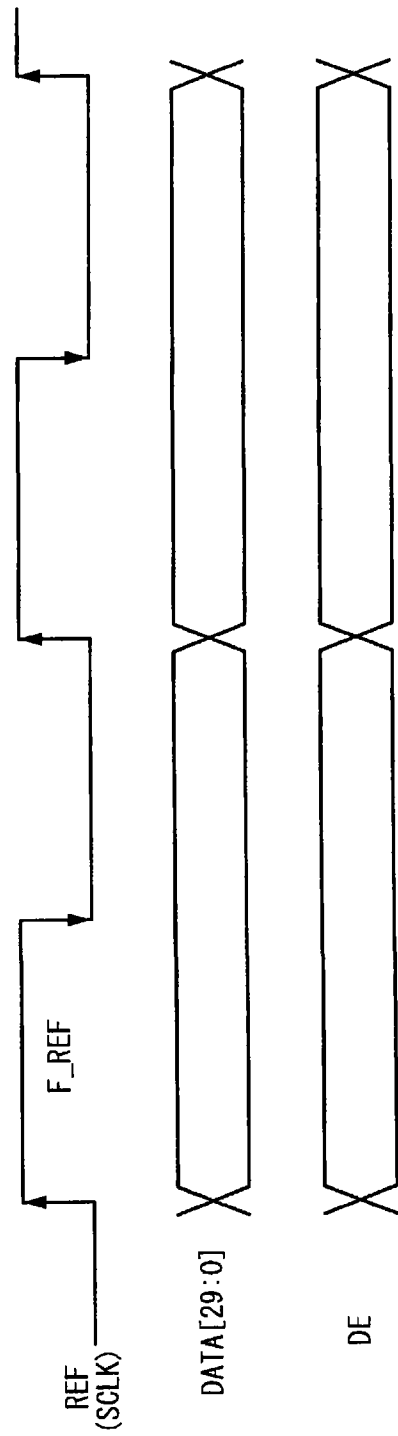
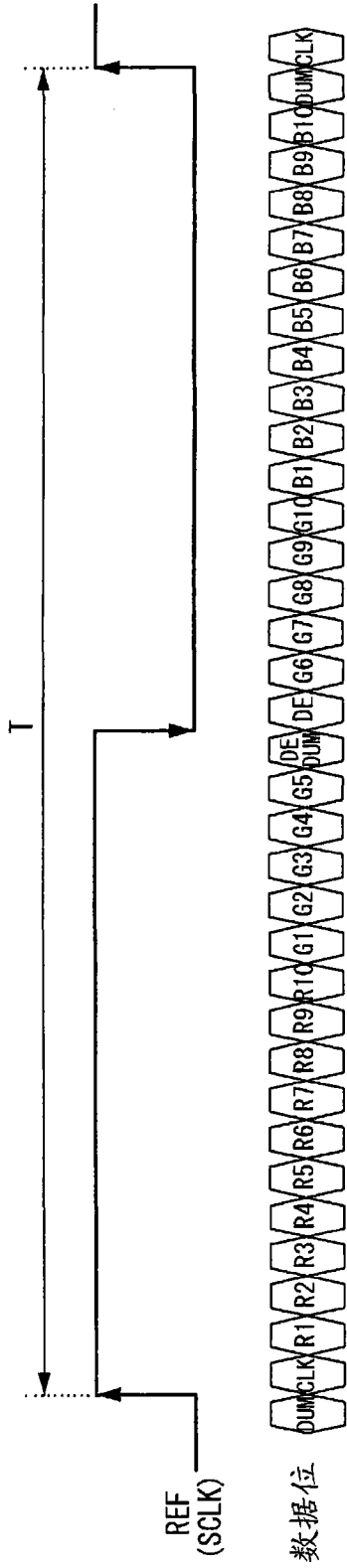


图 20



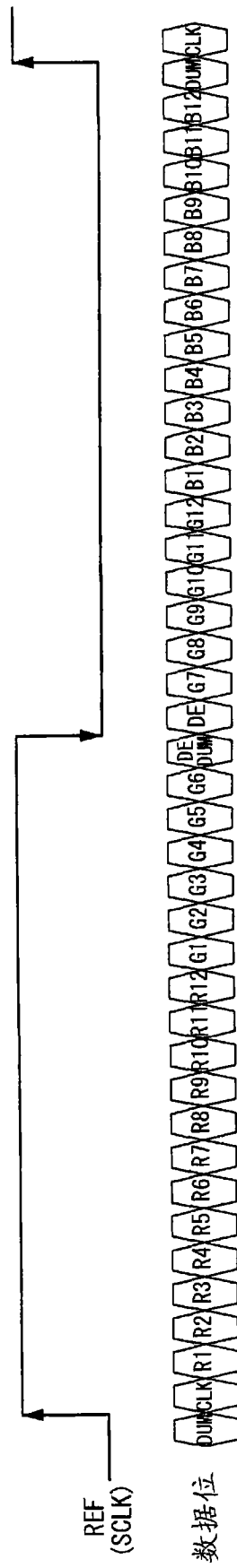


图 21D

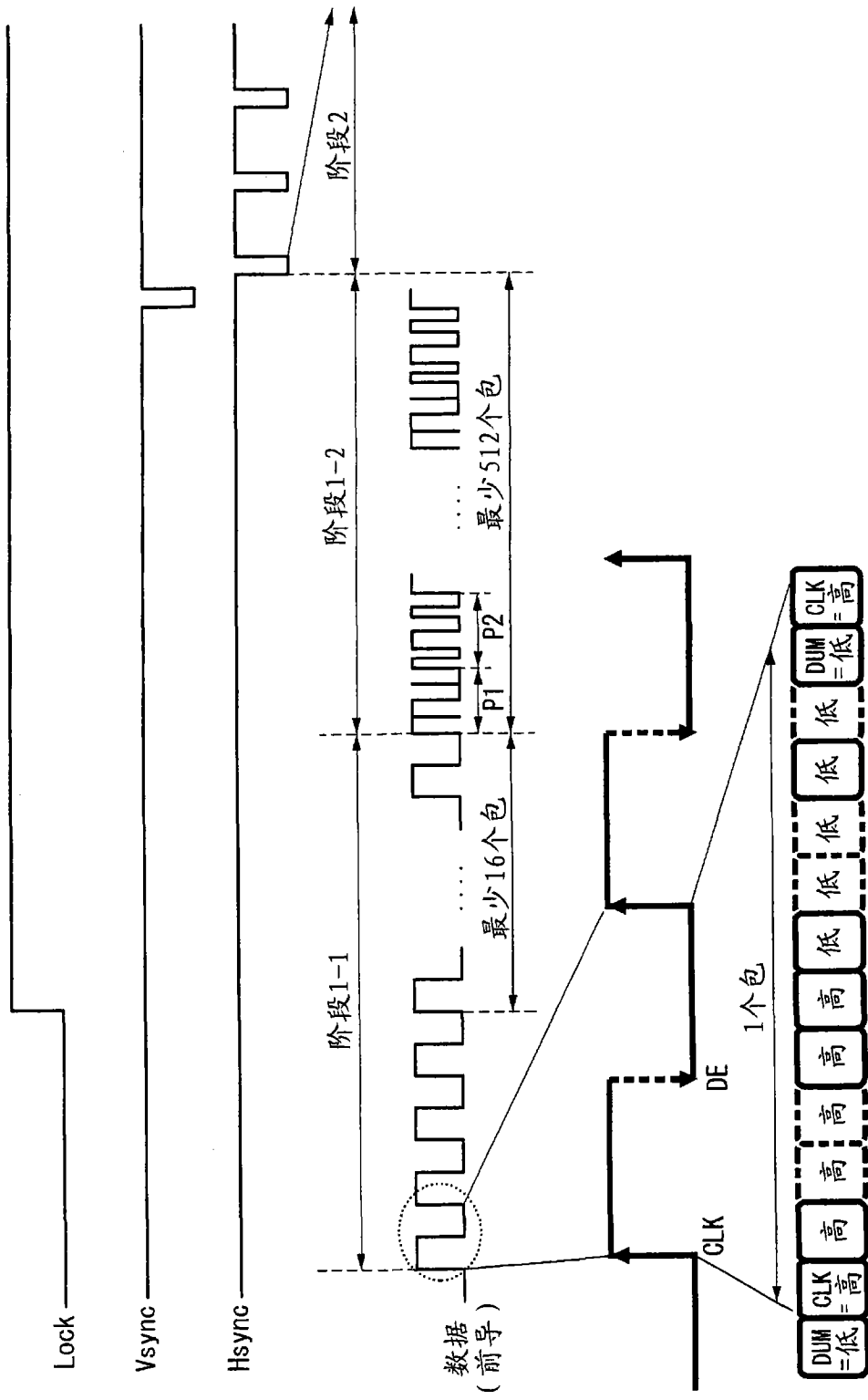


图 22

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	CN101751891A	公开(公告)日	2010-06-23
申请号	CN200910170954.6	申请日	2009-08-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	洪镇铁 姜弼盛 朴万奎 高勤雨		
发明人	洪镇铁 姜弼盛 朴万奎 高勤雨		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G3/3611 G09G2310/08 G09G3/006 G09G2300/0426		
代理人(译)	李辉		
优先权	1020080127456 2008-12-15 KR		
其他公开文献	CN101751891B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示器及其驱动方法。该液晶显示器包括：定时控制器；N个源驱动集成电路(IC)，其中N是等于或大于2的整数；N个数据总线对，其每一个以点对点的方式将所述定时控制器连接到所述N个源驱动IC中的每一个；锁定检查线，其将所述N个源驱动IC的第一源驱动IC连接到定时控制器，并且将所述N个源驱动IC彼此级联；以及反馈锁定检查线，其将所述N个源驱动IC的最后一个源驱动IC连接到所述定时控制器。

