

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)



[12] 发明专利说明书

专利号 ZL 02124340.9

[45] 授权公告日 2009 年 3 月 11 日

[11] 授权公告号 CN 100468505C

[22] 申请日 2002.6.19 [21] 申请号 02124340.9
[30] 优先权
[32] 2002. 1. 14 [33] KR [31] P2002 - 2090
[73] 专利权人 乐金显示有限公司
地址 韩国首尔
[72] 发明人 李锡雨 宋珍庆
[56] 参考文献
US6097362A 2000. 8. 1
US6268841B1 2001. 7. 31
US6268841 2001. 7. 31
WO01/31793A1 2001. 5. 3
US6097362 2000. 8. 1
审查员 杨 雪

[74] 专利代理机构 北京三友知识产权代理有限公司
代理人 李 辉

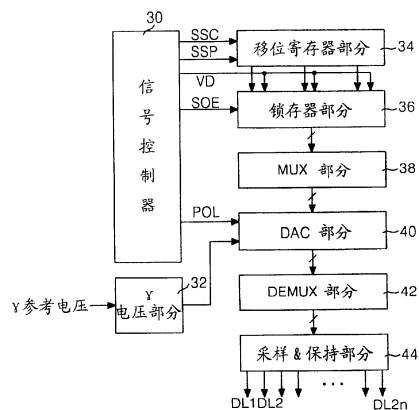
权利要求书 3 页 说明书 13 页 附图 8 页

[54] 发明名称

用于驱动液晶显示器的装置和方法

[57] 摘要

用于一个液晶显示器的一种数据驱动装置和方法，其中一个数模转换器部分在时分基础上被驱动以增加一个数据驱动 IC 的输出通道数目，同时与现有的芯片面积相比没有过分增加芯片面积或是减少芯片面积，由此减少了数据驱动 IC 和 TCP 的数目。在该装置中，一个多路复用器部分执行输入像素数据的时分以输出被时分了的像素数据。一个数模转换器部分把来自于多路复用器部分的像素数据转换为像素电压信号。一个多路分解器部分有选择地把来自于数模转换器部分的像素电压信号提供给该多路分解器部分的多条输出线。一个采样器和保持器部分采样并保持来自于多路分解器部分的像素电压信号，以输出被采样和保持的像素电压信号到液晶显示器的多条数据线上。



1.一种用于液晶显示器的数据驱动装置，包括：

移位寄存器部分，用于顺序地生成多个采样信号；

锁存器部分，用于响应于所述采样信号以一个单位顺序地锁存 $2n$ 个像素数据并且同时输出被锁存的 $2n$ 个像素数据，其中 n 是一个整数；

多路复用器部分，具有 $2n/3$ 个多路复用器，用于执行所述 $2n$ 个像素数据的 $2n/3$ 时分，其中所述多路复用器部分从所述锁存器部分同时输入所述 $2n$ 个像素数据并同时输出所述 $2n/3$ 个时分像素数据；

数模转换器部分，具有 $2n/3$ 个数模转换器，用于把所述 $2n/3$ 个时分像素数据同时转换成为 $2n/3$ 个像素电压信号，其中每个数模转换器包括一个用于把像素数据转换成为正电压信号的正部分；一个用于把像素数据转换为负电压信号的负部分；以及一个用于有选择地输出所述正电压信号和所述负电压信号的多路复用器；

多路分解器部分，具有 $2n/3$ 个多路分解器，用于有选择地把 $2n/3$ 个像素电压信号中的每一个提供给该多路分解器部分的 $2n$ 条输出线，其中所述多路分解器部分从所述数模转换器部分同时输入所述 $2n$ 个像素电压信号并同时输出所述 $2n$ 个像素电压信号到所述 $2n$ 条输出线中的 $2n/3$ 条输出线；

采样器和保持器部分，具有 $2n$ 个采样器和保持器，用于采样并保持来自于所述多路分解器部分的 $2n$ 个像素电压信号，以同时输出被采样和保持的 $2n$ 个像素电压信号；以及

缓冲器部分，用于缓冲来自于所述采样器和保持器部分的 $2n$ 个像素电压信号，以把被缓冲的像素电压信号同时输出到所述液晶显示器的 $2n$ 条数据线上，

其中，所述 $2n/3$ 个多路复用器中的每一个包括第一到第三开关器件，用于分别响应于第一到第三开关控制信号来执行三个像素数据的时分，以输出被时分的像素数据到所述 $2n/3$ 个数模转换器中的每一个，以及所述 $2n/3$ 个多路分解器中的每一个包括第四到第六开关器件，用于分别响应于第一到第三开关控制

信号，把来自于每个数模转换器的像素电压信号有选择地提供到三条输出线。

2.如权利要求1所述的数据驱动装置，其特征在于：所述采样器和保持器部分包括连接到多路分解器部分的至少 $2n$ 条输出线的至少 $2n$ 个采样器和保持器，其中每个采样器和保持器都包括：

第一和第二采样开关，它们并联连接到所述多路分解器部分的每条输出线上；

第一和第二电容器，它们用于装载经过该采样开关的像素电压信号；以及

第一和第二保持开关，它们用于保持在第一和第二电容器中装载的像素电压信号，并且把被保持的像素电压信号排放到液晶显示器的数据线中。

3.如权利要求2所述的数据驱动装置，其特征在于：响应于第一开关控制信号，驱动用于采样将在第一电容器中装载的像素电压信号的第一采样开关和用于保持并排出在第二电容器中装载的像素电压信号的第二保持开关，以及

响应于相对于第一开关控制信号具有一个反相逻辑状态的第二开关控制信号，驱动用于采样将在第二电容器中装载的像素电压信号的第二采样开关和用于保持并排出在第一电容器中装载的像素电压信号的第一保持开关。

4.一种用于液晶显示器的数据驱动方法，包括：

顺序地生成多个采样信号；

通过锁存器部分响应于该采样信号以一个单位顺序地锁存 $2n$ 个像素数据，然后同时输出被锁存的 $2n$ 个像素数据；

通过具有 $2n/3$ 个多路复用器的多路复用器部分，执行对所述 $2n$ 个像素数据的 $2n/3$ 时分，所述多路复用器部分从所述锁存器部分同时输入所述 $2n$ 个像素数据并同时输出所述 $2n/3$ 个时分像素数据；

通过一个具有 $2n/3$ 个数模转换器的数模转换器部分，把来自于所述多路复用器部分的、 $2n/3$ 个时分像素数据转换成为 $2n/3$ 个像素电压信号，其中每个数模转换器包括一个用于把像素数据转换成为正电压信号的正部分，一个用于把像素数据转换为负电压信号的负部分，以及一个用于有选择地输出所述正电压

信号和所述负电压信号的多路复用器;

通过一个具有 $2n/3$ 个多路分解器的多路分解器部分,有选择地把来自于数模转换器部分的 $2n/3$ 个像素电压信号提供到多路分解器部分的 $2n$ 条输出线上,其中所述多路分解器部分从所述数模转换器部分同时输入所述 $2n$ 个像素电压信号并同时输出所述 $2n$ 个像素电压信号到所述 $2n$ 条输出线中的 $2n/3$ 条输出线;

通过一个采样器和保持器部分采样并保持来自于所述多路分解器部分的 $2n$ 个像素电压信号,以同时输出被采样和保持的 $2n$ 个像素电压信号;以及

缓冲所述 $2n$ 个像素电压信号,以把被缓冲的像素电压信号同时输出到所述液晶显示器的 $2n$ 条数据线上,

其中,所述 $2n/3$ 个多路复用器中的每一个包括第一到第三开关器件,用于分别响应于第一到第三开关控制信号来执行三个像素数据的时分,以输出被时分的像素数据到所述 $2n/3$ 个数模转换器中的每一个,以及所述 $2n/3$ 个多路分解器中的每一个包括第四到第六开关器件,用于分别响应于第一到第三开关控制信号,把来自于每个数模转换器部分的像素电压信号有选择地提供到三条输出线。

5.如权利要求4所述的数据驱动方法,其特征在于:所述采样器和保持器部分具有至少一个包括第一和第二采样开关、第一和第二电容器、以及第一和第二保持开关的采样器和保持器。

6.如权利要求5所述的数据驱动方法,其特征在于:采样并保持像素电压信号包括:允许第一采样开关采样来自于多路分解器部分的将在一个水平时段在第一电容器中装载的像素电压信号,同时,允许第二保持开关把在前一水平时段在第二电容器中装载的像素电压信号排放到一条相应的数据线中,以及

允许第二采样开关采样来自于多路分解器部分的将在第二电容器中被装载的像素电压信号,同时,允许第一保持开关把在前一水平时段在第一电容器中装载的像素电压信号排放到一条相应的数据线中。

用于驱动液晶显示器的装置和方法

发明领域

本发明涉及一种液晶显示器,而且尤其涉及一种用于驱动一个液晶显示器的装置和方法。尽管本发明适于一个宽的应用范围,但是它尤其适于减少数模转换器集成电路和数据载体封装的数目。

相关技术讨论

通常,一个液晶显示器(LCD)在显示一幅图像过程中通过使用一个电场来控制液晶体的透光率。为此,LCD包括:一个液晶显示板,具有以一个矩阵形式布置的液晶元件;以及一个驱动电路,用于驱动液晶显示板。

在液晶显示板中,多条选通线和数据线用彼此交叉的方式布置。液晶元件位于选通线与数据线交叉的每个区域处。液晶显示板具有一像素电极和一公共电极,以施加一个电场到每一个液晶元件上。每一个像素电极通过作为开关器件的一个薄膜晶体管的源和漏极连接到一条数据线上。薄膜晶体管的栅极与一条选通线相连以允许一个像素电压信号被施加到用于每条线的像素电极上。

驱动电路包括一个用于驱动选通线的选通驱动器、一个用于驱动数据线的数据驱动器、和一个用于驱动公共电极的公共电压发生器。选通驱动器顺序地施加一个扫描信号到选通线上以顺序地逐行驱动液晶显示板上的液晶元件。每当选通信号被施加到一条选通线上时,数据驱动器施加一个数据电压信号到每一条数据线上。公共电压发生器施加一个公共电压信号到公共电极上。因此,LCD根据数据电压信号通过在像素电极和公共电极之间施加的一个电场为每个液晶元件控制透光率,由此显示一幅画面。数据驱动器和选通驱动器被集成到多个集成电路(IC)中。集成的数据驱动器IC和选通驱动器IC被安装在通过一个

带式自动键合 (TAB) 系统连接到液晶显示板的一个载带封装 (TCP) 上, 或是通过玻板基芯片 (COG) 系统被安装在液晶显示板上。

图 1 示意地显示在一个传统的 LCD 中的一个数据驱动装置。

参见图 1, 数据驱动装置包括通过 TCP 6 连接到一个液晶显示板 2 的数据驱动 IC 4, 和一个通过 TCP 6 连接到数据驱动 IC 4 的数据印刷电路板 (PCB) 8。

数据 PCB 8 的作用是从一个定时控制器 (未显示) 接收各个控制信号、从一个发电机 (power generator) (未显示) 接收数据信号和驱动电压信号并连接数据驱动 IC 4。每一个 TCP 6 被电连接到在液晶显示板 2 的上部提供的一个数据焊盘和在每个数据 PCB 8 处提供的一个输出焊盘。数据驱动 IC 4 把数字像素数据转换成模拟像素信号以提供给在液晶显示板 2 上的数据线。

为此, 如图 2 所示, 每一个数据驱动 IC 4 包括: 一个移位寄存器部分 14, 用于施加一个顺序采样信号; 一个锁存器部分 16, 用于响应于该顺序采样信号顺序地锁存一个像素数据 VD, 并且同时输出被锁存了的像素数据 VD; 一个数模转换器 (DAC) 18, 用于把来自于锁存器部分 16 的锁存像素数据 VD 转换为一个像素信号; 以及一个输出缓冲部分 26, 用于缓冲和输出来自于 DAC 18 的像素信号。此外, 数据驱动 IC 4 包括: 一个信号控制器 10, 用于连接来自于一个定时控制器 (未显示) 的各个控制信号和像素数据 VD; 以及一个 γ 电压部分 12, 用于提供在 DAC 18 中所需的正的和负的 γ 电压。具有如上所述的一个配置的每个数据驱动 IC 4 驱动 n 条数据线 D1 到 Dn。

信号控制器 10 控制到相应部分的各个控制信号 (即, SSP、SSC、SOE、REV、和 POL、等) 和像素数据 VD 输出。另外, γ 电压部分 12 为每个灰度级划分并且输出从一个 γ 参考电压发生器 (未显示) 生成的多个 γ 参考电压。

包括在移位寄存器部分 14 内的 $n/6$ 移位寄存器响应于一个源采样时钟信号 SSC, 顺序地移位一个来自于信号控制器 10 的源起动脉冲 SSP 以作为一个采样信号输出。锁存器部分 16 响应于来自于移位寄存器部分 14 的采样信号, 以某一单位顺序地采样并且锁存来自于信号控制器 10 的像素数据 VD。为此, 锁存

器部分 16 包括 n 个锁存器用于锁存 n 个像素数据 VD ，其中每个锁存器具有一个对应于像素数据 VD 的位数（即，3 位或 6 位）的大小。特别地，定时控制器（未显示）同时通过每条传输线输出被分为偶数像素数据 $VDeven$ 和奇数像素数据 $VDodd$ 的像素数据 VD ，以便降低传输频率。每一个偶数数据 $VDeven$ 和奇数数据 $VDodd$ 包括红（R）、绿（G）、和蓝（B）像素数据。因此，锁存器部分 16 同时锁存通过信号控制器 10 施加的偶数像素数据 $VDeven$ 和奇数像素数据 $VDodd$ ，即用于每个采样信号的 6 个像素数据。

随后，锁存器部分 16 响应于一个来自于信号控制器 10 的源输出使能信号 SOE 同时输出 n 个像素数据 VD 。在这种情况下，锁存器部分 16 响应于一个数据反转选择信号 REV 恢复被调制为具有一个减少了的转变位数的像素数据 VD ，然后输出被恢复的、具有一个减少了的转变位数的像素数据 VD 。这是由于提供了具有一个大于参考值的转变位数的像素数据 VD ，从而使它被调制为具有一个减少了的转变位数，以便最小化在来自定时控制器的数据传输上的电磁干扰（EMI）。

DAC 18 把来自于锁存器部分 16 的像素数据 VD 同时转换成为正的和负的像素信号，并且输出被转换了的像素数据 VD 。为此，DAC 18 包括共同连接到锁存器部分 16 的一个正的（P）解码部分 20 和一个负的（N）解码部分 22，和一个用于选择 P 和 N 解码部分 20 和 22 的输出信号的多路复用器（MUX）24。

在 P 解码部分 20 中有 n 个 P 解码器，该 P 解码部分 20 通过使用来自于 γ 电压部分 12 的正 γ 电压，把从锁存器部分 16 输入的 n 个像素数据同时转换成为正的像素信号。类似地，具有 n 个 N 解码器的 N 解码部分 22 通过使用来自于 γ 电压部分 12 的负 γ 电压，把从锁存器部分 16 输入的 n 个像素数据同时转换成为负的像素信号。多路复用器 24 对来自于信号控制器 10 的一个极性控制信号 POL 做出响应，以有选择地输出来自于 P 解码部分 20 的正像素信号或是来自于 N 解码部分 22 的负像素信号。

具有 n 个输出缓冲器的输出缓冲部分 26 包括串联连接到 n 条数据线 $D1$ 到

Dn 的电压输出跟随器。这种输出缓冲器执行对来自于 DAC 18 的像素电压信号的缓冲, 并且提供给数据线 D1 到 Dn。

图 3 说明了在如图 2 所示的数据驱动 IC 4 内的一部分像素数据的一条传输路径。

在图 3 中, 锁存器部分 17 中的锁存器 17 输出 9 个像素数据到构成 DAC 部分 18 的 9 个 DAC 19, 以把像素数据转换成为像素电压信号。像素电压信号通过输出缓冲器部分 26 的缓冲器 27 被施加到第一到第九条数据线 DL1 到 DL9 上。

如上所述, 每一个传统的数据驱动 IC 4 应该具有 n 个 DAC, 其中每个 DAC 包括一个 P 解码器、一个 N 解码器和一个多路复用器, 以便驱动 n 条数据线 DL1 到 DLn。因此, 数据驱动 IC 具有一个导致相对高制造成本的复杂配置。因此, 必须减少数据驱动 IC 的数目以便降低制造成本。

为了减少数据驱动 IC 的数目, 已经考虑了一个增加能够由数据驱动 IC 驱动的数据线数目、即输出通道数目的方案。然而, 由于具有一个复杂配置的 DAC 的数目依据在数据驱动 IC 的驱动通道数目的增加而被增加, 扩大了芯片面积, 使得该芯片面积成比例的 TCP 的成本增加了, 而且它们的集成变得困难了。因此, 制造成本增加了, 而且产量很可能降低了。

发明概述

因此, 本发明旨在提供一种用于驱动一个液晶显示器的装置和方法, 它实质上排除了由于相关技术的局限性和缺点而导致的一个或多个问题。

本发明的另一个目的是提供一种用于驱动一个液晶显示器的装置和方法, 其中一个数模转换器部分在时分 (time-division) 的基础上被驱动以增加数据驱动 IC 的输出通道数目, 同时与现有的芯片面积相比该芯片面积没有被大大增加或降低, 由此减少了数据驱动 IC 和 TCP 的数目。

本发明另外的特征和优点将在随后的描述中进行阐述, 而且在某种程度上来说, 这些从该描述中是很显然的, 或是可以通过本发明的实践得知。本发明的

目的及其它优点将通过在所撰写的说明书和权利要求以及附图中特别指出的结构得到实现和完成。

为了实现这些及其它优点，并依据本发明的目的，如所实施的和概括描述的那样，用于一个液晶显示器的一种数据驱动装置包括：移位寄存器部分，用于顺序地生成多个采样信号；锁存器部分，用于响应于所述采样信号以一个单位顺序地锁存 $2n$ 个像素数据并且同时输出被锁存的 $2n$ 个像素数据，其中 n 是一个整数；多路复用器部分，具有 $2n/3$ 个多路复用器，用于执行所述 $2n$ 个像素数据的 $2n/3$ 时分，其中所述多路复用器部分从所述锁存器部分同时输入所述 $2n$ 个像素数据并同时输出所述 $2n/3$ 个时分像素数据；数模转换器部分，具有 $2n/3$ 个数模转换器，用于把所述 $2n/3$ 个时分像素数据同时转换成为 $2n/3$ 个像素电压信号，其中每个数模转换器包括一个用于把像素数据转换成为正电压信号的正部分；一个用于把像素数据转换为负电压信号的负部分；以及一个用于有选择地输出所述正电压信号和所述负电压信号的多路复用器；多路分解器部分，具有 $2n/3$ 个多路分解器，用于有选择地把 $2n/3$ 个像素电压信号中的每一个提供给该多路分解器部分的 $2n$ 条输出线，其中所述多路分解器部分从所述数模转换器部分同时输入所述 $2n$ 个像素电压信号并同时输出所述 $2n$ 个像素电压信号到所述 $2n$ 条输出线中的 $2n/3$ 条输出线；采样器和保持器部分，具有 $2n$ 个采样器和保持器，用于采样并保持来自于所述多路分解器部分的 $2n$ 个像素电压信号，以同时输出被采样和保持的 $2n$ 个像素电压信号；以及缓冲器部分，用于缓冲来自于所述采样器和保持器部分的 $2n$ 个像素电压信号，以把被缓冲的像素电压信号同时输出到所述液晶显示器的 $2n$ 条数据线上，其中，所述 $2n/3$ 个多路复用器中的每一个包括第一到第三开关器件，用于分别响应于第一到第三开关控制信号来执行三个像素数据的时分，以输出被时分的像素数据到所述 $2n/3$ 个数模转换器中的每一个，以及所述 $2n/3$ 个多路分解器中的每一个包括第四到第六开关器件，用于分别响应于第一到第三开关控制信号，把来自于每个数模转换器的像素电压信号有选择地提供到三条输出线。

采样器和保持器部分包括连接到多路分解器部分的至少 $2n$ 条输出线的至少 $2n$ 个采样器和保持器，其中每个都包括：并联连接到多路分解器部分的每条输出线上的第一和第二采样开关；第一和第二电容器，用于装载经过该采样开关的像素电压信号；以及第一和第二保持开关，用于保持在第一和第二电容器中装载的像素电压信号，并且把被保持的像素电压信号排出到数据线中。

响应于第一开关控制信号，驱动用于采样将在第一电容器中装载的像素电压信号的第一采样开关，和用于保持并排出在第二电容器中装载的像素电压信号的第二保持开关，并且，响应于相对于第一开关控制信号具有一个反相逻辑状态的第二开关控制信号，驱动用于采样将在第二电容器中装载的像素电压信号的第二采样开关，和用于保持并排出在第一电容器中装载的像素电压信号的第一保持开关。

在本发明的另一个方面，用于一个液晶显示器的一种数据驱动方法包括：顺序地生成多个采样信号；通过锁存器部分响应于该采样信号以一个单位顺序地锁存 $2n$ 个像素数据，然后同时输出被锁存的 $2n$ 个像素数据；通过具有 $2n/3$ 个多路复用器的多路复用器部分，执行对所述 $2n$ 个像素数据的 $2n/3$ 时分，所述多路复用器部分从所述锁存器部分同时输入所述 $2n$ 个像素数据并同时输出所述 $2n/3$ 个时分像素数据；通过一个具有 $2n/3$ 个数模转换器的数模转换器部分，把来自于所述多路复用器部分的、 $2n/3$ 个时分像素数据转换成为 $2n/3$ 个像素电压信号，其中每个数模转换器包括一个用于把像素数据转换成为正电压信号的正部分，一个用于把像素数据转换为负电压信号的负部分，以及一个用于有选择地输出所述正电压信号和所述负电压信号的多路复用器；通过一个具有 $2n/3$ 个多路分解器的多路分解器部分，有选择地把来自于数模转换器部分的 $2n/3$ 个像素电压信号提供到多路分解器部分的 $2n$ 条输出线上，其中所述多路分解器部分从所述数模转换器部分同时输入所述 $2n$ 个像素电压信号并同时输出所述 $2n$ 个像素电压信号到所述 $2n$ 条输出线中的 $2n/3$ 条输出线；通过一个采样器和保持器部分采样并保持来自于所述多路分解器部分的 $2n$ 个像素电压信号，以同时输出

被采样和保持的 $2n$ 个像素电压信号；以及缓冲所述 $2n$ 个像素电压信号，以把被缓冲的像素电压信号同时输出到所述液晶显示器的 $2n$ 条数据线上，其中，所述 $2n/3$ 个多路复用器中的每一个包括第一到第三开关器件，用于分别响应于第一到第三开关控制信号来执行三个像素数据的时分，以输出被时分的像素数据到所述 $2n/3$ 个数模转换器中的每一个，以及所述 $2n/3$ 个多路分解器中的每一个包括第四到第六开关器件，用于分别响应于第一到第三开关控制信号，把来自于每个数模转换器部分的像素电压信号有选择地提供到三条输出线。

在此，采样器和保持器部分具有至少一个包括第一和第二采样开关、第一和第二电容器、以及第一和第二保持开关的采样器和保持器。

采样及保持像素电压信号包括：允许第一采样开关采样来自于多路分解器部分的、将在一个水平时段在第一电容器中装载的像素电压信号，同时，允许第二保持开关把在前一水平时段在第二电容器中装载的像素电压信号排放到相应的数据线中，并且允许第二采样开关采样来自于多路分解器部分的、将在第二电容器中装载的像素电压信号，同时，允许第一保持开关把在前一水平时段在第一电容器中装载的像素电压信号排放到相应的数据线中。

应当理解，上述一般说明及下列的详细说明都是示范性的和说明性的，而且被用来提供对如权利要求所述的本发明的进一步说明。

附图简要说明

被包括在内以提供对本发明的进一步理解、并且被结合进来构成这个申请一部分的附图，和用来说明本发明原理的说明书一起说明了本发明中的实施例。

在附图中：

图 1 是一个示意图，显示了一个传统的液晶显示器中的一个数据驱动装置；

图 2 是一个详细的方框图，显示了在图 1 中的数据驱动集成电路的配置；

图 3 说明了在如图 2 所示的数据驱动集成电路内的一部分数据的一条传输路径；

图 4 是一个方框图,显示了依据本发明的一个液晶显示器的一个数据驱动集成电路的配置;

图 5 说明了在如图 4 所示的数据驱动集成电路内的一部分数据的一条传输路径;

图 6 说明了具有如图 5 所示的采样器和保持器详细配置的数据的一条传输路径;

图 7 是一个用于控制如图 6 中所示的开关的开关控制信号的波形图; 以及

图 8 是一个示意图,显示了包括依据本发明的数据驱动集成电路的一个液晶显示器中的一个数据驱动装置的配置。

实施例的详细描述

下面将结合本发明中举例说明的实施例进行详细说明,其中的例子在附图中进行了图解说明。只要可能,在所有附图中将使用同样的附图标记以指向同样的或相似的部分。

图 4 是一个方框图,显示了依据本发明的一个液晶显示器中的一个数据驱动装置的配置。

参见图 4,数据驱动装置包括: 一个移位寄存器部分 34,用于施加顺序的采样信号; 一个锁存器部分 36,用于响应于该采样信号顺序地锁存像素数据 VD,并且同时输出被锁存的像素数据; 一个多路复用器部分 38,用于执行对来自于锁存器部分 36 的像素数据 VD 的时分; 一个数模转换器(DAC)部分 40,用于把来自于多路复用器部分 38 的像素数据 VD 转换为像素电压信号; 一个多路分解器部分 42,用于执行对输出线的时分驱动以施加来自于 DAC 部分 40 的像素电压信号; 以及,一个采样及保持部分 44,用于采样及保持从多路分解器部分 38 输入的像素电压信号以同时提供给数据线 DL1 到 DL2n。此外,数据驱动装置包括: 一个信号控制器 30,用于连接从一个定时控制器(未显示)中生成的各个控制信号和像素数据 VD; 以及一个 γ 电压部分 32,用于提供正的和负

的 γ 电压到 DAC 部分 40。具有如上所述的一个配置的数据驱动装置可以被集成到单个数据驱动 IC 中以驱动 $2n$ 条数据线 DL1 到 DL $2n$ ，它们是能够由传统数据驱动 IC 驱动的数据线的两倍。

信号控制器 30 控制各个控制信号（即，SSP、SSC、SOE、REV、和 POL 等）和像素数据 VD 以提供给相应部分。此外， γ 电压部分 32 为每个灰度级划分从一个 γ 参考电压发生器（未显示）生成的多个 γ 参考电压，然后输出被划分的 γ 参考电压。

包括在移位寄存器部分 34 内的多个移位寄存器响应于一个源采样时钟信号 SSC，顺序地移位一个从信号控制器 30 生成的源起动脉冲 SSP 以作为一个采样信号输出。

锁存器部分 36 响应于来自于移位寄存器部分 34 的采样信号，以某一单位顺序地采样从信号控制器 30 中输出的像素数据 VD 以锁存被采样的像素数据。为此，如图 5 所示，锁存器部分 36 包括 $2n$ 个锁存器 46，用于锁存 $2n$ 个像素数据 VD，其中每个锁存器 46 都具有对应于像素数据 VD 的位数（即，3 位或 6 位）的大小。锁存器部分 36 同时锁存通过信号控制器 30 施加的偶数像素数据 VDeven 和奇数像素数据 VDodd，即用于每个采样信号的 6 个像素数据。随后，锁存器部分 36 响应于一个来自于信号控制器 30 的源输出使能信号 SOE 同时输出被锁存的 $2n$ 个像素数据 VD。在这种情况下，锁存器部分 36 响应于一个数据反转选择信号 REV 恢复被调制为具有一个减少了的转变位数的像素数据 VD，然后输出被恢复的、具有一个减少了的转变位数的像素数据 VD。

多路复用器部分 38 执行从锁存器部分 36 输入的 $2n$ 个像素数据的时分以输出被时分了的像素数据。当 $2n$ 个像素数据被时分为三个区域时，多路复用器部分 38 包括连接到每三个锁存器 46 的 $2n/3$ 个多路复用器 48，如图 5 所示。每个多路复用器 48 执行对从每三个锁存器 46 输入的像素数据的时分，以顺序地提供给一条输出线。换句话说，多路复用器部分 36 执行对从锁存器部分 36 输入的 $2n$ 个像素数据的一个 $2n/3$ 时分以输出被时分了的像素数据到 DAC 部分 40。

DAC 部分 40 把来自于多路复用器部分 38 的像素数据 VD 转换成为正的和负的像素电压信号，并且响应于一个极性控制信号 POL 有选择地输出正的和负的像素电压信号。为此，DAC 部分 40 包括 $2n/3$ 个 DAC 50，它们与多路复用器 48 具有相同的数目，如图 5 所示。每一个 DAC 50 包括共同连接到多路复用器 48 的一个正 (P) 解码器和一个负 (N) 解码器，和一个用于选择 P 和 N 解码器的输出信号的多路复用器。P 解码器通过使用从 γ 电压部分 34 中生成的正 γ 电压把像素数据转换成为正的像素电压信号。N 解码器通过使用从 γ 电压部分 34 中生成的负 γ 电压把像素数据转换成为负的像素电压信号。多路复用器对来自于信号控制器 32 的极性控制信号 POL 做出响应以有选择地输出正像素电压信号或负像素电压信号。

多路分解器部分 42 执行输出线的时分驱动以有选择地施加来自于 DAC 部分 40 的像素电压信号。为此，多路分解器部分 42 包括 $2n/3$ 个多路分解器，它们与 DAC 50 具有相同的数目，如图 5 所示。每一个多路分解器 52 执行对三条输出线的时分驱动以有选择地施加来自于 DAC 50 的像素电压信号。换句话说，多路分解器部分 42 通过不同的输出线顺序地把从 DAC 部分 40 中输入的每 $2n/3$ 个像素电压信号输出到采样器和保持器部分 44。

采样器和保持器部分 44 采样并保持来自于多路分解器部分 42 的像素电压信号，然后同时输出到数据线 DL1 到 DL2n。为此，采样器和保持器部分 44 包括 $2n$ 个采样器和保持器 54，它们与数据线 DL1 到 DL2n 具有相同的数目，如图 5 所示。每一个采样器和保持器 54 都采样并保持从多路分解器 52 输入的具有一个时间差的像素电压信号，然后同时输出到数据线 DL1 到 DL2n。换句话说，采样器和保持器部分 44 采样并保持从多路分解器部分 42 输入的每 $2n/3$ 个像素电压信号，而且如果所有 $2n$ 个像素电压信号已经被采样了，则同时输出这些像素电压信号到第一到第 $2n$ 条数据线 DL1 到 DL2n。

图 6 说明了在如图 5 所示的数据驱动 IC 内的三个红 (R)、绿 (G)、和蓝 (B) 像素数据的一条传输路径。图 7 是一个用于控制如图 6 中所示的每个部分的驱

动的控制信号的波形图。

在图 6 中，三个锁存器 46 中的每一个对通过如图 4 所示的信号控制器 30 从定时控制器（未显示）中输入的一个输出使能信号 SOE 做出响应，以输出 R、G、和 B 像素数据到多路复用器 48。输出使能信号 SOE 在每个水平时段 1H 被施加到各个锁存器 46，如图 7 所示。

多路复用器 48 执行从三个锁存器 46 中输入的 R、G、和 B 像素数据的时分以顺序地提供被时分的像素数据到单个 DAC 50。为此，多路复用器 48 包括第一到第三开关 56、58、和 60，其中每个开关都具有一条连接到三个锁存器 46 中每一个的输入线，和一条共同连接到 DAC 50 的输出线。第一到第三开关 56、58、和 60 对从定时控制器中通过信号控制器 30 输入的第一到第三开关控制信号 SW1、SW2、和 SW3 做出响应，以输出来自于锁存器 46 的像素数据。例如，第一到第三开关 56、58、和 60 对如图 7 所示顺序使能的第一到第三开关控制信号 SW1、SW2、和 SW3 做出响应，以顺序地输出从锁存器 46 中输入的 R、G、和 B 像素数据到 DAC 50。

DAC 50 把从多路复用器 48 中顺序输入的 R、G、和 B 像素数据转换为 R、G、和 B 像素电压信号以输出被转换的像素数据到多路分解器 52。

多路分解器 52 通过不同的输出线把从 DAC 50 中顺序输入的 R、G、和 B 像素电压信号输出到三个采样器和保持器 54 中的每一个。为此，多路分解器 52 包括第四到第六开关 62、64、和 66，其中每个开关都具有一条共同连接到 DAC 50 的一条输出线的输入线，和一条连接到三个采样器和保持器 54 中每一个的输出线。第四到第六开关 62、64、和 66 对从定时控制器中通过信号控制器 30 输入的第一到第三开关控制信号 SW1、SW2、和 SW3 做出响应，以通过不同的输出线输出来自于 DAC 50 的像素数据。在这种情况下，多路分解器 52 与多路复用器 48 类似，使用第一到第三开关控制信号 SW1、SW2、和 SW3。例如，第四到第六开关 62、64、和 66 对如图 7 所示顺序使能的第一到第三开关控制信号 SW1、SW2、和 SW3 做出响应，以分别施加从 DAC 50 中顺序输入的 R、G、

和 B 像素电压信号到三个采样器和保持器 54。

三个采样器和保持器 54 采样并保持从多路分解器 52 中顺序输入的 R、G、和 B 像素电压信号,然后同时输出到第一到第三条数据线 DL1 到 DL3 中的每一条。为此,采样器和保持器 54 包括:第七和第八开关 68 和 70,其中每个开关都有一条输入线共同连接到多路分解器 52 的一条输出线上;第一和第二电容器 Ca 和 Cb,分别连接到第七和第八开关 68 和 70 的输出线上;以及,第九和第十开关 72 和 74,其中每个开关都有一条输入线连接到第七和第八开关 68 和 70 的每条输出线上,而且有一条输出线共同连接到数据线 DL 中的一条上。此外,采样器和保持器 54 包括一个缓冲器 76,连接在第九和第十开关 72 和 74 的输出线与数据线 DL 之间。

位于一个对角线方向上的第七和第十开关 68 和 74 对同一个第四开关控制信号 SW4 做出响应,而第八和第九开关 70 和 72 对第五开关控制信号 SW5 做出响应,其中该第五开关控制信号 SW5 具有一个与第四开关控制信号 SW4 相反的逻辑状态。第四和第五开关控制信号 SW4 和 SW5 从定时控制器中通过信号控制器 30 被施加,这与其它控制信号类似。第一和第二电容器 Ca 和 Cb 在彼此不同(即在时间基础上彼此相邻)的水平线上装载数据。

例如,在一个水平时段,响应于如图 7 所示具有高状态的第四开关控制信号 SW4,接通第七和第十开关 68 和 74。因此,从多路分解器 52 中施加的像素电压信号借助于被接通的第七开关 68 被采样,并且在第一电容器 Ca 中被装载和保持。同时,在前一水平时段在第二电容器 Cb 中被装载的像素电压信号通过接通的第十开关 74 和缓冲器 76,被施加到相应的数据线 DL 上。

在下一个水平时段,响应于如图 7 所示具有高状态的第五开关控制信号 SW5,接通第八和第九开关 70 和 72。因此,从多路分解器 52 中施加的像素电压信号借助于接通的第八开关 70 被采样,并且在第二电容器 Cb 中被装载和保持。同时,在前一个水平时段,在第一电容器 Ca 中已经被装载的像素电压信号通过接通的第九开关 72 和缓冲器 76 被施加到相应的数据线 DL 上。

如上所述, 采样器和保持器 54 包括: 一对第七和第八开关 68 和 70, 用于采样像素电压信号; 一对第一和第二电容器 Ca 和 Cb, 用于装载像素电压信号; 以及一对第九和第十开关 72 和 74, 用于交替地保持将被驱动的像素电压信号, 由此防止由这种采样和保持操作所引起的信号延迟。

如上所述, 在依据本发明的数据驱动 IC 中, DAC 的数目通过 DAC 部分的时分驱动被减少为至少 $1/3$, 由此减少了在 IC 内由 DAC 部分占用的空间。因此, 由数据驱动 IC 驱动的数据线的数目被增加了。换句话说, 输出通道的数目变成了先前已知设备的两倍, 同时与现有的芯片面积相比, 芯片面积没有被大大增加或减少。因此, 数据驱动 IC 和安装有 IC 的 TCP 的数目可以被减少为 $1/2$ 。

更具体地说, 具有两倍的传统设备输出通道的数据驱动 IC 82 被安装在 TCP 84 上, 并且被连接到一个液晶显示板 80 上, 如图 8 所示。

例如, 为了用一个 SXGA (1280×1024) 模式驱动液晶显示板 80, 传统的设备需要 10 个数据驱动 IC, 其中每个数据驱动 IC 都具有 384 个通道, 而本发明仅仅需要 5 个数据驱动 IC 82, 它是传统设备的 $1/2$, 这是由于可以得到 768 个通道而不必扩大芯片面积。因此, 与传统的设备相比, 数据驱动 IC 82 和 TCP 84 的数目被减少为至少 $1/2$, 由此降低了制造成本。

如上所述, 依据本发明, DAC 部分在时分基础上被驱动以把数据驱动 IC 的通道数增加到传统设备的两倍, 而不必大大地扩大芯片面积或减少芯片面积。因此, 与传统的设备相比, 数据驱动 IC 的通道数被增加了, 而且数据驱动 IC 和 TCP 的数目被减少为 $1/2$, 由此降低了制造成本。

对本领域技术人员来说, 显然在本发明的用于驱动一个液晶显示器的装置和方法中能够进行各种修改和变化, 而没有背离本发明的精神或范围。因此, 假如对这个发明的修改和变化属于附加权利要求和它们等效含义的范围之内, 则本发明涵盖这些修改和变化。

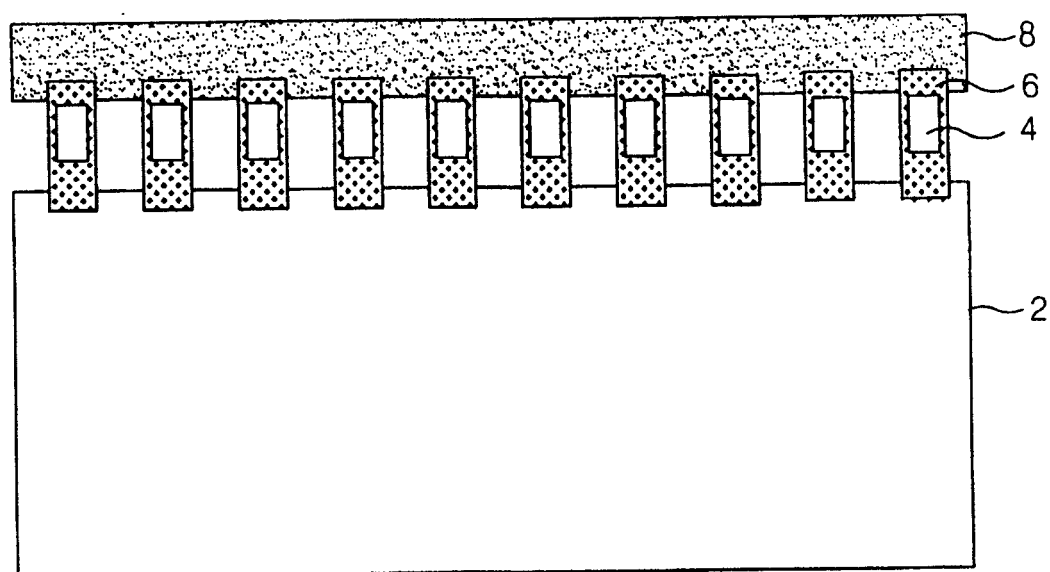


图 1
现有技术

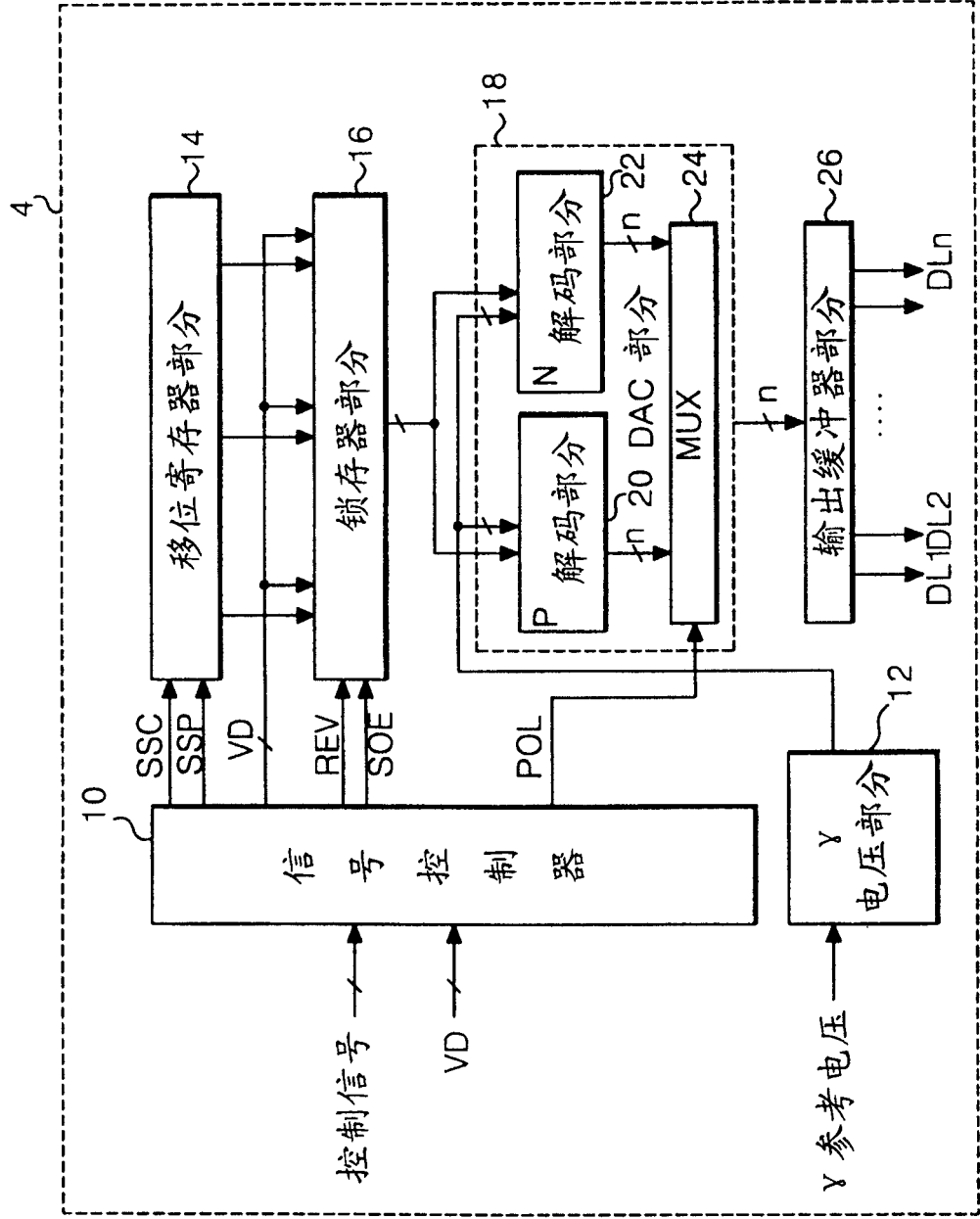


图 2
现有技术

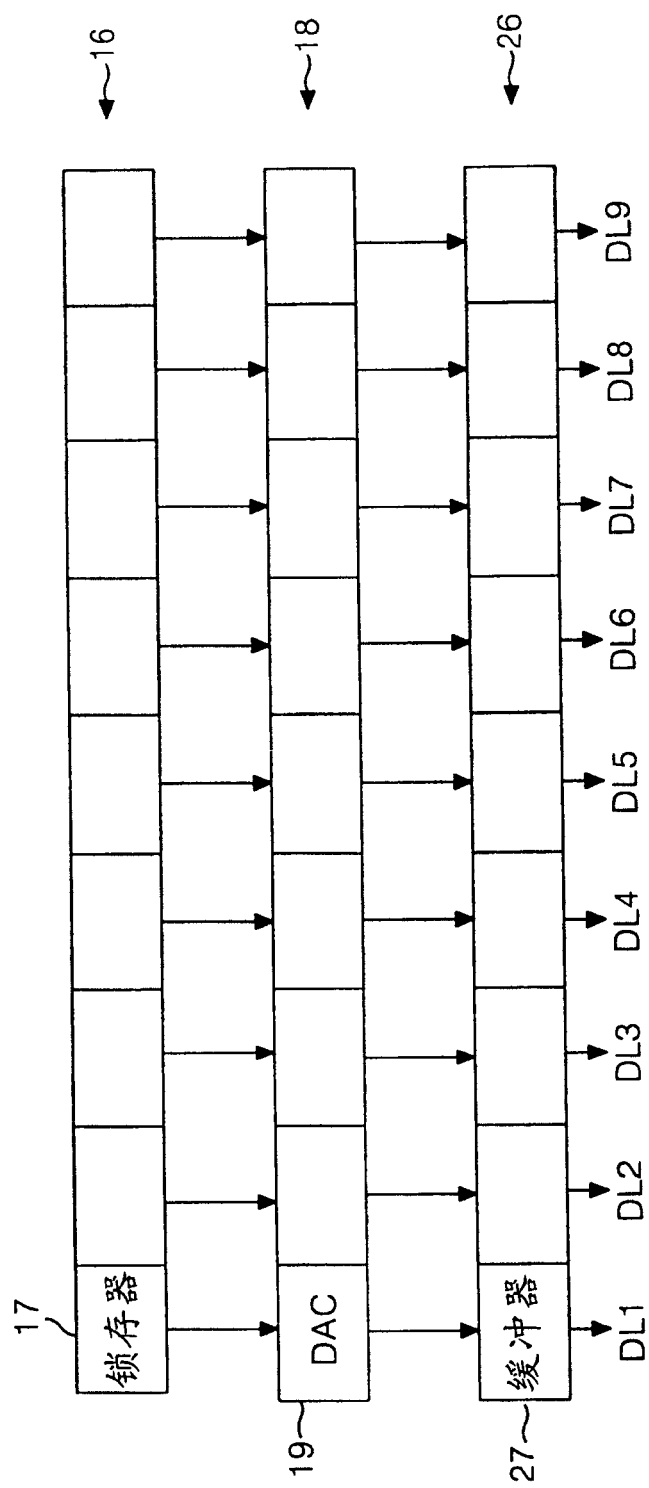


图3
现有技术

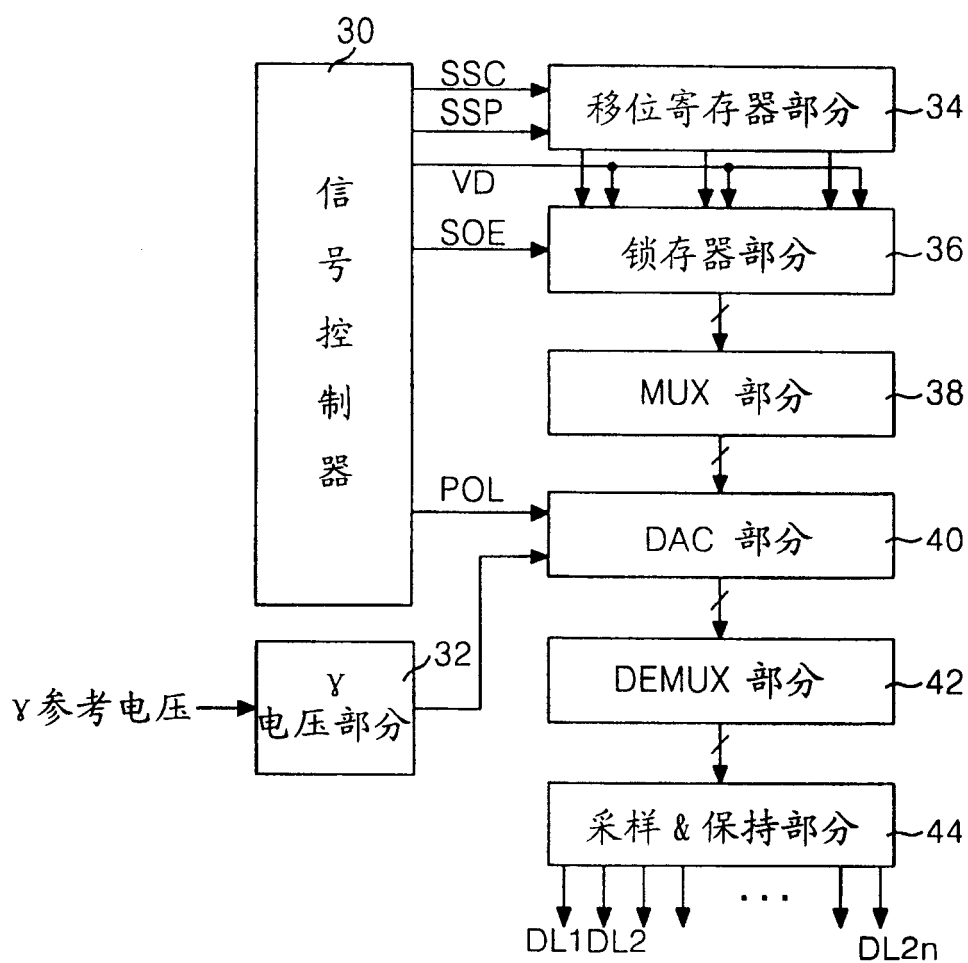


图 4

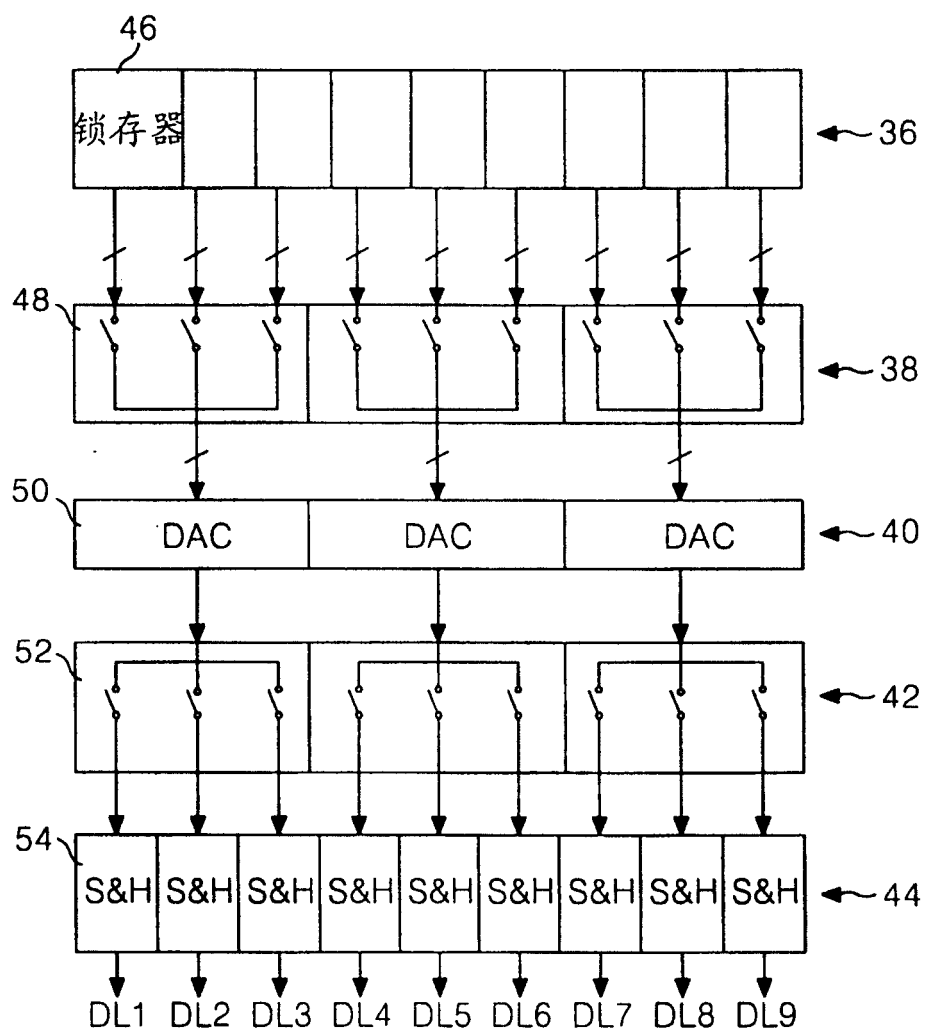


图 5

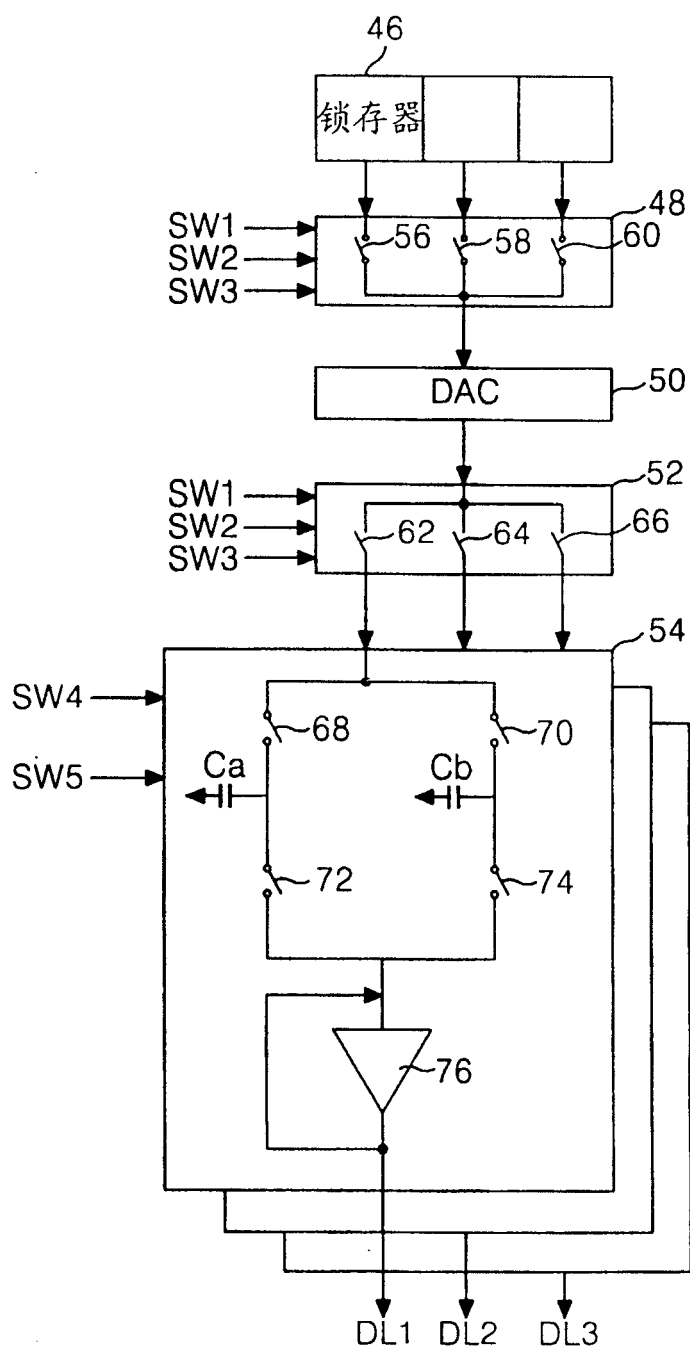


图 6

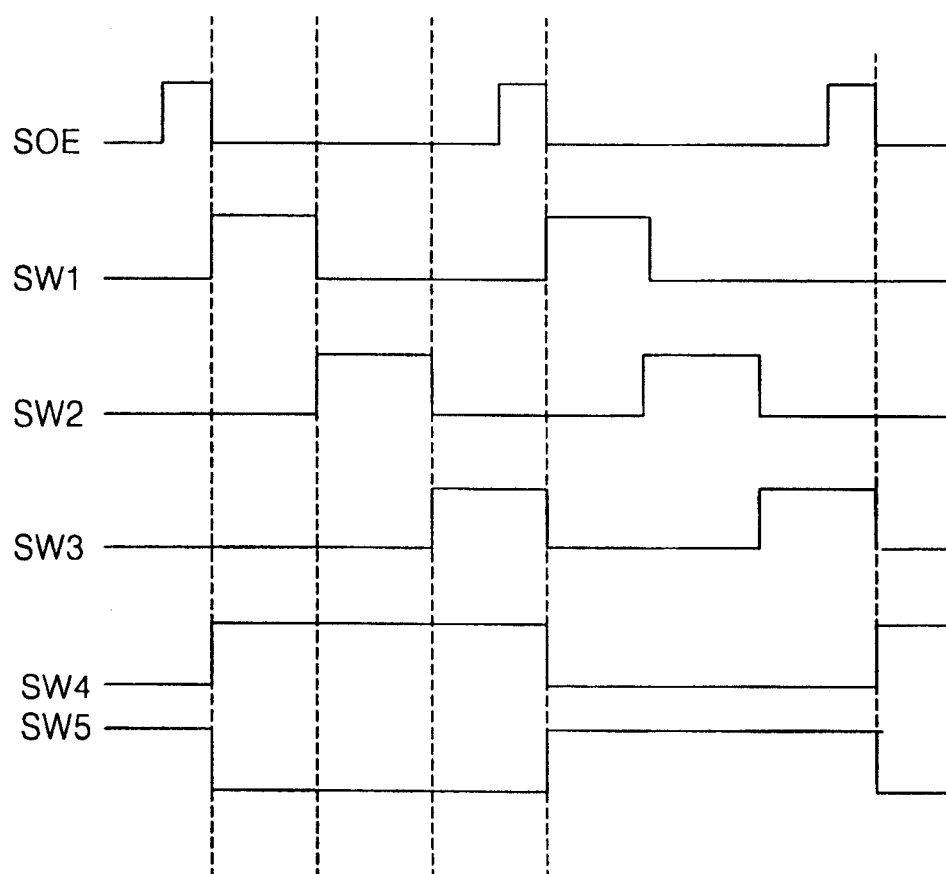


图 7

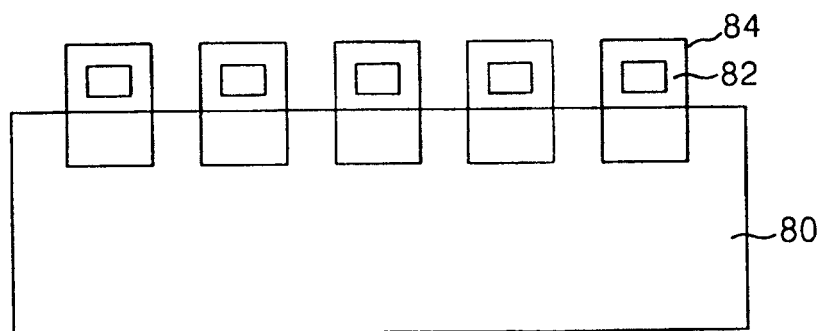


图 8

专利名称(译)	用于驱动液晶显示器的装置和方法		
公开(公告)号	CN100468505C	公开(公告)日	2009-03-11
申请号	CN02124340.9	申请日	2002-06-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	李锡雨 宋珍庆		
发明人	李锡雨 宋珍庆		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G2310/027 G09G3/3685 G09G2310/0297 G09G2352/00		
代理人(译)	李辉		
审查员(译)	杨雪		
优先权	1020020002090 2002-01-14 KR		
其他公开文献	CN1432989A		
外部链接	Espacenet SIPO		

摘要(译)

用于一个液晶显示器的一种数据驱动装置和方法，其中一个数模转换器部分在时分基础上被驱动以增加一个数据驱动IC的输出通道数目，同时与现有的芯片面积相比没有过分增加芯片面积或是减少芯片面积，由此减少了数据驱动IC和TCP的数目。在该装置中，一个多路复用器部分执行输入像素数据的时分以输出被时分了的像素数据。一个数模转换器部分把来自于多路复用器部分的像素数据转换成为像素电压信号。一个多路分解器部分有选择地把来自于数模转换器部分的像素电压信号提供给该多路分解器部分的多条输出线。一个采样器和保持器部分采样并保持来自于多路分解器部分的像素电压信号，以输出被采样和保持的像素电压信号到液晶显示器的多条数据线上。

