



(12) 发明专利申请

(10) 申请公布号 CN 102012591 A

(43) 申请公布日 2011. 04. 13

(21) 申请号 200910092003. 1

(22) 申请日 2009. 09. 04

(71) 申请人 北京京东方光电科技有限公司

地址 100176 北京市经济技术开发区西环中
路 8 号

(72) 发明人 商广良 韩承佑

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 刘芳

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

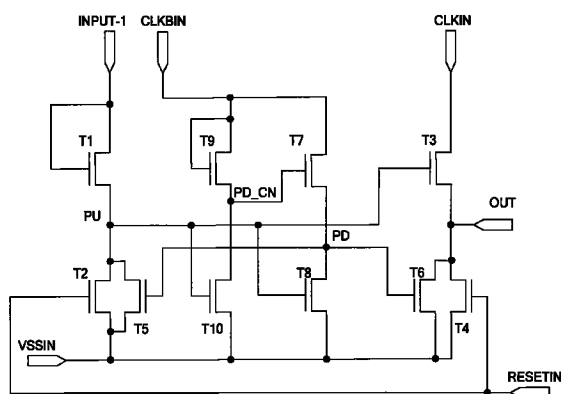
权利要求书 2 页 说明书 8 页 附图 9 页

(54) 发明名称

移位寄存器单元及液晶显示器栅极驱动装置

(57) 摘要

本发明公开了一种移位寄存器单元及液晶显示器栅极驱动装置,其中移位寄存器单元在现有技术 12 晶体管 1 电容结构的基础上,将第七薄膜晶体管的漏极、第九薄膜晶体管的栅极和漏极均与第二时钟信号输入端连接,使得第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管和第十薄膜晶体管在移位寄存器单元输出高电平信号时器件不产生漏电流,能够减小移位寄存器单元的功耗。



1. 一种移位寄存器单元，其特征在于，包括：

第一薄膜晶体管，其漏极和栅极均与信号输入端连接；

第二薄膜晶体管，其漏极与所述第一薄膜晶体管的源极连接，栅极与复位信号输入端连接，源极与低电压信号输入端连接；

第三薄膜晶体管，其漏极与第一时钟信号输入端连接，栅极与所述第一薄膜晶体管的源极连接，源极与信号输出端连接；

第四薄膜晶体管，其漏极与所述第三薄膜晶体管的源极连接，栅极与所述复位信号输入端连接，源极与所述低电压信号输入端连接；

第五薄膜晶体管，其漏极与所述第一薄膜晶体管的源极连接，源极与所述低电压信号输入端连接；

第六薄膜晶体管，其漏极与所述第三薄膜晶体管的源极连接，源极与所述低电压信号输入端连接；

第七薄膜晶体管，其漏极与第二时钟信号输入端连接，源极分别与所述第五薄膜晶体管的栅极和所述第六薄膜晶体管的栅极连接；

第八薄膜晶体管，其漏极与所述第七薄膜晶体管的源极连接，栅极与所述第一薄膜晶体管的源极连接，源极与所述低电压信号输入端连接；

第九薄膜晶体管，其漏极和栅极均与所述第二时钟信号输入端连接，源极与所述第七薄膜晶体管的栅极连接；

第十薄膜晶体管，其漏极与所述第九薄膜晶体管的源极连接，栅极与所述第一薄膜晶体管的源极连接，源极与所述低电压信号输入端连接。

2. 根据权利要求1所述的移位寄存器单元，其特征在于，还包括电容，所述电容的两端分别与所述第三薄膜晶体管的栅极和所述信号输出端连接。

3. 根据权利要求2所述的移位寄存器单元，其特征在于，还包括第十二薄膜晶体管，其漏极与所述信号输出端连接，源极与所述低电压信号输入端连接，栅极与所述第二时钟信号输入端连接。

4. 根据权利要求3所述的移位寄存器单元，其特征在于，还包括第十一薄膜晶体管，其漏极与所述信号输入端连接，栅极与所述第二时钟信号输入端连接，源极与所述第一薄膜晶体管的源极连接。

5. 根据权利要求1～4中任一权利要求所述的移位寄存器单元，其特征在于，所述第七薄膜晶体管沟道的宽长比和第八薄膜晶体管沟道的宽长比之间的比例为 $1/5 \sim 1/50$ ；所述第九薄膜晶体管沟道的宽长比和第十薄膜晶体管沟道的宽长比之间的比例为 $1/5 \sim 1/50$ 。

6. 一种液晶显示器栅极驱动装置，其特征在于，包括沉积在液晶显示器阵列基板上的如权利要求1～5中任一权利要求所述的多个移位寄存器单元；

除第一个移位寄存器单元和最后一个移位寄存器单元外，其余每个移位寄存器单元的信号输出端均和与其相邻下一个移位寄存器单元的信号输入端以及与其相邻的上一个移位寄存器单元的复位信号输入端连接，第一个移位寄存器单元的信号输出端与第二个移位寄存器单元的信号输入端连接，最后一个移位寄存器单元的信号输出端和与其相邻的上一个移位寄存器单元的复位信号输入端以及自身的复位信号输入端连接；

第一个移位寄存器单元的信号输入端输入帧起始信号；

第奇数个移位寄存器单元的第一时钟信号输入端输入第一时钟信号，第二时钟信号输入端输入第二时钟信号，第偶数个移位寄存器单元的第一时钟信号输入端输入第二时钟信号，第二时钟信号输入端输入系统第一时钟信号；

每个移位寄存器单元的低电压信号输入端输入低电压信号。

移位寄存器单元及液晶显示器栅极驱动装置

技术领域

[0001] 本发明涉及液晶显示器驱动技术，尤其涉及一种移位寄存器单元及液晶显示器栅极驱动装置。

背景技术

[0002] 如图 1a 所示为现有技术中的一种移位寄存器单元结构示意图，如图 1b 所示为图 1a 移位寄存器单元的时序图。移位寄存器单元包括第一薄膜晶体管 T1、第二薄膜晶体管 T2、第三薄膜晶体管 T3、第四薄膜晶体管 T4、第五薄膜晶体管 T5、第六薄膜晶体管 T6、第七薄膜晶体管 T7、第八薄膜晶体管 T8、第九薄膜晶体管 T9、第十薄膜晶体管 T10、第九薄膜晶体管 T11 和第十二薄膜晶体管 T12，还包括电容 C1。信号输入端 (INPUT-1) 输入信号 (INPUT)，第一时钟信号输入端 (CLKIN) 输入第一时钟信号 (CLK)，第二时钟信号输入端 (CLKBIN) 输入第二时钟信号 (CLKB)，低电压信号输入端 (VSSIN) 输入低电压信号 (VSS)，复位信号输入端 (RESETIN) 输入复位信号 (RESET)，信号输出端 (OUT) 输出栅极驱动信号 (OUTPUT)。第一薄膜晶体管 T1 的源极、第二薄膜晶体管 T2 的漏极、第十薄膜晶体管 T10 的栅极和电容 C1 的汇聚处为 PU 结点，第五薄膜晶体管 T5 的栅极、第六薄膜晶体管 T6 的栅极、第八薄膜晶体管 T8 的漏极和第七薄膜晶体管 T7 的源极的汇聚处为 PD 结点，第九薄膜晶体管 T9 的源极、第十薄膜晶体管 T10 和第七薄膜晶体管 T7 的栅极的汇聚处为 PD_CN 结点。

[0003] 从图 1b 中可以看出，在栅极驱动信号 (OUTPUT) 为低电平时，即使第一时钟信号 (CLK) 或第二时钟信号 (CLKB) 为高电平，栅极驱动信号 (OUTPUT) 和 PU 结点处的信号也能保持低电平。当栅极驱动信号 (OUTPUT) 为高电平时，第一时钟信号 (CLK) 和 PU 结点处的信号同时为高电平，由于电容 C1 的耦合作用，PU 结点处的信号的电平尤其高，第九薄膜晶体管 T9 和第十薄膜晶体管 T10 同时导通，形成较大的漏电流，从而导致移位寄存器单元的功耗增加，最终导致使用了该移位寄存器单元的液晶显示器的功耗增加。

发明内容

[0004] 本发明的目的是针对现有技术中存在的问题，提供一种移位寄存器单元及液晶显示器栅极驱动装置，能够减小移位寄存器单元的功耗，从而减小液晶显示器栅极驱动装置的功耗。

[0005] 为实现上述目的，本发明提供了一种移位寄存器单元，包括：

[0006] 第一薄膜晶体管，其漏极和栅极均与信号输入端连接；

[0007] 第二薄膜晶体管，其漏极与所述第一薄膜晶体管的源极连接，栅极与复位信号输入端连接，源极与低电压信号输入端连接；

[0008] 第三薄膜晶体管，其漏极与第一时钟信号输入端连接，栅极与所述第一薄膜晶体管的源极连接，源极与信号输出端连接；

[0009] 第四薄膜晶体管，其漏极与所述第三薄膜晶体管的源极连接，栅极与所述复位信号输入端连接，源极与所述低电压信号输入端连接；

[0010] 第五薄膜晶体管，其漏极与所述第一薄膜晶体管的源极连接，源极与所述低电压信号输入端连接；

[0011] 第六薄膜晶体管，其漏极与所述第三薄膜晶体管的源极连接，源极与所述低电压信号输入端连接；

[0012] 第七薄膜晶体管，其漏极与第二时钟信号输入端连接，源极分别与所述第五薄膜晶体管的栅极和所述第六薄膜晶体管的栅极连接；

[0013] 第八薄膜晶体管，其漏极与所述第七薄膜晶体管的源极连接，栅极与所述第一薄膜晶体管的源极连接，源极与所述低电压信号输入端连接；

[0014] 第九薄膜晶体管，其漏极和栅极均与所述第二时钟信号输入端连接，源极与所述第七薄膜晶体管的栅极连接；

[0015] 第十薄膜晶体管，其漏极与所述第九薄膜晶体管的源极连接，栅极与所述第一薄膜晶体管的源极连接，源极与所述低电压信号输入端连接。

[0016] 本发明还提供了一种液晶显示器栅极驱动装置，包括沉积在液晶显示器阵列基板上的多个前述的移位寄存器单元；

[0017] 除第一个移位寄存器单元和最后一个移位寄存器单元外，其余每个移位寄存器单元的信号输出端均和与其相邻下一个移位寄存器单元的信号输入端以及与其相邻的上一个移位寄存器单元的复位信号输入端连接，第一个移位寄存器单元的信号输出端与第二个移位寄存器单元的信号输入端连接，最后一个移位寄存器单元的信号输出端和与其相邻的上一个移位寄存器单元的复位信号输入端以及自身的复位信号输入端连接；

[0018] 第一个移位寄存器单元的信号输入端输入帧起始信号；

[0019] 第奇数个移位寄存器单元的第一时钟信号输入端输入第一时钟信号，第二时钟信号输入端输入第二时钟信号，第偶数个移位寄存器单元的第一时钟信号输入端输入第二时钟信号，第二时钟信号输入端输入系统第一时钟信号；

[0020] 每个移位寄存器单元的低电压信号输入端输入低电压信号。

[0021] 本发明实施例提供的移位寄存器单元及液晶显示器栅极驱动装置，将第九薄膜晶体管的漏极和栅极以及第七薄膜晶体管的漏极与第二时钟信号输入端连接，在栅极驱动信号为高电平期间，第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管和第十薄膜晶体管中不会产生漏电流，从而可以减小移位寄存器单元的功耗，从而减小采用了该移位寄存器单元的液晶显示器的功耗。

[0022] 下面通过附图和实施例，对本发明的技术方案做进一步的详细描述。

附图说明

[0023] 图 1a 所示为现有技术中的一种移位寄存器单元结构示意图；

[0024] 图 1b 所示为图 1a 移位寄存器单元的时序图；

[0025] 图 2a 所示为本发明移位寄存器单元结构示意图；

[0026] 图 2b 所示为图 2a 移位寄存器单元的时序图；

[0027] 图 3a 所示为本发明移位寄存器单元实施例一结构示意图；

- [0028] 图 3b 所示为图 3a 移位寄存器单元的时序图；
- [0029] 图 4 所示为本发明移位寄存器单元实施例二结构示意图；
- [0030] 图 5 所示为本发明移位寄存器单元实施例三结构示意图；
- [0031] 图 6a 所示为本发明液晶显示器栅极驱动装置结构示意图；
- [0032] 图 6b 所示为图 6a 所示液晶显示器栅极驱动装置的输入输出时序图。

具体实施方式

[0033] 如图 2a 所示为本发明移位寄存器单元结构示意图，该移位寄存器单元包括 10 个薄膜晶体管，其中，第一薄膜晶体管 T1 的栅极和漏极均与信号输入端 (INPUT-1) 连接；第二薄膜晶体管 T2 的漏极与第一薄膜晶体管 T1 的源极连接，第二薄膜晶体管 T2 的栅极与复位信号输入端 (RESETIN) 连接，第二薄膜晶体管 T2 的源极与低电压信号输入端 (VSSIN) 连接；第三薄膜晶体管 T3 的漏极与第一时钟信号输入端 (CLKIN) 连接，第三薄膜晶体管 T3 的栅极与第一薄膜晶体管 T1 的源极连接，第三薄膜晶体管 T3 的源极与信号输出端 (OUT) 连接；第四薄膜晶体管 T4 的栅极与复位信号输入端 (RESETIN) 连接，第四薄膜晶体管 T4 的漏极与第三薄膜晶体管 T3 的源极连接，第四薄膜晶体管 T4 的源极与低电压信号输入端 (VSSIN) 连接；第五薄膜晶体管 T5 的漏极与第一薄膜晶体管 T1 的源极连接，第五薄膜晶体管 T5 的源极与低电压信号输入端 (VSSIN) 连接；第六薄膜晶体管 T6 的漏极与第三薄膜晶体管 T3 的源极连接，第六薄膜晶体管 T6 的源极与低电压信号输入端 (VSSIN) 连接；第七薄膜晶体管 T7 的漏极与第二时钟信号输入端 (CLKBIN) 连接，第七薄膜晶体管 T7 的源极分别与第五薄膜晶体管 T5 的栅极和第六薄膜晶体管 T6 的栅极连接；第八薄膜晶体管 T8 的栅极与第一薄膜晶体管 T1 的源极连接，第八薄膜晶体管 T8 的漏极与第七薄膜晶体管 T7 的源极连接，第八薄膜晶体管 T8 的源极与低电压信号输入端 (VSSIN) 连接；第九薄膜晶体管 T9 的栅极和漏极均与第二时钟信号输入端 (CLKBIN) 连接，第九薄膜晶体管 T9 的源极与第七薄膜晶体管 T7 的栅极连接；第十薄膜晶体管 T10 的栅极与第一薄膜晶体管 T1 的源极连接，第十薄膜晶体管 T10 的漏极与第九薄膜晶体管 T9 的源极连接，第十薄膜晶体管 T10 的源极与低电压信号输入端 (VSSIN) 连接。第一薄膜晶体管 T1 的源极、第二薄膜晶体管 T2 的漏极、第五薄膜晶体管 T5 的漏极、第十薄膜晶体管 T10 的栅极、第八薄膜晶体管 T8 的栅极和第三薄膜晶体管 T3 的栅极的汇聚处为 PU 结点，第七薄膜晶体管 T7 的源极、第八薄膜晶体管 T8 的漏极、第五薄膜晶体管 T5 的栅极和第六薄膜晶体管 T6 的栅极的汇聚处为 PD 结点，第九薄膜晶体管 T9 的源极和第七薄膜晶体管 T7 的栅极的汇聚处为 PD_CN 结点。

[0034] 本发明提供的移位寄存器单元与图 1a 所示的移位寄存器单元结构上的区别之处在于：本发明提供的移位寄存器单元中，第九薄膜晶体管 T9 的栅极和漏极、第七薄膜晶体管 T7 的漏极均与第二时钟信号输入端 (CLKBIN) 连接，而图 1a 中，第九薄膜晶体管 T9 的栅极和漏极、第七薄膜晶体管 T7 的漏极均与第一时钟信号输入端 (CLKIN) 连接；并且本发明提供的移位寄存器单元中省去了第十一薄膜晶体管 T11、第十二薄膜晶体管 T12 和电容 C1。

[0035] 如图 2b 所示为图 2a 移位寄存器单元的时序图，图 2a 中，信号输入端 (INPUT-1) 输入信号 (INPUT)，第一时钟信号输入端 (CLKIN) 输入第一时钟信号 (CLK)，第二时

钟信号输入端 (CLKBIN) 输入第二时钟信号 (CLKB)，低电压信号输入端 (VSSIN) 输入低电压信号 (VSS)，复位信号输入端 (RESETIN) 输入复位信号 (RESET)，信号输出端 (OUT) 输出栅极驱动信号 (OUTPUT)。图 2b 中没有示出低电压信号 (VSS)，低电压信号 (VSS) 是一个一直保持低电平的信号。

[0036] 下面结合图 2a 和图 2b 说明本发明移位寄存器单元的工作原理。

[0037] 选择图 2b 所示时序图的一部分并将其划分为五个阶段，在第一阶段，信号输入端 (INPUT-1) 输入信号 (INPUT) 为高电平，复位信号输入端 (RESETIN) 输入的复位信号 (RESET) 为低电平，第一薄膜晶体管 T1 导通，PU 结点处信号为高电平，第三薄膜晶体管 T3、第八薄膜晶体管 T8 和第十薄膜晶体管 T10 导通；第一时钟信号输入端 (CLKIN) 输入的第一时钟信号 (CLK) 为低电平，第二时钟信号输入端 (CLKBIN) 输入的第二时钟信号 (CLKB) 为高电平，第七薄膜晶体管 T7、第九薄膜晶体管 T9 导通，通过设置第七薄膜晶体管 T7 的沟道的宽长比和第八薄膜晶体管 T8 的沟道的宽长比之间的比例，以及第九薄膜晶体管 T9 的沟道的宽长比和第十薄膜晶体管 T10 的沟道的宽长比之间的比例，可以使得 PD 结点处的信号为低电平，于是第五薄膜晶体管 T5 和第六薄膜晶体管 T6 截止，第七薄膜晶体管 T7 的沟道的宽长比和第八薄膜晶体管 T8 的沟道的宽长比之间的比例可以为 $1/5 \sim 1/50$ ；第九薄膜晶体管 T9 的沟道的宽长比和第十薄膜晶体管 T10 的沟道的宽长比之间的比例可以为 $1/5 \sim 1/50$ ；复位信号输入端 (RESETIN) 输入的复位信号 (RESET) 为低电平，第二薄膜晶体管 T2 和第四薄膜晶体管 T4 截止，信号输出端 (OUT) 输出的栅极驱动信号 (OUTPUT) 为低电平。

[0038] 第二阶段，信号输入端 (INPUT-1) 输入信号 (INPUT) 为低电平，复位信号输入端 (RESETIN) 输入的复位信号 (RESET) 为低电平，第一薄膜晶体管截止，PU 结点处的信号保持高电平，于是第三薄膜晶体管 T3、第八薄膜晶体管 T8 和第十薄膜晶体管 T10 保持导通；第二时钟信号输入端 (CLKBIN) 输入的第二时钟信号 (CLKB) 为低电平，第九薄膜晶体管 T9 截止，PD 结点处的信号保持低电平，第五薄膜晶体管 T5 和第六薄膜晶体管 T6 保持截止；复位信号输入端 (RESETIN) 输入的信号 (RESET) 为低电平，第二薄膜晶体管 T2 和第四薄膜晶体管 T4 保持截止；第一时钟信号输入端 (CLKIN) 输入的第一时钟信号 (CLK) 为高电平，并且第三薄膜晶体管保持导通，所以信号输出端 (OUT) 输出的栅极驱动信号 (OUTPUT) 为高电平。

[0039] 第三阶段，信号输入端 (INPUT-1) 输入信号 (INPUT) 为低电平，复位信号输入端 (RESETIN) 输入的复位信号 (RESET) 为高电平，第二薄膜晶体管 T2 和第四薄膜晶体管 T4 导通，第二薄膜晶体管 T2 的源极与低电压信号输入端 (VSSIN) 连接，于是 PU 结点处被拉低至低电平，第三薄膜晶体管 T3、第八薄膜晶体管 T8 和第十薄膜晶体管 T10 截止；第二时钟信号输入端 (CLKBIN) 输入的第二时钟信号 (CLKB) 为高电平，第七薄膜晶体管 T7 和第九薄膜晶体管 T9 导通，PD 结点处为高电平，PD_CN 结点处为高电平，于是第五薄膜晶体管 T5 和第六薄膜晶体管 T6 导通；第一时钟信号输入端 (CLKIN) 输入的第一时钟信号 (CLK) 为低电平，并且第四薄膜晶体管 T4 导通，信号输出端 (OUT) 输出的栅极驱动信号 (OUTPUT) 被拉低至低电平。

[0040] 第四阶段，信号输入端 (INPUT-1) 输入信号 (INPUT) 为低电平，复位信号输入端 (RESETIN) 输入的复位信号 (RESET) 为低电平，第一薄膜晶体管 T1 截止，PU 结点

处的信号保持低电平，第八薄膜晶体管 T8 和第十薄膜晶体管 T10 截止；第二时钟信号输入端 (CLKBIN) 输入的第二时钟信号 (CLKB) 为低电平，第九薄膜晶体管 T9 截止；因为第三阶段 PD_CN 结点处的信号为高电平，在第四阶段，第九薄膜晶体管 T9 和第十薄膜晶体管 T10 截止，所以 PD_CN 结点处的信号保持高电平，于是第七薄膜晶体管 T7 导通；第七薄膜晶体管 T7 的漏极与第二时钟信号输入端 (CLKBIN) 连接，第四阶段第二时钟信号 (CLKB) 为低电平，第三阶段 PD 结点处的信号为高电平，所以第四阶段，PD 结点处的信号由高电平逐渐降低至低电平，第五薄膜晶体管 T5 和第六薄膜晶体管 T6 逐渐从导通变为截止；复位信号输入端 (RESETIN) 输入的复位信号 (RESET) 为低电平，第二薄膜晶体管 T2 和第四薄膜晶体管 T4，信号输出端 (OUT) 输出的栅极驱动信号 (OUTPUT) 保持低电平。

[0041] 第五阶段，信号输入端 (INPUT-1) 输入信号 (INPUT) 为低电平，复位信号输入端 (RESETIN) 输入的复位信号 (RESET) 为低电平，第一薄膜晶体管截止，PU 结点处的信号为低电平，第八薄膜晶体管 T8 和第十薄膜晶体管 T10 截止；第二时钟信号输入端 (CLKBIN) 输入的第二时钟信号 (CLKB) 为高电平，第七薄膜晶体管 T7 和第九薄膜晶体管 T9 导通，PD 结点处的信号由低电平逐渐升高至高电平，于是第五薄膜晶体管 T5 和第六薄膜晶体管 T6 逐渐由截止变为导通；复位信号输入端 (RESETIN) 输入的复位信号 (RESET) 为低电平，第二薄膜晶体管 T2 和第四薄膜晶体管 T4 截止，信号输出端 (OUT) 输出的栅极驱动信号 (OUTPUT) 保持低电平。

[0042] 在这五个阶段中，第一阶段信号输入端 (INPUT-1) 输入信号 (INPUT) 为高电平，第二阶段信号输出端 (OUT) 输出的栅极驱动信号 (OUTPUT) 为高电平，完成一次移位，第三阶段复位信号输入端 (RESETIN) 端输入的复位信号 (RESET) 为高电平，完成复位的操作，所以可以将第一、二、三阶段定义为移位寄存器单元的工作时间，第四、五阶段，信号输入端 (INPUT-1) 输入信号 (INPUT)、复位信号输入端 (RESETIN) 端输入的复位信号 (RESET) 均为低电平，所以可以将第四、五阶段定义为移位寄存器单元的非工作时间。图 2b 中仅画出了移位寄存器单元的部分时序图，液晶显示器每显示一帧图像，控制某一行液晶像素的移位寄存器单元都会输出一个高电平信号，信号输入端 (INPUT-1) 输入信号 (INPUT)、复位信号输入端 (RESETIN) 输入的复位信号 (RESET) 和第一时钟信号输入端 (CLKIN) 输入的第一时钟信号 (CLK) 都会重复一次第一、二、三阶段的输入时序，在液晶显示器显示一帧图像的时间中，除第一、二、三阶段之外的其余时间，信号输入端 (INPUT-1) 输入信号 (INPUT)、复位信号输入端 (RESETIN) 输入的复位信号 (RESET) 和第一时钟信号输入端 (CLKIN) 输入的第一时钟信号 (CLK) 都会重复与第四和第五阶段相同的输入时序。

[0043] 从以上对五个阶段的详细描述中可以看出，在第二阶段，第一时钟信号 (CLK) 和 PU 节点处输出的信号同时为高电平，但是由于第九薄膜晶体管 T9 的栅极与第二时钟信号输入端 (CLKBIN) 连接，第九薄膜晶体管 T9 截止。第七薄膜晶体管 T7 的栅极与 PD_CN 结点连接，而 PD_CN 结点处的信号在第二阶段也为低电平，所以第七薄膜晶体管 T7 截止。第八薄膜晶体管 T8 和第十薄膜晶体管 T10 在第二阶段导通，第八薄膜晶体管 T8 的源极和第十薄膜晶体管 T10 的源极均连接低电压信号输入端 (CLKBIN)，所以第八薄膜晶体管 T8 和第十薄膜晶体管 T10 的源极处为低电平。在第二阶段，第二时钟信号

(CLKB) 为低电平, 这样第九薄膜晶体管 T9 的漏极和第十薄膜晶体管 T10 的源极均为低电平, 所以第九薄膜晶体管 T9 和第十薄膜晶体管 T10 中不会产生漏电流, 第七薄膜晶体管 T7 的漏极和第八薄膜晶体管 T8 的源极均为低电平, 所以第七薄膜晶体管 T7 和第八薄膜晶体管 T8 中也不会产生漏电流。

[0044] 与如图 1a 所示的现有技术中的移位寄存器单元相比, 本发明提供的移位寄存器单元中, 将第七薄膜晶体管的漏极以及第九薄膜晶体管的漏极和栅极均与第二时钟信号输入端 (CLKBIN) 连接, 这样能够避免在第二阶段第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管和第十薄膜晶体管中漏电流的产生, 能够减小移位寄存器单元的功耗, 从而减小采用了该移位寄存器单元的液晶显示器的功耗。另外, 本发明提供的移位寄存器单元由于减少了第十一薄膜晶体管 T11、第十二薄膜晶体管 T12 和电容 C1, 使得移位寄存器单元结构简单, 减小了移位寄存器单元的面积。

[0045] 如图 3a 所示为本发明移位寄存器单元实施例一结构示意图, 如图 3b 所示为图 3a 移位寄存器单元的时序图。图 3a 所示的移位寄存器单元在图 2a 所示的移位寄存器单元的基础上增加了一个电容 C1, 电容 C1 的两端分别与第三薄膜晶体管 T3 的栅极和信号输出端 (OUT) 连接。图 3b 所示的时序图与图 2b 所示的时序图的区别之处在于: 在第二阶段, 图 3b 中 PU 结点处的信号的电平, 由于电容 C1 的耦合作用, 要比图 2b 中高。

[0046] 图 3a 中, 加入电容 C1, 能够增强移位寄存器单元的去噪能力, 从而增强移位寄存器的工作稳定性。一方面由于 C1 增加了 PU 节点的总电容, 减小了第三晶体管 T3 漏极寄生电容 (Cgd3) 在 PU 节点的比重, 从而可以减少第一时钟信号输入端 (CLKIN) 通过寄生电容 (Cgd3) 向 PU 节点耦合的噪声, 进而间接向信号输出端 (OUT) 耦合的噪声也会减少, 同时, 第三薄膜晶体管 T3 漏电流也会相应减少, 信号输出端 (OUT) 的噪声会进一步减少。

[0047] 如图 4 所示为本发明移位寄存器单元实施例二结构示意图, 图 4 所示移位寄存器单元的时序图与图 3b 相同。该实施例在图 3a 所示的移位寄存器单元的基础上增加了第十二薄膜晶体管 T12。第十二薄膜晶体管 T12 的源极连接低电压信号输入端 (VSSIN), 漏极连接信号输出端 (OUT), 栅极连接第二时钟信号输入端 (CLKBIN), 当第二时钟信号 (CLKB) 为高电平时, 第十二薄膜晶体管 T12 能够将信号输出端 (OUT) 输出的栅极驱动信号 (OUT) 的电平拉低, 进一步提高了移位寄存器单元的去噪能力。

[0048] 如图 5 所示为本发明移位寄存器单元实施例三结构示意图, 图 5 所示的移位寄存器单元的时序图与图 3b 相同。该实施例在图 4 所示的移位寄存器单元的基础上增加了第十一薄膜晶体管 T11。第十一薄膜晶体管 T11 的栅极与第二时钟信号输入端 (CLKBIN) 连接, 漏极与信号输入端 (INPUT-1) 连接, 源极与 PU 结点连接。该实施例中, 在第一阶段, 当第二时钟信号 (CLKB) 为高电平时, 第十一薄膜晶体管 T11 导通, 由于信号输入端 (INPUT-1) 输入信号 (INPUT) 为高电平, 第十一薄膜晶体管 T11 的源极为高电平, 第十一薄膜晶体管 T11 的加入能够减少 PU 结点的处输出的信号的电平的上升时间, 使得 PU 结点处的信号的上升沿变得陡峭, 从而减小信号输出端 (OUT) 输出的栅极驱动信号的上升时间。

[0049] 将图 5 所示的移位寄存器单元以及图 5 所示移位寄存器单元的时序图分别与图 1a 和图 1b 相比较, 可以看出, 如图 1a 所示的移位寄存器单元以及图 1b 所示的时序图中,

在第四阶段，第一时钟信号 (CLK) 的上升沿时，第一时钟信号 (CLK) 耦合到栅极驱动信号 (OUTPUT) 的噪声最大，而此时，PD 结点为低电平，第六薄膜晶体管和第五薄膜晶体管均截止，不能够将栅极驱动信号 (OUTPUT) 拉至低电平，不利于去除噪声。本发明图 5 所示的实施例中，在第四阶段，第一时钟信号 (CLK) 的上升沿时，PD 结点处的信号处于高电平，第五薄膜晶体管和第六薄膜晶体管导通，能够拉低栅极驱动信号 (OUTPUT) 的电压，去除第一时钟信号 (CLK) 耦合造成的噪声。

[0050] 如图 6a 所示为本发明液晶显示器栅极驱动装置结构示意图，如图 6b 所示为图 6a 所示液晶显示器栅极驱动装置的输入输出时序图，STV 为帧起始信号，STV 只输入到第一移位寄存器单元的信号输入端 (INPUT-1)，低电压信号 (VSS) (图 6b 中未示出 VSS) 输入到每个移位寄存器单元的低电压信号输入端 (VSSIN)，第奇数个移位寄存器单元的第一时钟信号输入端 (CLKIN) 输入第一时钟信号 (CLK)，第二时钟信号输入端 (CLKBIN) 输入第二时钟信号 (CLK)；第偶数个移位寄存器单元的第一时钟信号输入端 (CLKIN) 输入第二时钟信号 (CLKB)，第二时钟信号输入端 (CLKBIN) 输入系统第一时钟信号 (CLK)，除第一个移位寄存器单元和最后一个移位寄存器单元之外，每个移位寄存器单元的信号输出端均和与其相邻的上一移位寄存器单元的复位信号输入端 (RESETIN) 以及与其相邻的下一移位寄存器的信号输入端 (INPUT-1) 连接，第一个移位寄存器单元的信号输出端 (OUT) 只与第二个移位寄存器单元的信号输入端 (INPUT-1) 连接，最后一个移位寄存器单元 (如图 6a 所示图中的第 $n+1$ 移位寄存器单元) 的输出端 (OUT) 分别和与其相邻的第 n 个移位寄存器单元的复位信号输入端 (RESETIN) 以及自身的复位信号输入端 (RESETIN) 连接。

[0051] 薄膜晶体管液晶显示器采用逐行扫描的方式，同一行中与液晶像素串联的薄膜晶体管的栅极均与同一移位寄存器单元相连，液晶显示器栅极驱动装置中的移位寄存器单元可以控制处于同行中的全部薄膜晶体管的导通和截止。图 6a 中液晶显示器栅极驱动装置的具体原理为：假设液晶显示器面板中有 n 行液晶像素，参见图 6b 所示时序图，在第一阶段帧起始信号输入到第一移位寄存器单元的信号输入端 (INPUT-1)；第二阶段，第一移位寄存器单元的信号输出端 (OUT) 输出高电平信号 (OUTPUT1)，同时该高电平信号 (OUTPUT1) 输入到第二移位寄存器单元的信号输入端 (INPUT-1)；第三阶段，第二移位寄存器单元的信号输出端 (OUT) 输出高电平信号 (OUTPUT2)，此后每个移位寄存器单元依次输出高电平信号，用于控制与该移位寄存器单元相连的同行薄膜晶体管的导通，原理同第二、三阶段；到第四阶段，第 n 移位寄存器单元输出高电平信号 (OUTPUT n)，同时第 n 移位寄存器单元输出的高电平信号 (OUTPUT n) 作为第 $n+1$ 移位寄存器单元的信号输入端 (INPUT-1) 的输入信号；第五阶段，第 $n+1$ 移位寄存器单元输出高电平信号 (OUTPUT $n+1$)，该第 $n+1$ 移位寄存器单元输出的高电平信号 (OUTPUT $n+1$) 不用于驱动负载，即第 $n+1$ 移位寄存器单元不负责驱动控制一行液晶像素的薄膜晶体管，其输出的高电平信号 (OUTPUT $n+1$) 仅用于作为第 n 移位寄存器单元和其自身的复位信号。图 6a 中的各个移位寄存器单元可以是如图 2a、图 3a、图 4 或图 5 所示的移位寄存器单元。

[0052] 图 6a 中，最后一个移位寄存器单元，即第 $n+1$ 移位寄存器单元不用于驱动负载，可以看作是冗余移位寄存器单元。图 6a 所示的栅极驱动装置中，只包括一个冗余移

位寄存器单元，实际上，还可以包括更多个冗余移位寄存器单元，各个冗余移位寄存器单元可以组合起来保证液晶显示器栅极驱动装置更可靠地复位。

[0053] 本发明实施例提供的移位寄存器单元及液晶显示器栅极驱动装置，将第九薄膜晶体管的漏极和栅极以及第七薄膜晶体管的漏极与第二时钟信号输入端 (CLKBIN) 连接，在栅极驱动信号 (OUTPUT) 为高电平期间，第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管和第十薄膜晶体管中不会产生漏电流，从而可以减小移位寄存器单元的功耗，从而减小采用了该移位寄存器单元的液晶显示器的功耗。

[0054] 最后应说明的是：以上实施例仅用以说明本发明的技术方案而非对其进行限制，尽管参照较佳实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对本发明的技术方案进行修改或者等同替换，而这些修改或者等同替换亦不能使修改后的技术方案脱离本发明技术方案的精神和范围。

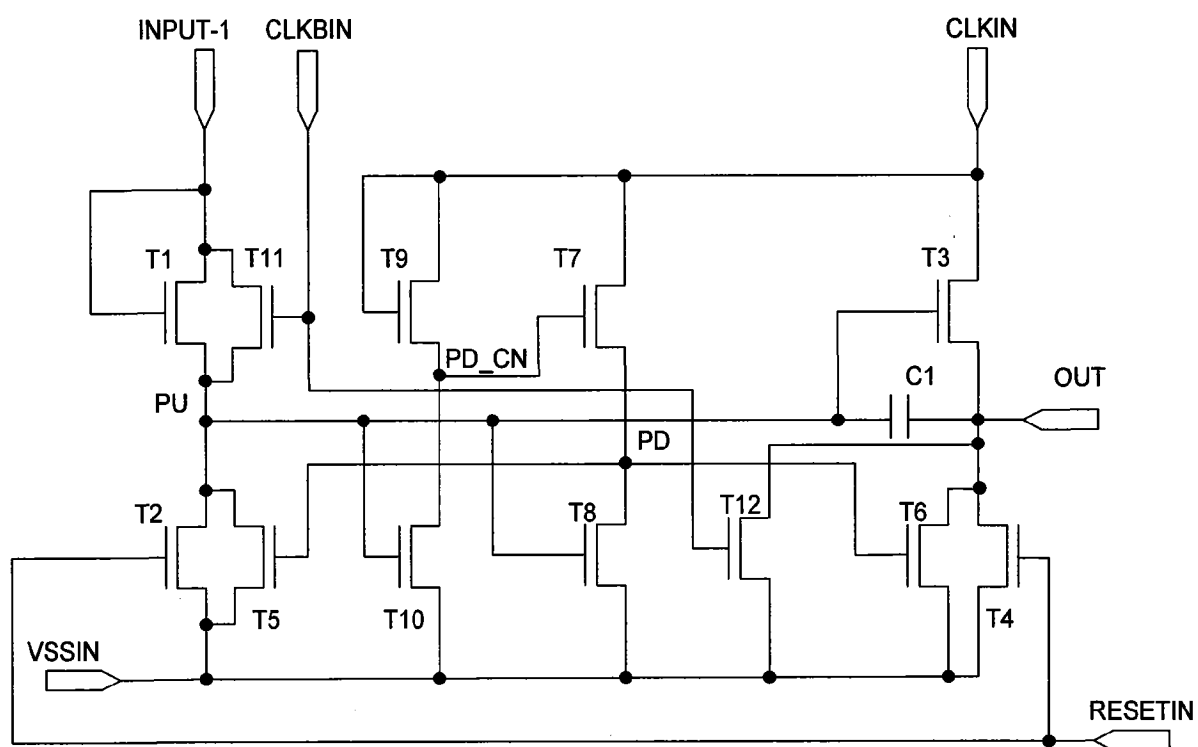


图 1a

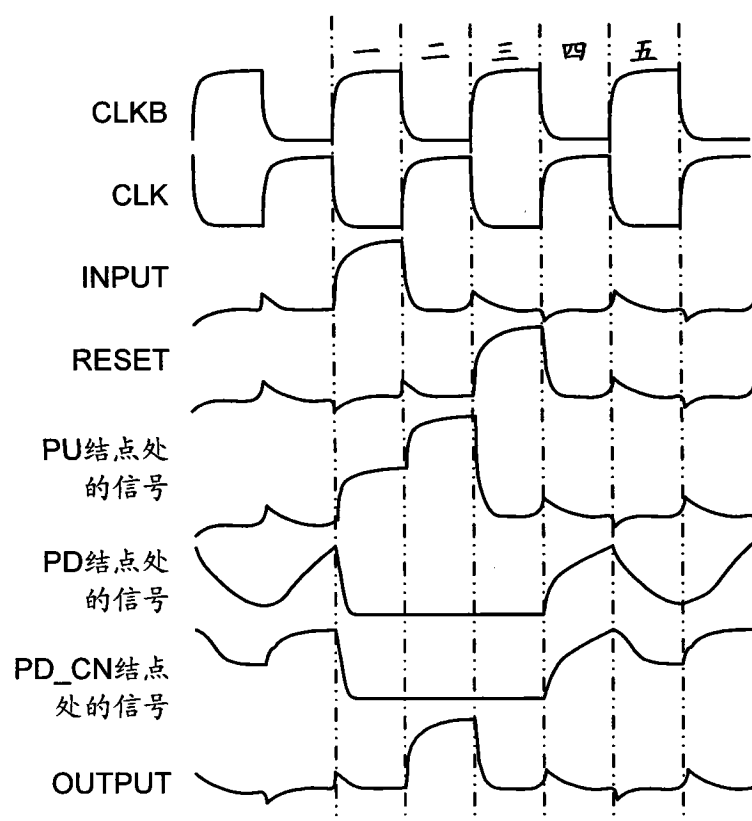


图 1b

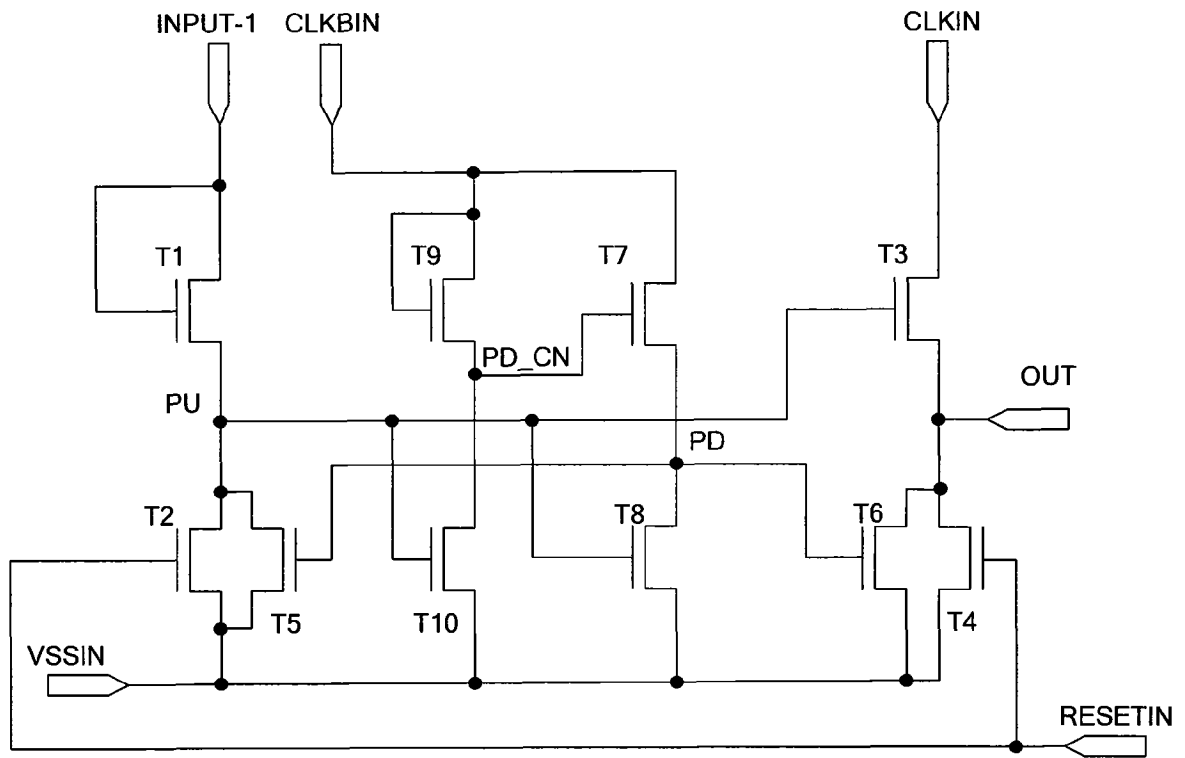


图 2a

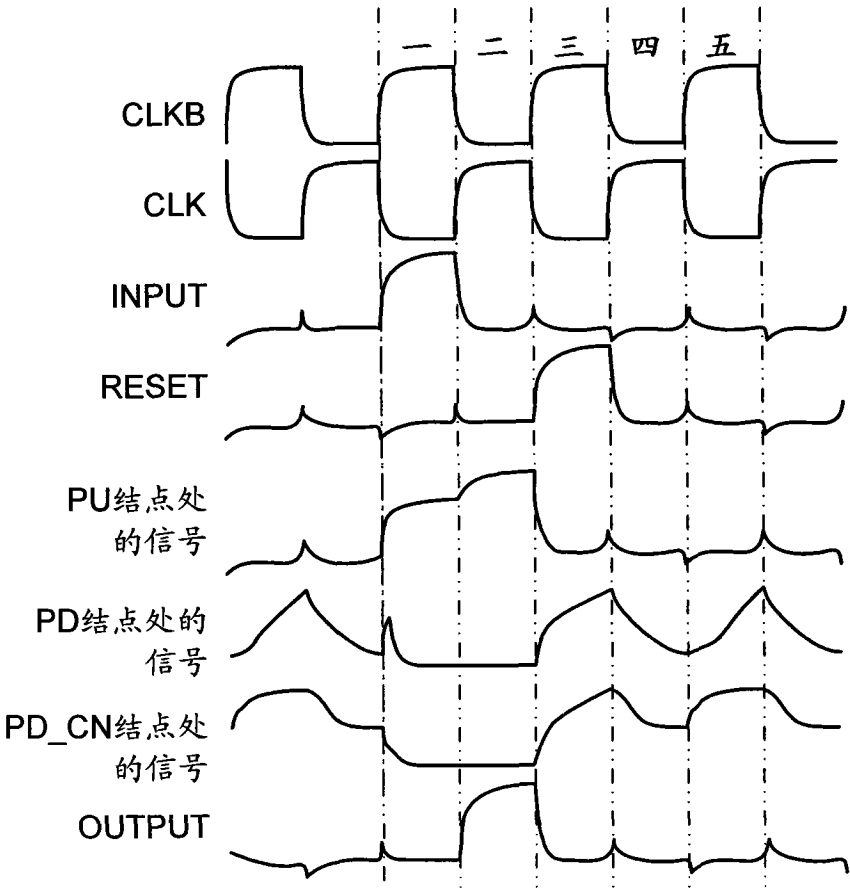


图 2b

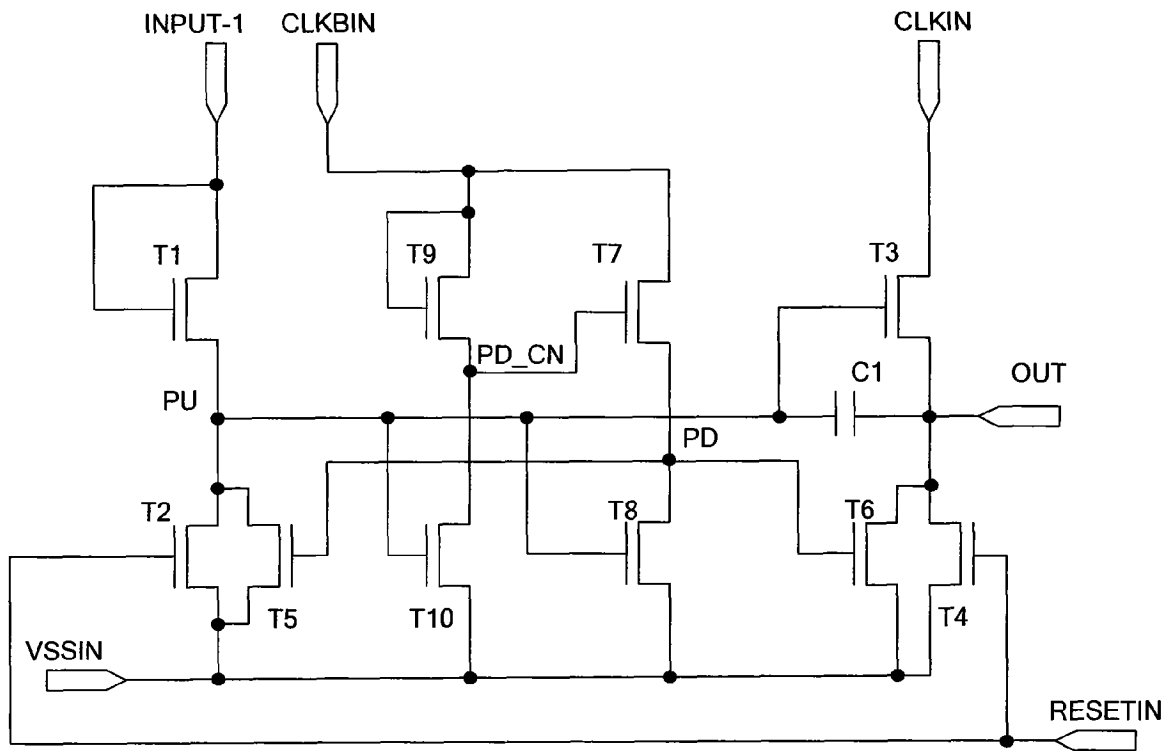


图 3a

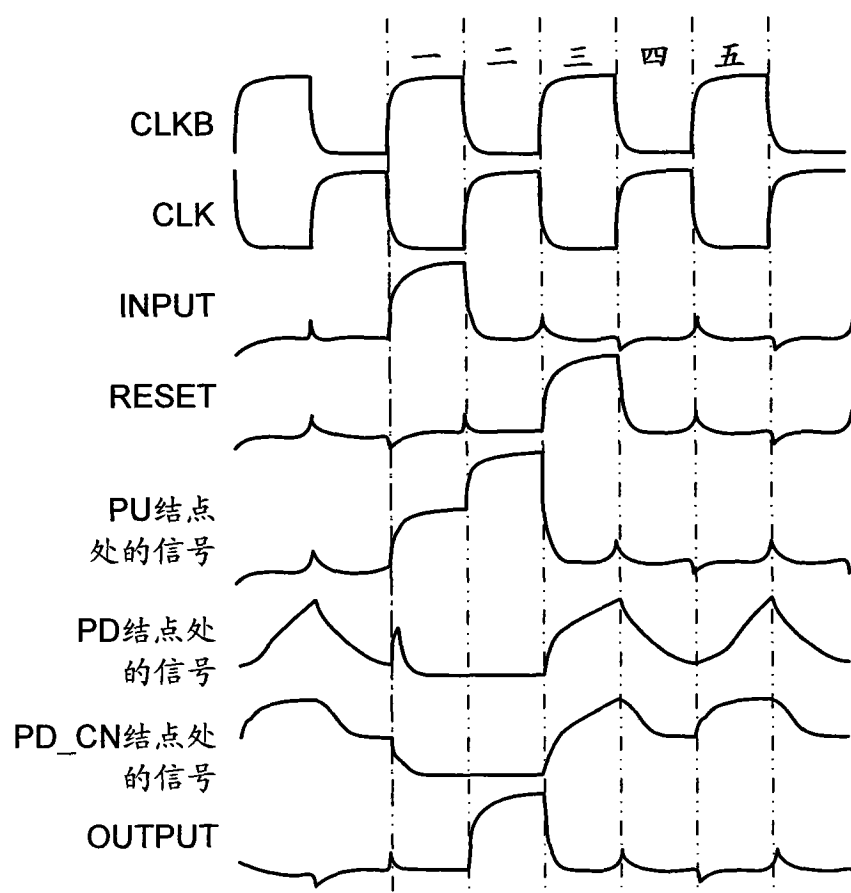


图 3b

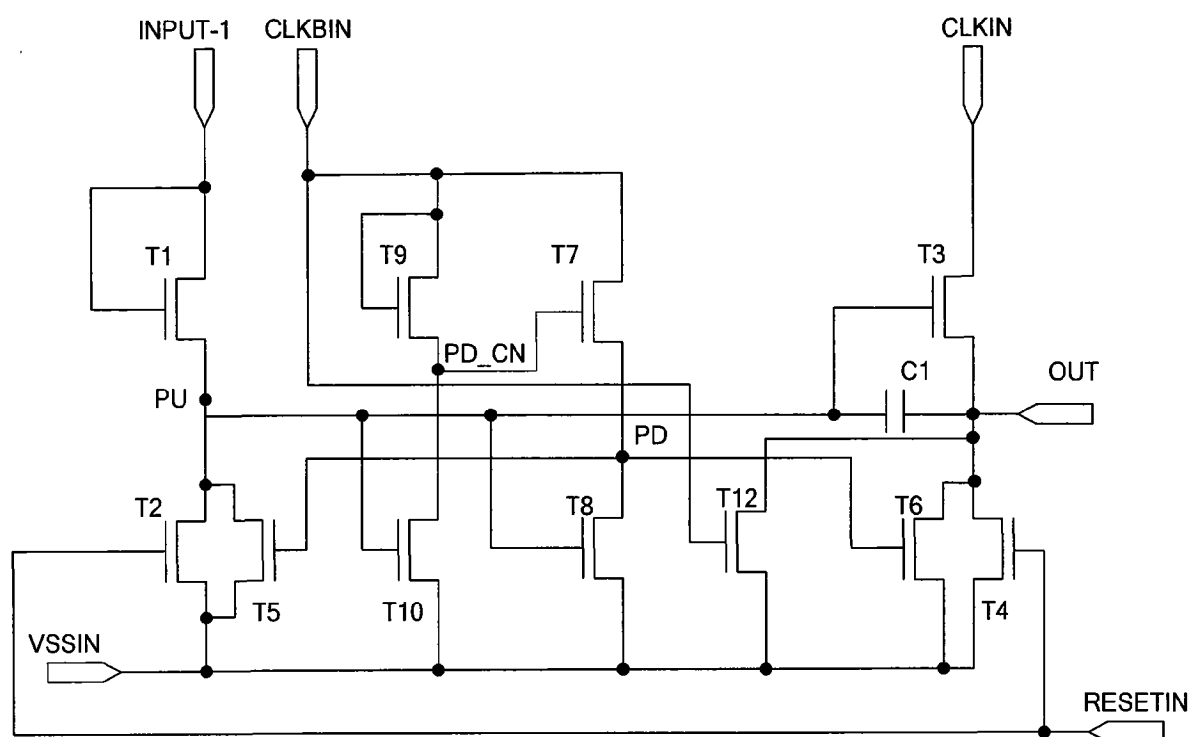


图 4

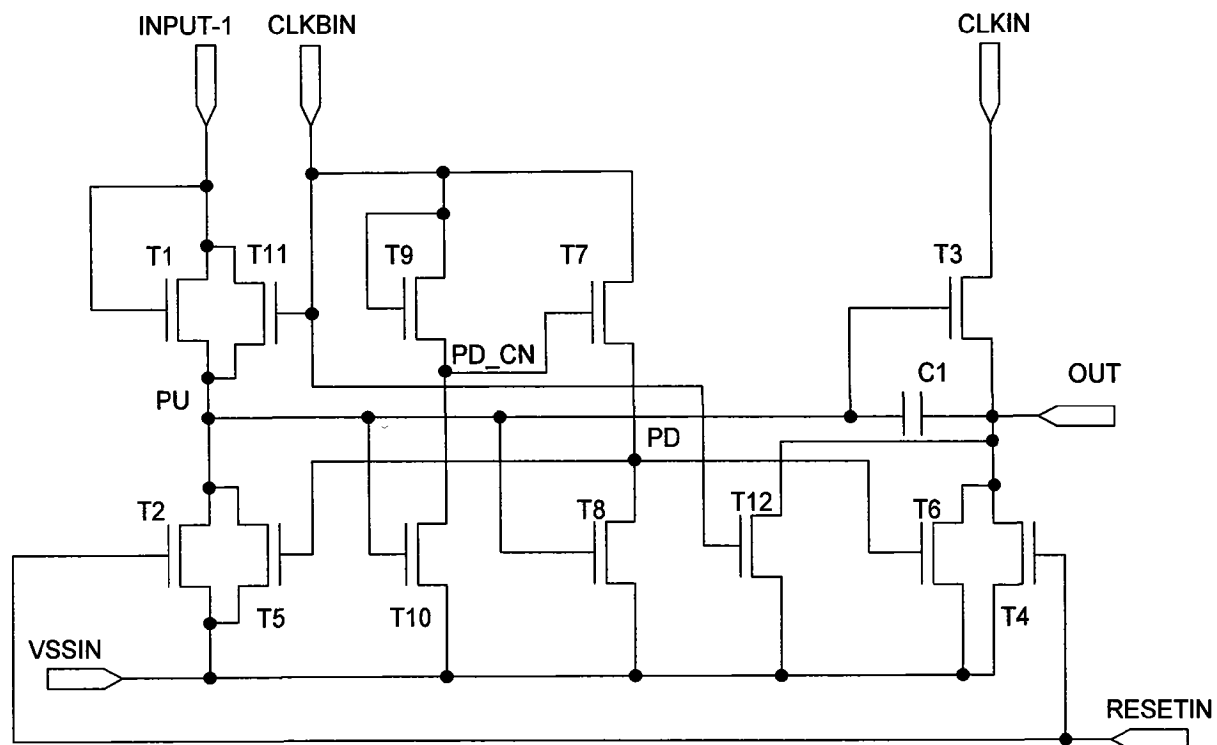


图 5

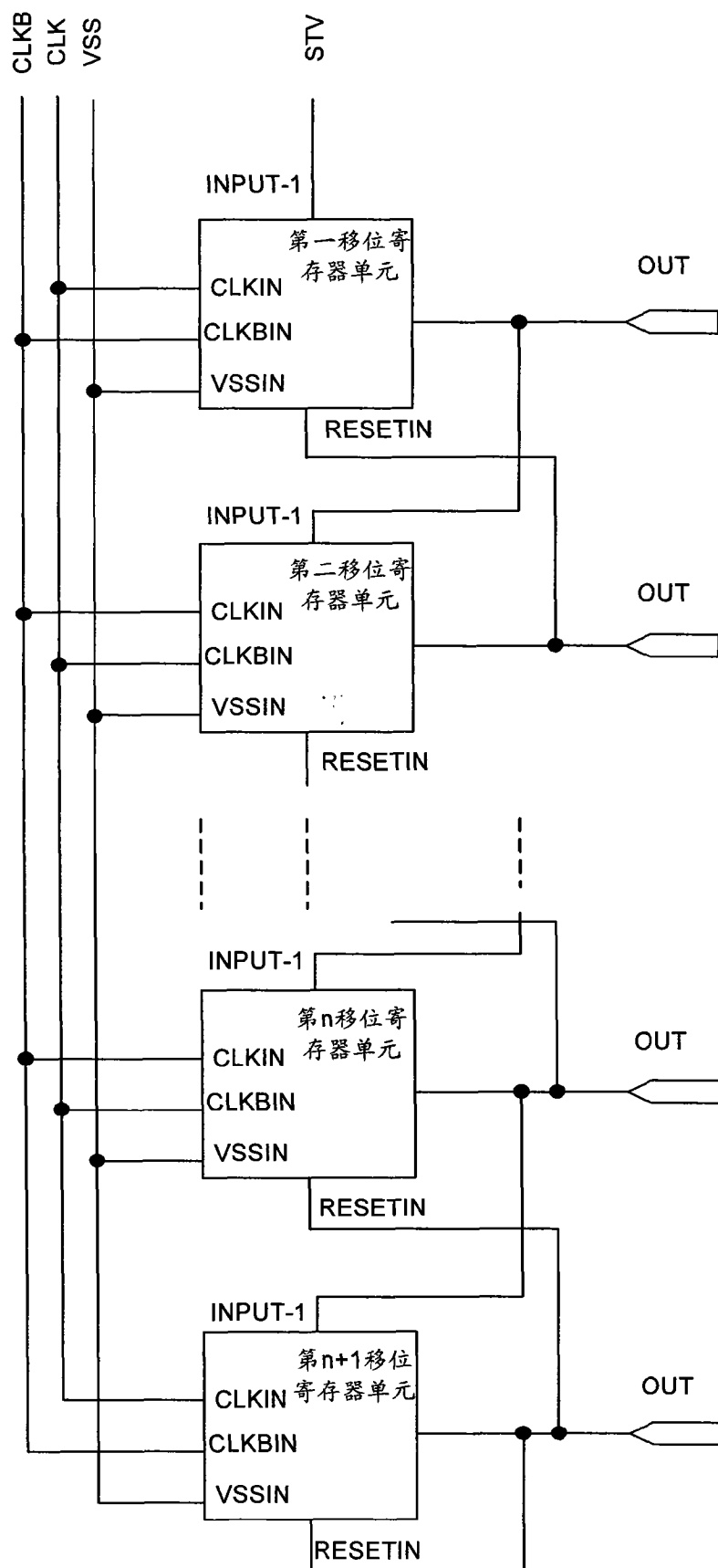


图 6a

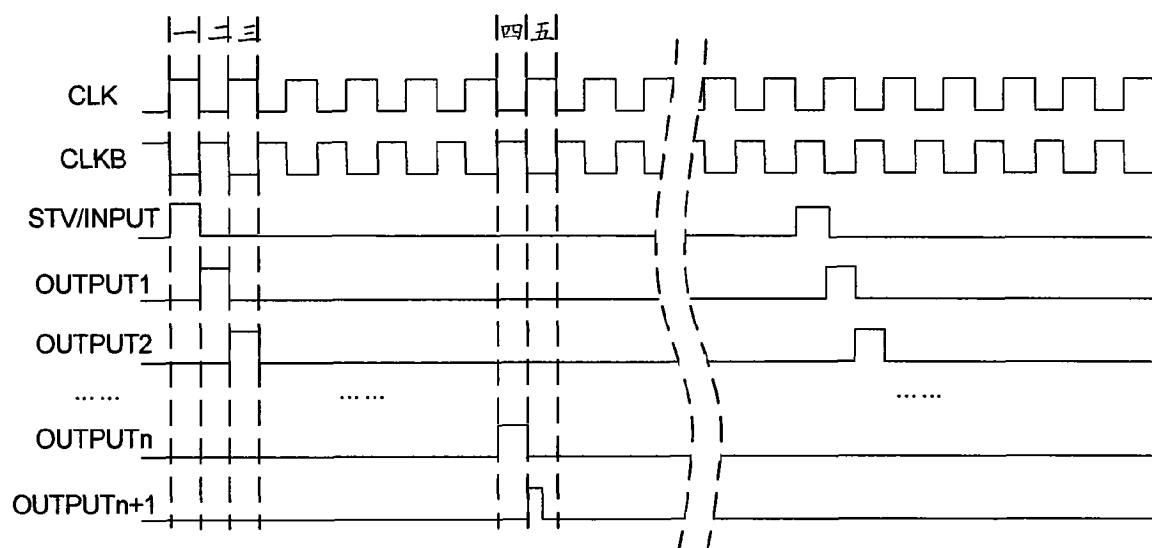


图 6b

本发明公开了一种移位寄存器单元及液晶显示器栅极驱动装置，其中移位寄存器单元在现有技术12晶体管1电容结构的基础上，将第七薄膜晶体管的漏极、第九薄膜晶体管的栅极和漏极均与第二时钟信号输入端连接，使得第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管和第十薄膜晶体管在移位寄存器单元输出高电平信号时器件不产生漏电流，能够减小移位寄存器单元的功耗。

