



(12) 发明专利申请

(10) 申请公布号 CN 104597680 A

(43) 申请公布日 2015. 05. 06

(21) 申请号 201510087099. 8

G02F 1/1343(2006. 01)

(22) 申请日 2010. 12. 24

G02F 1/1368(2006. 01)

(62) 分案原申请数据

201010623143. X 2010. 12. 24

(71) 申请人 群创光电股份有限公司

地址 中国台湾新竹科学工业园区苗栗县竹南镇科学路 160 号

申请人 群康科技(深圳)有限公司

(72) 发明人 陈建诚 陈建宏 谢志勇 罗伟

林俊旭 杨清喆 陈嘉伦

(74) 专利代理机构 上海专利商标事务所有限公司

31100

代理人 骆希聪

(51) Int. Cl.

G02F 1/1362(2006. 01)

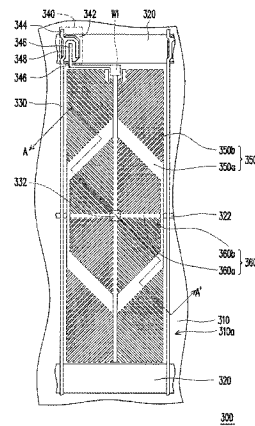
权利要求书4页 说明书16页 附图29页

(54) 发明名称

像素基板、液晶显示面板、液晶显示装置

(57) 摘要

一种具有多域垂直配向型像素结构的基板, 此基板包括:扫描线与数据线、第一有源元件、第二有源元件、第一图案化像素电极、钝化层以及第二图案化像素电极。第一有源元件与对应的扫描线及数据线电性连接, 第二有源元件与对应的扫描线及数据线电性连接。第一图案化像素电极电性连接到第一有源元件, 第一图案化像素电极具有多个第一条状电极。钝化层设置于第一图案化像素电极上。第二图案化像素电极电性连接到第二有源元件, 第二图案化像素电极具有多个第二条状电极。这些第一条状电极与这些第二条状电极彼此部分重叠, 且使这些第二条状电极从这些第一条状电极偏移一预定距离。



1. 一种具有多域垂直配向式像素结构的基板,包括:

一扫描线与一数据线;

一第一有源元件,与对应的该扫描线及该数据线电性连接;

一第二有源元件,与对应的该扫描线及该数据线电性连接;

其特征在于:

一第一图案化像素电极,电性连接到该第一有源元件,该第一图案化像素电极具有多个第一条状电极;

一钝化层,设置于该第一图案化像素电极上;以及

一第二图案化像素电极,电性连接到该第二有源元件,该第二图案化像素电极具有多个第二条状电极;

其中,该些第一条状电极与该些第二条状电极彼此部分重迭,且使该些第二条状电极从该些第一条状电极偏移一预定距离。

2. 如权利要求 1 所述的具有多域垂直配向式像素结构的基板,其特征在于,该预定距离为 $0.1 \sim 2.5 \mu\text{m}$ 。

3. 如权利要求 2 所述的具有多域垂直配向式像素结构的基板,其特征在于,该预定距离为 $0.5 \sim 1.5 \mu\text{m}$ 。

4. 如权利要求 1 所述的具有多域垂直配向式像素结构的基板,其特征在于,每一第一条状电极与每一第二条状电极重迭后的总宽度为 $3.6 \sim 6 \mu\text{m}$ 。

5. 如权利要求 4 所述的具有多域垂直配向式像素结构的基板,其特征在于,每一第一条状电极与每一第二条状电极重迭后的总宽度为 $4 \sim 5 \mu\text{m}$ 。

6. 一种液晶显示面板,包括:

一基板,包括:

一扫描线与一数据线,设置于该基板上;

一第一有源元件,设置于该基板上,与对应的该扫描线及该数据线电性连接;

一第二有源元件,设置于该基板上,与对应的该扫描线及该数据线电性连接;

其特征在于:

一第一图案化像素电极,电性连接到该第一有源元件,该第一图案化像素电极具有多个第一条状电极;

一钝化层,设置于该第一图案化像素电极上;以及

一第二图案化像素电极,电性连接到该第二有源元件,该第二图案化像素电极具有多个第二条状电极;

一对向基板,具有一共用电极,该对向基板设置于该基板对向侧,该共用电极对应于该第一及该第二图案化像素电极;以及

一液晶层,夹置于该对向基板与该基板之间;

其中,该些第一条状电极与该些第二条状电极彼此部分重迭,且使该些第二条状电极从该些第一条状电极偏移一预定距离。

7. 如权利要求 6 所述的液晶显示面板,其特征在于,该预定距离为 $0.1 \sim 2.5 \mu\text{m}$ 。

8. 如权利要求 7 所述的液晶显示面板,其特征在于,该预定距离为 $0.5 \sim 1.5 \mu\text{m}$ 。

9. 如权利要求 6 所述的液晶显示面板,其特征在于,每一第一条状电极与每一第二条

状电极重迭后的总宽度为 $3.6 \sim 6 \mu\text{m}$ 。

10. 如权利要求 9 所述的液晶显示面板,其特征在于,每一第一条状电极与每一第二条状电极重迭后的总宽度为 $4 \sim 5 \mu\text{m}$ 。

11. 一种液晶显示装置,包括:

一背光模块;以及

一液晶显示面板,设置于该背光模块的上方,包括:

一基板,包括:

一扫描线与一数据线,设置于该基板上;

一第一有源元件,设置于该基板上,与对应的该扫描线及该数据线电性连接;

一第二有源元件,设置于该基板上,与对应的该扫描线及该数据线电性连接;

其特征在于:

一第一图案化像素电极,电性连接到该第一有源元件,该第一图案化像素电极具有多个第一条状电极;

一钝化层,设置于该第一图案化像素电极上;以及

一第二图案化像素电极,电性连接到该第二有源元件,该第二图案化像素电极具有多个第二条状电极;

一对向基板,具有一共用电极,该对向基板设置于该基板对向侧,该共用电极对应于该第一及该第二图案化像素电极;以及

一液晶层,夹置于该对向基板与该基板之间;

其中,该些第一条状电极与该些第二条状电极彼此部分重迭,且使该些第二条状电极从该些第一条状电极偏移一预定距离。

12. 如权利要求 11 所述的液晶显示装置,其特征在于,该预定距离为 $0.1 \sim 2.5 \mu\text{m}$ 。

13. 如权利要求 12 所述的液晶显示装置,其特征在于,该预定距离为 $0.5 \sim 1.5 \mu\text{m}$ 。

14. 如权利要求 11 所述的液晶显示装置,其特征在于,每一第一条状电极与每一第二条状电极重迭后的总宽度为 $3.6 \sim 6 \mu\text{m}$ 。

15. 如权利要求 14 所述的液晶显示装置,其特征在于,每一第一条状电极与每一第二条状电极重迭后的总宽度为 $4 \sim 5 \mu\text{m}$ 。

16. 一种具有多域垂直配向式像素结构的基板,包括:

一扫描线与一数据线;

一第一有源元件,与对应的该扫描线及该数据线电性连接;

一第二有源元件,与对应的该扫描线及该数据线电性连接;

其特征在于:

一图案化像素电极,具有一第一区与一第二区,该第一区电性连接到该第一有源元件,该第二区电性连接到该第二有源元件,而该第一区与该第二区之间具有一边界区;

一偏置电极,对应于该边界区;以及

一钝化层,夹置于该偏置电极和该图案化像素电极之间。

17. 如权利要求 16 所述的具有多域垂直配向式像素结构的基板,其特征在于,从该第二区往该第一区的方向,使该偏置电极的边缘距离该第二区的该图案化像素电极的边缘一预定间距。

18. 如权利要求 17 所述的具有多域垂直配向式像素结构的基板,其特征在于,该预定间距为 $0 \sim 1 \mu\text{m}$ 。

19. 如权利要求 16 所述的具有多域垂直配向式像素结构的基板,其特征在于,该偏置电极的材料包括金属。

20. 如权利要求 16 所述的具有多域垂直配向式像素结构的基板,其特征在于,该偏置电极的材料包括透明导电材质。

21. 一种液晶显示面板,包括:

一基板,包括:

一扫描线与一数据线,设置于该基板上;

一第一有源元件,设置于该基板上,且与对应的该扫描线及该数据线电性连接;

一第二有源元件,设置于该基板上,且与对应的该扫描线及该数据线电性连接;

其特征在于:

一图案化像素电极,该图案化像素电极具有一第一区与一第二区,该第一区电性连接到该第一有源元件,该第二区电性连接到该第二有源元件,该第一区与该第二区之间具有一边界区;

一偏置电极,且对应于该边界区;以及

一钝化层,夹置于该偏置电极和该图案化像素电极之间;

一共用电极,设置于该图案化像素电极的对向侧;以及

一液晶层,位于该共用电极与该图案化像素电极之间;

其中,该第一区的电场强度大于该边界区的电场强度,该边界区的电场强度大于该第二区的电场强度。

22. 如权利要求 21 所述的液晶显示面板,其特征在于,从该第二区往该第一区的方向,使该偏置电极的边缘距离该第二区的该图案化像素电极的边缘一预定间距。

23. 如权利要求 21 所述的液晶显示面板,其特征在于,该预定间距为 $0 \sim 1 \mu\text{m}$ 。

24. 如权利要求 21 所述的液晶显示面板,其特征在于,该偏置电极的材料包括金属。

25. 如权利要求 21 所述的液晶显示面板,其特征在于,该偏置电极的材料包括透明导电材质。

26. 一种液晶显示装置,包括:

一背光模块;以及

一液晶显示面板,设置于该背光模块的上方,包括:

一基板,包括:

一扫描线与一数据线,设置于该基板上;

一第一有源元件,设置于该基板上,且与对应的该扫描线及该数据线电性连接;

一第二有源元件,设置于该基板上,且与对应的该扫描线及该数据线电性连接;

其特征在于:

一图案化像素电极,该图案化像素电极具有一第一区与一第二区,该第一区电性连接到该第一有源元件,该第二区电性连接到该第二有源元件,该第一区与该第二区之间具有一边界区;

一偏置电极,且对应于该边界区;以及

一钝化层,夹置于该偏置电极和该图案化像素电极之间;
一共用电极,设置于该图案化像素电极的对向侧;以及
一液晶层,位于该共用电极与该图案化像素电极之间;

其中,该第一区的电场强度大于该边界区的电场强度,该边界区的电场强度大于该第二区的电场强度。

27. 如权利要求 26 所述的液晶显示装置,其特征在于,从该第二区往该第一区的方向,使该偏置电极的边缘距离该第二区的该图案化像素电极的边缘一预定间距。

28. 如权利要求 26 所述的液晶显示装置,其特征在于,该预定间距为 $0 \sim 1 \mu\text{m}$ 。

29. 如权利要求 26 所述的具有液晶显示装置,其特征在于,该偏置电极的材料包括金属。

30. 如权利要求 26 所述的具有液晶显示装置,其特征在于,该偏置电极的材料包括透明导电材质。

像素基板、液晶显示面板、液晶显示装置

[0001] 本发明是 2010 年 12 月 24 日所提出的申请号为 201010623143. X、发明名称为《像素基板及其制作方法、液晶显示面板、液晶显示装置》的发明专利申请的分案申请。

技术领域

[0002] 本发明是有关于一种具有像素结构的基板及具有该基板的液晶显示面板与液晶显示装置,且特别是有关于一种低色偏 (Low Color Shift, LCS) 且暗纹少的具有多域垂直配向式 (Multi-domain Vertical Alignment, MVA) 像素结构的基板及具有该基板的液晶显示面板与液晶显示装置。

背景技术

[0003] 液晶显示器具有高画质、空间利用效率佳、低消耗功率、无辐射等优越特性。目前,提出有以下几种具有良好显示效果的液晶显示器,如:共平面切换式 (in-plane switching, IPS) 液晶显示器、边缘场切换式 (fringe field switching, FFS) 液晶显示器、多域垂直配向式 (multi-domain vertical alignment, MVA) 液晶显示器、以及聚合物稳定配向式 (Polymer-stabilized alignment, PSA) 液晶显示器等。

[0004] 图 1 为已知一种多域垂直配向式液晶显示面板的剖面示意图。请参照图 1,多域垂直配向式液晶显示面板 100 包括:第一基板 110、像素电极 120、液晶层 130、共用电极 140、彩色滤光层 150 与第二基板 160。可注意到,在像素电极 120 及共用电极 140 上设置狭缝 S,所形成的电场 E 会受到狭缝 S 的影响而曲折。因此,液晶分子 132 往不同的方向倾倒而形成多个区域的分布,以达到广视角的显示效果。但是,此种多域垂直配向型液晶显示面板 100 需要使上下位置的狭缝 S 精确对位。否则,一旦产生对位误差,将造成配向区域不均匀、且使光穿透率下降。

[0005] 图 2A、图 2B 分别为已知两种多域垂直配向式液晶显示面板的俯视示意图。图 2C、图 2D 分别为图 2A、图 2B 的多域垂直配向式液晶显示面板沿着剖面线 I-I' 的剖面示意图。图 2E、图 2F 分别为图 2A、图 2B 的多域垂直配向式液晶显示面板的像素电极 120、120' 的俯视示意图。图 2G、图 2H 分别为图 2A、图 2B 的多域垂直配向式液晶显示面板的像素电极 122、122' 的俯视示意图。

[0006] 请同时参照图 2A、2C、2E、2G,多域垂直配向式液晶显示面板 200 的元件与上述的多域垂直配向式液晶显示面板 100 的元件类似,因而标示为相同的符号。

[0007] 值得注意的是,在多域垂直配向式液晶显示面板 200 中,在同一侧制作了两层具有狭缝 S 的像素电极 120、122,而不在共用电极 140 上制作狭缝 S。在像素电极 120、122 之间还设置了保护层 170。如此,可改善上述对位误差的问题,然具备狭缝 S 的结构会产生暗纹而降低穿透率。

[0008] 为降低上述多域垂直配向式液晶显示面板的暗纹数,有另一种已知的多域垂直配向式液晶显示面板 200',请同时参照图 2B、2D、2E、2H,多域垂直配向式液晶显示面板 200' 的元件与上述的多域垂直配向式液晶显示面板 200 的元件类似,因而标示为相同的符号。

在多域垂直配向式液晶显示面板 200' 中,经由该像素电极 120'、122' 的配置可以使暗纹数降低。

[0009] 但是以上述的多域垂直配向式液晶显示面板 200、200' 分别利用两个薄膜晶体管 210、220、210'、220' 来进行像素电极 120、122、120'、122' 的驱动。以图 2C 为例,薄膜晶体管 210 连接到像素电极 120,而薄膜晶体管 220 连接到像素电极 122。更详细而言,利用薄膜晶体管 210 施加低压 (V_L) 到像素电极 120 而形成暗区;利用薄膜晶体管 220 施加高压 (V_H) 到像素电极 122 而形成亮区。借此,可使多域垂直配向式液晶显示面板 200 产生低色偏的显示效果。然而,以两个薄膜晶体管 210、220 来驱动两层像素电极 120、122 的方式,不但驱动的设计较为复杂,且需要的薄膜晶体管 210、220 的数目较多,会导致制造成本的提升。

[0010] 另外,如图 2A 所示,此多域垂直配向式液晶显示面板 200 主要是利用锯齿状的长条型像素电极图案 J 来控制液晶分子 132 的倒向。但是,锯齿状的长条型像素电极图案 J 的边际电场并无法完全涵盖狭缝 S 的区域,所以在具有狭缝 S 的区域、于光学表现上会产生一条条的暗纹。虽然可借由制程方法来增加长条型像素电极图案 J 的宽度(将狭缝 S 变小),进而提升长条型像素电极图案 J 的边际电场。然而,目前的曝光机的解析度与蚀刻制程能力的制程宽度极限为 $3.5\ \mu\text{m}$,实际上无法有效地增加长条型像素电极图案 J 的宽度。

[0011] 图 3 为已知另一种多域垂直配向式液晶显示面板的剖面示意图。请参照图 3,多域垂直配向式液晶显示面板 202 包括:第一基板 110、保护层 170、第一像素电极 122a、第二像素电极 122b、液晶层 130、共用电极 140 以及第二基板 160。

[0012] 考虑低色偏的显示效果时,必须要形成亮暗区的分布。为了得到较佳的光穿透率,一般会将像素电极切割成左右分布或上下分布的第一像素电极 122a、第二像素电极 122b,并分别施加高压 (V_H) 与低压 (V_L)。但是,这样的分布方式,在第一像素电极 122a 与第二像素电极 122b 之间的狭缝 S 处所形成的电场 E,将使得该位置的液晶分子 132 倾倒在无法透光的状态。因此,在图 3A 的箭头 A 处(三个位置)产生三条暗纹,降低了多域垂直配向式液晶显示面板 202 的显示品质。

发明内容

[0013] 有鉴于此,本发明提供一种具有多域垂直配向式像素结构的基板,具有低制造成本、结构简单、且具有低色偏效果及较少暗纹。

[0014] 本发明又提供一种液晶显示面板,具有上述的基板,可提供良好的显示品质。

[0015] 本发明提供一种液晶显示装置,具有上述液晶显示面板,可提供良好的显示品质。

[0016] 基于上述,本发明的第一发明提供一种具有多域垂直配向式像素结构的基板,此基板包括:扫描线与数据线、第一有源元件、第二有源元件、第一图案化像素电极、钝化层以及第二图案化像素电极。第一有源元件与对应的扫描线及数据线电性连接,第二有源元件与对应的扫描线及数据线电性连接。第一图案化像素电极电性连接到第一有源元件,第一图案化像素电极具有多个第一条状电极。钝化层设置于第一图案化像素电极上。第二图案化像素电极电性连接到第二有源元件,第二图案化像素电极具有多个第二条状电极。这些第一条状电极与这些第二条状电极彼此部分重叠,且使这些第二条状电极从这些第一条状电极偏移一预定距离。本发明又提供一种液晶显示面板,包括:上述的基板、对向基板以及液晶层。对向基板具有共用电极,对向基板设置于基板对向侧,共用电极对应于第一及第二

图案化像素电极。液晶层夹置于对向基板与基板之间。这些第一条状电极与这些第二条状电极彼此部分重迭,且使这些第二条状电极从这些第一条状电极偏移一预定距离。

[0017] 本发明又提供一种液晶显示面板,包括:上述的基板、对向基板以及液晶层。对向基板具有共用电极,对向基板设置于基板对向侧,共用电极对应于第一及第二图案化像素电极。液晶层夹置于对向基板与基板之间。这些第一条状电极与这些第二条状电极彼此部分重迭,且使这些第二条状电极从这些第一条状电极偏移一预定距离。

[0018] 本发明再提供一种液晶显示装置,包括:背光模块及上述的液晶显示面板。此液晶显示面板设置于背光模块的上方。

[0019] 在本发明的一实施例中,上述预定距离可为 $0.1 \sim 2.5 \mu\text{m}$,较佳为 $0.5 \sim 1.5 \mu\text{m}$ 。

[0020] 在本发明的一实施例中,上述每一第一条状电极与每一第二条状电极重迭后的总宽度可为 $3.6 \sim 6 \mu\text{m}$,较佳为 $4 \sim 5 \mu\text{m}$ 。

[0021] 根据上述,本发明的第二发明提出一种具有多域垂直配向式像素结构的基板,此基板包括:扫描线与数据线、第一有源元件、第二有源元件、图案化像素电极、偏置电极以及钝化层。第一有源元件与对应的扫描线及数据线电性连接,第二有源元件与对应的扫描线及数据线电性连接。图案化像素电极具有第一区与第二区,第一区电性连接到第一有源元件,第二区电性连接到第二有源元件,而第一区与第二区之间具有边界区。偏置电极对应于边界区。钝化层夹置于偏置电极和图案化像素电极之间。

[0022] 本发明又提供一种液晶显示面板,包括:上述的基板、共用电极以及液晶层。共用电极设置于图案化像素电极的对向侧。液晶层位于共用电极与图案化像素电极之间。第一区的电场强度大于边界区的电场强度,边界区的电场强度大于第二区的电场强度。

[0023] 本发明再提供一种液晶显示装置,包括:背光模块及上述的液晶显示面板。此液晶显示面板设置于背光模块的上方。

[0024] 在本发明的一实施例中,上述具有多域垂直配向式像素结构的基板中,从第二区往第一区的方向,使偏置电极的边缘距离第二区的图案化像素电极的边缘一预定间距。

[0025] 在本发明的一实施例中,上述预定间距为 $0 \sim 1 \mu\text{m}$ 。

[0026] 在本发明的一实施例中,上述偏置电极的材料包括金属。

[0027] 在本发明的一实施例中,上述偏置电极的材料包括透明导电材质。

[0028] 基于上述,在本发明的具有多域垂直配向式像素结构的基板中,经由压降层的设计或图案化像素电极的狭缝配置,可达到低色偏、暗纹少的显示效果。而本发明的液晶显示面板及液晶显示装置,由于具有上述的具有多域垂直配向式像素结构的基板,所以可提供良好的显示品质。此外,根据本发明的具有多域垂直配向式像素结构的基板的制作方法,可利用简单的流程来制作出具有低色偏效果与较少暗纹的多域垂直配向式像素结构。

附图说明

[0029] 为了让本发明的上述目的、特征和优点能更明显易懂,以下结合附图对本发明的具体实施方式作详细说明,其中:

[0030] 图 1 为已知一种多域垂直配向式液晶显示面板的剖面示意图。

[0031] 图 2A、图 2B 分别为已知两种多域垂直配向式液晶显示面板的俯视示意图。

[0032] 图 2C、图 2D 分别为图 2A、图 2B 的多域垂直配向式液晶显示面板沿着剖面线 I-I'

的剖面示意图。

[0033] 图 2E、图 2F 分别为图 2A、图 2B 的多域垂直配向式液晶显示面板的像素电极 120、120' 的俯视示意图。

[0034] 图 2G、图 2H 分别为图 2A、图 2B 的多域垂直配向式液晶显示面板的像素电极 122、122' 的俯视示意图。

[0035] 图 3 为已知另一种多域垂直配向式液晶显示面板的剖面示意图。

[0036] 图 4 为本发明较佳实施例的一种具有多域垂直配向式像素结构的基板上视示意图。

[0037] 图 5A 为图 4 的多域垂直配向式像素结构沿着 A-A' 线的剖面示意图。

[0038] 图 5B 为图 5A 中有施加电压的膜层的等效电路图。

[0039] 图 6A、图 6B 为本发明较佳实施例的一种第一图案化像素电极的上视示意图。

[0040] 图 6C 为本发明较佳实施例的一种第二图案化像素电极的上视示意图。

[0041] 图 7 为在不同压差下,色偏程度随着视角改变的曲线图。

[0042] 图 8 为压降层选用不同材料时,上述压差对应于厚度的曲线图。

[0043] 图 9A 为选用氮化硅作为压降层材料时,液晶分子受电场影响的示意图。

[0044] 图 9B 为选用高分子透明绝缘材料作为压降层材料时,液晶分子受电场影响的示意图。

[0045] 图 10 是本发明较佳实施例的一种液晶显示面板的立体示意图。

[0046] 图 11 为本发明较佳实施例的一种液晶显示装置的示意图。

[0047] 图 12A ~ 图 12E 为本发明较佳实施例的一种具有多域垂直配向式像素结构的基板的制作方法部分流程示意图。

[0048] 图 13A 为本发明较佳实施例的另一种具有多域垂直配向式像素结构的基板的上视示意图。

[0049] 图 13B 为图 13A 的多域垂直配向式像素结构沿着 B-B' 线的剖面示意图。

[0050] 图 14A 为图 13A 的多域垂直配向式像素结构的第一图案化像素电极的俯视示意图。

[0051] 图 14B 为图 13A 的多域垂直配向式像素结构的第二图案化像素电极的俯视示意图。

[0052] 图 15A 为本发明较佳实施例的再一种具有多域垂直配向式像素结构的基板的上视示意图。

[0053] 图 15B 为图 15A 的多域垂直配向式像素结构沿着 II-II' 线的剖面示意图。

[0054] 图 15C 为图 15A 的多域垂直配向式像素结构沿着 III-III' 线的剖面示意图。

[0055] 图 16A 为图 15A 的具有多域垂直配向式像素结构的基板的偏置电极的俯视示意图。

[0056] 图 16B 为图 15A 的具有多域垂直配向式像素结构的基板的图案化像素电极的俯视示意图。

[0057] 主要元件符号说明：

[0058] 100 : 多域垂直配向型液晶显示面板

[0059] 110 : 第一基板

- [0060] 120、120'、122、122' :像素电极
- [0061] 122a :第一像素电极
- [0062] 122b :第二像素电极
- [0063] 130、390、790、890 :液晶层
- [0064] 132、392、892 :液晶分子
- [0065] 140、780、880 :共用电极
- [0066] 150 :彩色滤光层
- [0067] 160 :第二基板
- [0068] 170 :保护层
- [0069] 200、200'、202 :液晶显示面板
- [0070] 210、210'、220、220' :薄膜晶体管
- [0071] 300、700、800 :多域垂直配向式像素结构
- [0072] 310、710、810 :具有多域垂直配向式像素结构的基板
- [0073] 310a :像素区域
- [0074] 320、720、820 :扫描线
- [0075] 322 :储存电容电极
- [0076] 330、730、830 :数据线
- [0077] 332 :第二金属电极
- [0078] 340、740、750、840、845 :有源元件
- [0079] 342 :栅极
- [0080] 344 :源极
- [0081] 346 :漏极
- [0082] 348 :沟道层
- [0083] 350、760、875 :第一图案化像素电极
- [0084] 350a :第一完整覆盖区
- [0085] 350b、360b :狭缝分布区
- [0086] 360、770、876 :第二图案化像素电极
- [0087] 360a :第二完整覆盖区
- [0088] 370、860 :压降层
- [0089] 380 :共用电极
- [0090] 382 :彩色滤光层
- [0091] 384、782 :对向基板
- [0092] 390 :液晶层
- [0093] 400 :液晶显示面板
- [0094] 500 :背光模块
- [0095] 600 :液晶显示装置
- [0096] 762、772 :十字部分
- [0097] 764、774、852、872 :环状部分
- [0098] 766、776、854、874a、874b :条状部分

- [0099] 760a :第一条状电极
- [0100] 770a :第二条状电极
- [0101] 850 :偏置电极
- [0102] 860、 L_{SiN} :钝化层(氮化硅层)
- [0103] 870 :图案化像素电极
- [0104] 392、892 :液晶分子
- [0105] C1、C2、D1、D2 :曲线
- [0106] d :预定间距
- [0107] d1 :偏移距离
- [0108] d2 ~ d4 :宽度
- [0109] E、 E_H 、 E_T 、 E_L :电场
- [0110] E_{SiN} 、 E_{PFA} :边界电场
- [0111] J :长条型像素电极图案
- [0112] R1 :第一区
- [0113] R2 :第二区
- [0114] S :狭缝
- [0115] V_H :高压区
- [0116] V_I :边界区
- [0117] V_L :低压区
- [0118] W1 :接触窗开口

具体实施方式

[0119] 第一实施例

[0120] 图4为本发明较佳实施例的一种具有多域垂直配向式像素结构的基板上视示意图。图5A为图4的多域垂直配向式像素结构沿着A-A'线的剖面示意图。图5B为图5A中有施加电压的膜层的等效电路图。

[0121] 请同时参考图4、图5A与图5B,此具有300的基板310可对向于具有共用电极380的对向基板384,且液晶层390位于基板310与对向基板384之间。此基板310包括:扫描线320、数据线330、有源元件340、第一图案化像素电极350、压降层370以及第二图案化像素电极360。扫描线320与数据线330将基板310划分成多个像素区域310a。有源元件340与扫描线320及数据线330电性连接。第一图案化像素电极350与有源元件340电性连接。压降层370设置于第一图案化像素电极350之上。第二图案化像素电极360设置于第一图案化像素电极350的上方,且与有源元件340电性连接,其中,第一图案化像素电极350和第二图案化像素电极360等电位,第一图案化像素电极350提供液晶层390一第一电场,第二图案化像素电极360提供液晶层390一第二电场,而压降层370使第一电场小于第二电场。

[0122] 在一实施例中,压降层370可满足下列条件:

$$[0123] \quad \frac{\varepsilon_{pass}}{d_{pass}} \leq \frac{\varepsilon_{LC}}{d_{LC}} \times \left(\frac{|V_{0-gray} - V_{com}|}{B} - 1 \right) \quad \text{----- (1),}$$

[0124] ϵ_{pass} 为压降层 370 的介电常数、 ϵ_{LC} 为液晶层 390 的介电常数、 d_{pass} 为压降层 370 的厚度、 d_{LC} 为液晶层 390 的厚度、 $V_{0\text{-gray}}$ 为在暗态零灰度时对第一图案化像素电极 350 施加的数据电压、 V_{com} 为对共用电极 380 所施加的电压,其中 B 为一常数,且 $0.3 \leq B \leq 2$,或者,在另一实施例中,B 可为 0.5。

[0125] 请继续参照图 4、图 5A 与图 5B,有源元件 340 可包括:栅极 342、源极 344 与漏极 346,栅极 342 与扫描线 320 电性连接,而源极 344 与漏极 346 与数据线 330 电性连接。特别是,有源元件 340 中还具有一沟道层 348,可使电子在沟道层 348 中移动。此有源元件 340 例如是薄膜晶体管之类的三端子开关元件,用来对第一及第二图案化像素电极 350、360 施加来自于数据线 330 的数据电压。

[0126] 另外,如图 4 所示的具有多域垂直配向式像素结构 300 的基板 310 还可以包括:储存电容电极 322,设置于基板 310 上且位于相邻的两条扫描线 320 之间。此储存电容电极 322 一般是利用与扫描线 320 相同的第一道光罩制程而制作的。此储存电容电极 322、位于储存电容电极 322 上的闸绝缘层(未绘示)以及第二金属电极 332 可形成一储存电容(Cst),使多域垂直配向型像素结构 300 的显示能维持一段较长的时间。第二金属电极 332 例如是利用与数据线 330 相同的第二道光罩制程而制作的。

[0127] 图 6A、6B 为本发明较佳实施例的一种第一图案化像素电极的上视示意图。图 6C 为本发明较佳实施例的一种第二图案化像素电极的上视示意图。请先参考图 4、图 5A 与图 6A、6B,第一图案化像素电极 350 可包括:第一完整覆盖区 350a 以及至少一狭缝分布区 350b,液晶层 390 的多个液晶分子 392 具有多个倾倒方向,其中第一完整覆盖区 350a 位于液晶分子 392 的倾倒方向的倾倒中心,狭缝分布区 350b 用以稳定液晶分子 392 的倾倒方向。请再参照图 4、图 5A 与图 6C,第二图案化像素电极 360 可包括:第二完整覆盖区 360a 与至少一狭缝分布区 360b,狭缝分布区 360b 从第二完整覆盖区 360a 的中心往外呈放射状分布。另外,图 6A 绘示一种接触窗的形式,图 6B 绘示另一种接触窗的形式,然在此仅为举例,并非用以限定本发明。

[0128] 再者,第一图案化像素电极 350 还可以有以下变化,例如,第一完整覆盖区 350a 亦可作成一狭缝分布区,亦即,在图 6A 的第一完整覆盖区 350a 中形成如图 6C 一样的狭缝,且具有狭缝的第一完整覆盖区 350a 的四周对应设置有狭缝分布区 350b,也就是说,第一图案化像素电极 350 包括:至少一狭缝分布区。

[0129] 另外,第一图案化像素电极 350 还可以有以下变化,例如,第一完整覆盖区 350a 无任何像素电极,亦即,在图 6A 的第一完整覆盖区 350a 是不存在像素电极的,且不具有像素电极的第一完整覆盖区 350a 的四周对应设置有狭缝分布区 350b,也就是说,第一图案化像素电极 350 包括:一无像素电极覆盖区(相当于图 6A 的第一完整覆盖区 350a 不存在像素电极)与至少一狭缝分布区 350b,狭缝分布区 350b 围绕无像素电极覆盖区 350a。

[0130] 值得注意的是,经由第一及第二图案化像素电极 350、360 的狭缝设置,可使得液晶分子 392 具有多个倾倒方向而造成多个显示区域,因此,可得到广视角的显示效果。特别是,上述第一及第二图案化像素电极 350、360 的图案设计,适于使液晶分子 392 的倾倒角度为连续变化。因此,在第一及第二图案化像素电极 350、360 的交界处(亮暗区隔)不会产生暗纹。由于没有暗纹的影响,可提升此多域垂直配向式像素结构 300 的整体穿透率。上述第一及第二图案化像素电极 350、360 的狭缝图案仅作为说明,但实际应用时并不以上述

狭缝图案为限制。具有本领域的通常知识者当可依其不同目的而加以变化。

[0131] 请再同时参考图 4、图 5A 与图 5B, 压降层 370 还可包括: 至少一接触窗开口 W1, 而第二图案化像素电极 360 透过接触窗开口 W1 以与第一图案化像素电极 350 电性连接。另外, 压降层 370 可以是单一层结构、或是由两层以上的膜层堆迭而成的多层膜结构。另外, 请再参照图 5A, 此多域垂直配向式像素结构 300 更可进一步包括彩色滤光层 382, 设置于共用电极 380 的上方。彩色滤光层 382 的作用在于使此多域垂直配向式像素结构 300 可进行全彩化显示。

[0132] 以下, 将继续说明本发明的压降层 370 使第一电场小于第二电场的原理以及产生的作用。请参照图 5A, 上述的多域垂直配向式像素结构 300 具有第一区 R1 与第二区 R2。多域垂直配向式像素结构 300 仅利用一个有源元件 340 来电性连接第一及第二图案化像素电极 350、360, 所以, 在第二区 R2 中, 第一及第二图案化像素电极 350、360 上所施加的数据电压 V_{IT01} 、 V_{IT02} 是相同的。理论上, 共用电极 380 分别与第一及第二图案化像素电极 350、360 之间所形成的压差是相同的。然而, 由于设置了压降层 370、且压降层 370 使第一电场小于第二电场, 实际上, 在第一区 R1 处, 可以使液晶层 390 的液晶分子 392 从第一及第二图案化像素电极 350、360 所感受到的压差成为不同。

[0133] 更详细而言, 在第一区 R1 中, 由于设置了压降层 370, 所以液晶分子 392 从第一图案化像素电极 350 感受到较小的电压差而成为低电压区, 在低电压区的液晶分子 392 倾倒的角度小, 所以第一区 R1 成为暗区。另外, 在第二区 R2 中, 由于第二图案化像素电极 360 直接对于液晶分子 392 产生影响 (并没有压降层 370 的影响), 所以液晶分子 392 直接从第二图案化像素电极 360 感受到较大的电压差而成为高电压区, 在高电压区的液晶分子 392 倾倒的角度大, 所以第二区 R2 成为亮区。综上所述, 由于可以在同一个多域垂直配向式像素结构 300 中同时形成亮暗区, 所以可达到低色偏显示效果。另外, 当压降层 370 的条件满足上述式 (1) 时, 可有效调整上述压差, 得到更佳的液晶显示效果。

[0134] 请参照图 5A 与图 5B, 图 5B 中各符号的意义说明如下: V_{com} 为施加在共用电极 380 的共用电压 (common voltage); V_S 为第一图案化像素电极 350 的数据电压经过压降层 370 降压后, 使液晶分子 392 造成倾倒的电压; V_{IT01} 为施加在第一图案化像素电极 350 的数据电压; V_{IT02} 为施加在第二图案化像素电极 360 的数据电压; C_{LC} 为液晶层 390 的电容; C_{pass} 为压降层 370 的电容; d_{pass} 为压降层 370 的厚度。

[0135] 以下将说明上述式 (1) 的推导, 式 (1) 的推导是针对图 5A 的第一区 R1 而进行的。更详细而言, 第一及第二图案化像素电极 350、360 为等电压 ($V_{IT01} = V_{IT02}$), 要形成亮暗区需借由压降层 370 来造成压降, 这是在第一区 R1 中进行的过程。第一图案化像素电极 350 经过压降层 370 后所形成的电压 V_S , 可借电容公式来做计算, 由此得到式 (2):

$$[0136] \quad V_S = (V_{IT02} - V_{com}) \times \frac{C_{pass}}{C_{pass} + C_{LC}} + V_{com} \quad (2)$$

[0137] 一般而言, 液晶分子 392 在显示状态下由暗态变化到亮态时的视觉转换效果较明显, 暗态零灰度时的施加电压 V_{IT02} ($= V_{0-gray}$) 和 V_{com} 的压差, 其要比 V_S 和 V_{com} 的压差大 B 伏以上, 由经验可知 B 为一常数, 在 $0.3 \leq B \leq 2$ 下可得到较佳的液晶显示效果, 由此得到式 (3):

$$[0138] \quad (V_{IT02} - V_{com}) - (V_S - V_{com}) \geq B \quad (3)$$

[0139] 将式 (2) 代入式 (3) 可得式 (4) :

$$[0140] \quad V_{ITO2} - \left[(V_{ITO2} - V_{com}) \times \frac{C_{pass}}{C_{pass} + C_{LC}} + V_{com} \right] \geq B \quad \text{----- (4)}$$

[0141] 将式 (4) 化简可得式 (5) :

$$[0142] \quad \frac{\varepsilon_{pass}}{d_{pass}} \leq \frac{\varepsilon_{LC}}{d_{LC}} \times \left(\frac{|V_{0-gray} - V_{com}|}{B} - 1 \right) \text{----- (5)}$$

$$[0143] \quad V_{ITO2} - V_{com} = V_{LC} \text{----- (6)}$$

[0144] 将式 (6) 带入式 (5) 进行化简, 可得式 (7) :

$$[0145] \quad V_{LC} \times \left[\frac{C_{LC}}{C_{pass} + C_{LC}} \right] \geq B \text{----- (7)}$$

[0146] 再由式 (7) 可得式 (8) :

$$[0147] \quad V_{ITO2} - V_{com} \geq A \times \left(\frac{C_{pass} + C_{LC}}{C_{LC}} \right) \quad \text{----- (8)}$$

[0148] 又定义暗态零灰度电压 :

$$[0149] \quad |V_{0-gray} - V_{com}| = V_{LC} \text{----- (9)}$$

[0150] 将式 (9) 代入式 (8) 可得式 (10) :

$$[0151] \quad V_{0-gray} - V_{com} \geq A \times \left(\frac{C_{pass} + C_{LC}}{C_{LC}} \right) \text{----- (10)}$$

[0152] 由式 (10) 可得式 (11)

$$[0153] \quad \left(\frac{C_{pass} + C_{LC}}{C_{LC}} \right) \leq \frac{|V_{0-gray} - V_{com}|}{B} \quad \text{----- (11)}$$

[0154] 再由式 (11) 可得式 (12)

$$[0155] \quad C_{pass} \leq C_{LC} \left(\frac{|V_{0-gray} - V_{com}|}{B} - 1 \right) \quad \text{----- (12)}$$

[0156] 由电容公式 (13) 可知 :

$$[0157] \quad C_{pass} = \varepsilon_{pass} \times \frac{A}{d_{pass}}; C_{LC} = \varepsilon_{LC} \times \frac{A}{d_{LC}} \text{----- (13)}$$

[0158] 因此, 将式 (13) 带入式 (12) 并进行整理, 即可以得到压降层 370 的设置条件, 即上述式 (1),

$$[0159] \quad \frac{\varepsilon_{pass}}{d_{pass}} \leq \frac{\varepsilon_{LC}}{d_{LC}} \times \left(\frac{|V_{0-gray} - V_{com}|}{B} - 1 \right) \quad \text{----- (1)}$$

[0160] 由上述说明得知 B 为一常数, 在 $0.3 \leq B \leq 2$ 下可得到较佳的液晶显示效果。举例而言, 请参阅图 7, 其为在不同压差下, 色偏程度随着视角改变的曲线图。其中, 曲线 C1 为暗态零灰度时的施加电压 $V_{ITO2} (= V_{0-gray})$ 和 V_{com} 的压差、与 V_S 和 V_{com} 的压差为 0V 时的色偏程度随视角变化的曲线; 而曲线 C2 为暗态零灰度时的施加电压 $V_{ITO2} (= V_{0-gray})$ 和 V_{com} 的压

差、与 V_s 和 V_{com} 的压差为 0.5V 时的色偏程度随视角变化的曲线。请参照图 7, 可知: 相较于压差为 0V (曲线 C1), 当上述压差为 0.5V (曲线 C2) 时色偏现象可获得较明显的改善, 故 B 较佳可为 0.5。

[0161] 值得注意的是, 压降层 370 的设置方式, 如材质的选用 (介电常数的大小)、压降层 370 的厚度等, 会直接影响到上述的压差。由上述式 (1) ~ 式 (13) 可知, 当压降层 370 的材质的介电常数较小或是压降层 370 的厚度较大, 均可得到较大的压差而使第一及第二图案化像素电极 350、360 产生明显的亮暗区以改善色偏效果。换言之, 如果压降层 370 在相同厚度下, 第一及第二图案化像素电极 350、360 之间的压降层 370 的电容值要尽量减小。

[0162] 为详细说明压降层 370 设置的方式, 以下将分别以压降层 370 的材质采用氮化硅 (SiN) 与高分子透明绝缘材料 (PFA) 为例说明。图 8 为压降层选用不同材料时, 上述压差对应于厚度的曲线图, 其中, 曲线 D1 采用氮化硅, 曲线 D2 采用高分子透明绝缘材料。图 9A 为选用氮化硅作为压降层 370 材料时, 液晶分子 392 受电场影响的示意图。图 9B 为选用高分子透明绝缘材料作为压降层 370 材料时, 液晶分子 392 受电场影响的示意图。

[0163] 请参照图 8, 在上述的多域垂直配向式像素结构 300 中, 如果压降层 370 的材质选用氮化硅, 该介电常数 (ϵ_{pass}) 为 10, 当厚度 (d_{pass}) 为 $0.3 \mu m$ 的条件可产生的压差为 0.2V; 如果压降层 370 的材质是高分子透明绝缘材料, 该介电常数 (ϵ_{pass}) 为 3.5, 当厚度 (d_{pass}) 为 $0.3 \mu m$ 的条件可产生的压差为 0.7V。

[0164] 比较图 9A 与图 9B, 如图 9A 所示, 当以氮化硅作为压降层 370 材料时, 如果厚度为 $0.3 \mu m$, 造成的压差仅为 0.2V, 所以第二图案化像素电极 360 产生额外的边界电场 E_{SiN} 较弱, 所以亮暗区较不明显, 就算厚度增加到 $3 \mu m$, 压差也只增加到 1.3V; 然而, 如图 9B 所示, 当以高分子透明绝缘材料作为压降层 370 材料时, 如果厚度为 $3 \mu m$, 则产生的压差可为 3V 左右, 所以第二图案化像素电极 360 所形成的边界电场 E_{PFA} 较强, 也就是说, 以相同厚度而言, 以高分子透明绝缘材料作为压降层 370 产生的压差比较大, 因此受到边界电场 E_{PFA} 影响的液晶分子 392 反应较快且倾倒角度大, 使得亮暗区因此较为分明。如此一来, 可达到低色偏的显示效果。上述压降层 370 选用的材料、厚度与膜层数目可根据设计需要而变更, 此处仅为举例说明, 而非限制本发明的内容。

[0165] 综上所述, 上述的多域垂直配向式像素结构 300 仅利用一个有源元件 340 来电性连接第一及第二图案化像素电极 350、360, 虽施加相同的数据电压到第一及第二图案化像素电极 350、360 上, 但配合压降层 370 的设置实际上可造成液晶分子 392 分别感受到来自于第一及第二图案化像素电极 350、360 的不同压差。所以, 此多域垂直配向式像素结构 300 可减少有源元件 340 的使用数量、结构简单, 且可造成明显的压差而产生亮暗区, 以达到低色偏的显示效果。

[0166] 图 10 是本发明较佳实施例的一种液晶显示面板的立体示意图。请参照图 10, 此液晶显示面板 400 包括多个上述的多域垂直配向式像素结构 300。至于每一个多域垂直配向式像素结构 300 均已于上述的实施例中进行了说明, 所以在此不再予以重述。此液晶显示面板 400 整体使用的有源元件较少, 可节省制作成本。特别是, 借由一个有源元件 340、第一及第二图案化像素电极 350、360 与压降层 370 的设置, 即可容易地达到低色偏显示效果, 进而提供良好的显示品质。

[0167] 图 11 为本发明较佳实施例的一种液晶显示装置的示意图。请参考图 11, 此液晶显

示装置 600 包括：上述的液晶显示面板 400 以及背光模块 500，此液晶显示面板 400 设置于背光模块 500 的上方。同样地，此液晶显示面板 400 包括多个上述的多域垂直配向式像素结构 300。至于每一个多域垂直配向式像素结构 300 已于上述的实施例进行了相关说明，在此不再予以重述。另外，背光模块 500 可以使用直下式背光模块或是侧面入光式背光模块，提供面光源 L 给液晶显示面板 400，关于背光模块 500 的种类在此并不予以限定。此液晶显示装置 600 由于使用了具有低色偏效果的液晶显示面板 400，所以可提供良好的显示品质。

[0168] 图 12A ~ 图 12E 为本发明较佳实施例的一种具有多域垂直配向式像素结构的基板的制作方法部分流程示意图。在参照图 12A ~ 图 12E 的制作流程时，请同时参照图 4 与图 5A 以理解具有多域垂直配向式像素结构 300 的基板 310 的制作流程。

[0169] 首先，请参照图 5A 与图 12A，提供一基板 310。此基板 310 可以是玻璃基板或是石英基板。

[0170] 接着，请参照图 12A 与图 12B，于基板 310 上形成一扫描线 320、一数据线 330 与一有源元件 340，扫描线 320 与数据线 330 将基板 310 划分成多个像素区域 310a，且有源元件 340 与扫描线 320 及数据线 330 电性连接。详细而言，如图 12A 所示为进行第一道光罩制程 (Metal 1)，在第一道光罩制程中形成扫描线 320 与后续有源元件 340 的栅极 342。另外，还可于基板 310 上、且位于相邻的两条扫描线 320 之间形成一储存电容电极 322。

[0171] 如图 5A 与图 12B 所示，进行第二道光罩制程 (Metal 2)，在第二道光罩制程中形成数据线 330，并借由膜层的堆迭而形成有源元件 340。此有源元件 340 包括：栅极 342、源极 344 与漏极 346，其中栅极 342 与扫描线 320 电性连接，源极 344 与数据线 330 电性连接，漏极 346 会与后续形成的第一及第二图案化像素电极 350、360 电性连接。特别是，有源元件 340 中还具有一沟道层 348，可使电子在沟道层 348 中移动。另外，在此步骤中，还可在储存电容电极 322 的上方形成一第二金属电极 332，以使储存电容电极 322、闸绝缘层（未绘示）以及第二金属电极 332 形成一储存电容 (Cst)。

[0172] 继而，请参照图 5A 与图 12C，于基板 310 上形成一第一图案化像素电极 350，与有源元件 340 电性连接。此第一图案化像素电极 350 包括一第一完整覆盖区 350a 与至少一狭缝分布区 350b，后续形成的液晶层 390 的多个液晶分子 392 具有多个倾倒方向，其中第一完整覆盖区 350a 位于液晶分子 392 的倾倒方向的倾倒中心，狭缝分布区 350b 用以稳定液晶分子 392 的倾倒方向，可再同时参照图 5A。在部分实施例中，图案化像素电极 350 还可与第二金属电极 332 电性连接。

[0173] 再来，请参照图 5A 与图 12D，于第一图案化像素电极 350 上形成一压降层 370（绘示于图 5A 中）。压降层 370 的材质可为氮化硅或高分子透明绝缘材料，此压降层 370 可为单层膜结构或多层膜结构。

[0174] 接着，请参照图 5A 与图 12E，于压降层 370 上形成一第二图案化像素电极 360，与有源元件 340 电性连接。此第二图案化像素电极 360 可包括：一第二完整覆盖区 360a 与至少一狭缝分布区 360b，狭缝分布区 360b 从第二完整覆盖区 360a 的中心往外呈放射状分布，可同时参照图 6C。特别是，可于压降层 370 中形成至少一接触窗开口 W1，使形成的第二图案化像素电极 360 透过接触窗开口 W1 而与第一图案化像素电极 350 电性连接。至此，可完成具有多域垂直配向式像素结构 300 的基板 310。

[0175] 继而，请参照图 5A，还可于第一及第二图案化像素电极 350、360 的对向侧形成一

共用电极 380。之后,于共用电极 380、与第一及第二图案化像素电极 350、360 之间形成一液晶层 390。如此一来,即完成多域垂直配向式像素结构 300 的制作,其中,第一图案化像素电极 350 和第二图案化像素电极 360 等电位,第一图案化像素电极 350 提供液晶层 390 一第一电场,第二图案化像素电极 360 提供液晶层 390 一第二电场,而压降层 370 使第一电场小于第二电场。值得注意的是,在制作上述的压降层 370 时,可使压降层 370 满足下列条件:

$$[0176] \quad \frac{\varepsilon_{pass}}{d_{pass}} \leq \frac{\varepsilon_{LC}}{d_{LC}} \times \left(\frac{|V_{0-gray} - V_{com}|}{B} - 1 \right)$$

[0177] ε_{pass} 为压降层 370 的介电常数、 ε_{LC} 为液晶层 390 的介电常数、 d_{pass} 为压降层 370 的厚度、 V_{com} 为对共用电极 380 所施加的电压、 d_{LC} 为液晶层 390 的厚度、 V_{0-gray} 为在暗态零灰度时对第一图案化像素电极 350 施加的数据电压,其中 B 为一常数,且 $0.3 \leq B \leq 2$,在另一实施例中, B 也可 0.5。另外,如图 5A 所示,还可以于共用电极 380 的上方形成一彩色滤光层 382,以达成全彩化的显示。

[0178] 第二实施例

[0179] 另外,为了改善目前的曝光机的解析度与蚀刻制程能力的制程宽度极限为 $3.5 \mu\text{m}$,而无法有效地增加长条型的像素电极图案 J 的宽度的问题,因此,在图 13A 的实施例的像素结构 700 中,采用了两层图案化像素电极、且使两层图案化像素电极的条状电极彼此偏移一段距离,以此来等效增加条状电极的宽度,以解决在狭缝处电场强度较低所带来的暗纹现象,进一步详细说明如下。

[0180] 图 13A 为本发明较佳实施例的另一种具有多域垂直配向式像素结构的基板的上视示意图。图 13B 为图 13A 的多域垂直配向式像素结构沿着 B-B' 线的剖面示意图。请同时参照图 13A 与图 13B,具有多域垂直配向式像素结构 700 的基板 710 包括:扫描线 720 与数据线 730、第一有源元件 740、第二有源元件 750、第一图案化像素电极 760、钝化层(可为氮化硅层 L_{SiN}) 以及第二图案化像素电极 770。另外,还可设置对向基板 782,具有共用电极 780,对向基板 782 设置于基板 710 对向侧,共用电极 780 对应于第一及第二图案化像素电极 760、770。而液晶层 790 夹置于对向基板 782 与基板 710 之间。

[0181] 请继续参照图 13A 与图 13B,第一有源元件 740 与对应的扫描线 720 及数据线 730 电性连接。第二有源元件 750 与对应的扫描线 720 及数据线 730 电性连接。第一图案化像素电极 760 电性连接到第一有源元件 740、且具有多个第一条状电极 760a(进一步绘示于图 14A 中)。钝化层(氮化硅层 L_{SiN}) 设置于第一图案化像素电极 760 上。第二图案化像素电极 770 电性连接到第二有源元件 750、且具有多个第二条状电极 770a(进一步绘示于图 14B 中)。

[0182] 特别是,第一条状电极 760a 与第二条状电极 770a 彼此部分重叠,且使第二条状电极 770a 从第一条状电极 760a 偏移一预定距离 $d1$ 。

[0183] 可综合考量偏移距离 $d1$ 、第一条状电极 760a 与第二条状电极 770a 的宽度 $d2$,以使狭缝 S 的宽度 $d4$ 变小。在一实施例中,如图 13B 所示,每一第一条状电极 760a 与每一第二条状电极 770b 的宽度 $d2$ 可为 $3.5 \mu\text{m}$,且预定距离 $d1$ 为 $1.5 \mu\text{m}$,使得每一第一条状电极 760a 与每一第二条状电极 770a 重叠后的总宽度 $d3$ 为 $5 \mu\text{m}$ 。此时,狭缝 S 宽度 $d4$ 成为 $2 \mu\text{m}$ 。

[0184] 上述预定距离 d_1 可为 $0.1 \sim 2.5 \mu\text{m}$, 较佳为 $0.5 \sim 1.5 \mu\text{m}$ 。另外, 可使得每一第一条状电极 760a 与每一第二条状电极 770a 的总宽度 d_3 为 $3.6 \sim 6 \mu\text{m}$, 较佳为 $4 \sim 5 \mu\text{m}$ 。此时, 狭缝 S 宽度 d_4 可为 $1 \sim 3.4 \mu\text{m}$, 较佳为 $2 \sim 3 \mu\text{m}$ 。在此范围内, 可有效地缩小狭缝 S 的宽度 d_4 进而增加狭缝 S 处的电场强度。

[0185] 可清楚知道, 即使目前的曝光机的解析度与蚀刻制程能力的制程宽度极限为 $3.5 \mu\text{m}$, (也就是, 原本只能制作出宽度为 $3.5 \mu\text{m}$ 的狭缝 S), 然而, 借由上述方式, 可有效地缩小狭缝 S 的宽度。

[0186] 承上述, 借由使第一图案化像素电极 760 与第二图案化像素电极 770 进行重迭, 而可以缩小狭缝 S 的宽度 d_4 进而增加狭缝 S 处的电场强度。因此, 在狭缝 S 处, 原本液晶层 790 中未能倾倒的液晶分子 (未绘示) 将受到所增加的电场强度的影响而进行倾倒, 所以上述多域垂直配向式像素结构 700 能进一步减少暗纹。

[0187] 请继续参照图 13B, 多域垂直配向式像素结构 700 可包括: 氮化硅层 L_{SiN} , 设置在第一图案化像素电极 760 与第二图案化像素电极 770 之间。经由第一有源元件 740 及第二有源元件 750 可分别供给高压、低压到第一图案化像素电极 760 与第二图案化像素电极 770, 以造成亮暗区。特别是, 由上述图 8 的 D1 曲线可知, 氮化硅层 L_{SiN} 所造成的压降效果不大, 因此不会影响到整体的显示效果。

[0188] 图 14A 为图 13A 的多域垂直配向式像素结构的第一图案化像素电极的俯视示意图。图 14B 为图 13A 的多域垂直配向式像素结构的第二图案化像素电极的俯视示意图。请同时参照图 14A 与图 14B, 可知道, 第一图案化像素电极 760 具有多条条状电极 760a, 第二图案化像素电极 770 具有多条条状电极 770a。基本上, 第一图案化像素电极 760 与第二图案化像素电极 770 具有相同的图案, 各自都具有十字部分 762、772; 环状部分 764、774; 与放射状的条状部分 766、776 (即第一与第二条状电极 760a、770a)。

[0189] 关于在有源元件阵列基板侧的像素结构 700 的制作流程, 则与一般五道光罩制程类似, 大致为: 制作 Metal 1 (扫描线 720、第一与第二有源元件 740、750 的栅极)、覆盖绝缘层 GIN、制作第一与第二有源元件 740、750 的沟道层、制作 Metal 2 (数据线 730、第一与第二有源元件 740、750 的源极与漏极)、制作第一图案化像素电极 760、覆盖钝化层 (氮化硅层 L_{SiN}) 以及制作第二图案化像素电极 770 等。值得注意的是, 在上述制作流程中, 刻意使第一图案化像素电极 760 与第二图案化像素电极 770 彼此不对准, 且使第二条状电极 770a 从第一条状电极 760a 偏移一预定距离 d_1 。由此, 可克服曝光机的解析度与蚀刻制程能力的制程宽度极限 ($3.5 \mu\text{m}$), 有效地缩小狭缝 S 的宽度, 以减少像素结构 700 的暗纹。

[0190] 同样地, 第二实施例的具有多域垂直配向式像素结构 700 的基板 710, 也可用在液晶显示面板 (未绘示)、液晶显示装置 (未绘示) 中, 在此即不予以赘述。

[0191] 第三实施例

[0192] 此外, 为改善图 3 的多域垂直配向式液晶显示面板 202 的暗纹的问题, 本发明又提出了具有另一种多域垂直配向式像素结构 800 的基板 810, 以下将详细进行说明。

[0193] 图 15A 为本发明较佳实施例的再一种具有多域垂直配向式像素结构的基板的上视示意图。图 15B 为图 15A 的多域垂直配向式像素结构沿着 II-II' 线的剖面示意图。图 15C 为图 15A 的多域垂直配向式像素结构沿着 III-III' 线的剖面示意图。从图 15B 可得知下述第一图案化像素电极 875 与偏置电极 850 连接的情形 (等电压), 从图 15C 可得知下述

第一图案化像素电极 875、第二图案化像素电极 876 与偏置电极 850 所造成的电场的分布情形。

[0194] 请同时参照图 15A ~ 图 15C, 具有多域垂直配向式像素结构 800 的基板 810 包括: 扫描线 820 与数据线 830、第一有源元件 840、第二有源元件 845、图案化像素电极 870、偏置电极 850 以及钝化层 860。类似地, 共用电极 880 可设置于图案化像素电极 870 的对向侧, 液晶层 890 可位于共用电极 880 与图案化像素电极 870 之间。

[0195] 请参照图 15A 与图 15B, 扫描线 820 与数据线 830 设置于基板 810 上。有源元件 840 设置于基板 810 上、且与对应的扫描线 820 及数据线 830 电性连接, 其中, 图案化像素电极 870 具有第一图案化像素电极 875 与第二图案化像素电极 876, 第一有源元件 840 和第二有源元件 845 可分别供给高压、低压到第一图案化像素电极 875 与第二图案化像素电极 876, 以造成亮暗区。本实施例是以偏置电极 850 设置于基板 810 上, 压降层 860 设置于偏置电极 850 上, 图案化像素电极 870 设置于压降层 860 上为例, 然不以此为限, 也可以是图案化像素电极 870 设置于基板 810 上, 压降层 870 设置于图案化像素电极 870 上, 偏置电极 850 设置于压降层 870 上。图案化像素电极 860 具有高压区 V_H 与低压区 V_L , 而高压区 V_H 与低压区 V_L 之间具有边界区 V_I 。共用电极 880 设置于图案化像素电极 870 的对向侧。液晶层 890 位于共用电极 880 与图案化像素电极 870 之间。

[0196] 此实施例是以偏置电极 850 电性连接到高压区 V_H 为例, 且对应边界区 V_I 的位置而设置, 然不以此为限。由该配置可得高压区 V_H 的电场强度 E_H 大于边界区 V_I 的电场强度 E_I , 边界区 V_I 的电场强度 E_I 大于低压区 V_L 的电场强度 E_L 。

[0197] 更详细而言, 请同时参照图 15A 与图 15B, 在上层的图案化像素电极 870 的位置, 于低压区 V_L 施加低电压, 而于高压区施加高电压, 由于下层的偏置电极 850 是电性连接到高压区 V_H 中的图案化像素电极 870, 所以偏置电极 850 与高压区中的图案化像素电极 870 (即第一图案化像素电极 875) 为同一电位。值得注意的是, 偏置电极 850 是设置在边界区 V_I 且位于压降层 860 的下方, 所以, 在边界区 V_I 处, 液晶分子 892 所感受到的电压会经由压降层 860 造成压降, 所以边界区 V_I 处将形成一电场 E_I , 电场 E_I 的电场强度会介于: 高压区 V_H 的电场 E_H 的电场强度、与低压区 V_L 的电场 E_L 的电场强度之间。

[0198] 承上述, 在下方设置有偏置电极 850 的边界区 V_I 中的液晶分子 892 可连续倾倒, 而使暗纹消失, 也就是说, 比较图 3 与图 15B, 可知只剩下中间位置箭头 A 处的一条暗纹。借由上述像素结构 800 的设计, 可减少暗纹的数量。

[0199] 请再参照图 15B 与图 15C, 从低压区 V_L (第二区) 往高压区 V_H (第一区) 的方向, 使偏置电极 850 的边缘距离低压区 V_L 的图案化像素电极 870 的边缘一预定间距 d 。此上述预定间距 d 可为 $0 \leq d \leq 1 \mu\text{m}$ (图 15B 与图 15C 以 $d = 0 \mu\text{m}$ 为例), 在此范围内, 于边界区 V_I 中可形成较佳电场强度 E_I , 以使边界区 V_I 中的液晶分子 892 进行倾倒。这是因为液晶分子 892 会往高电场方向倾倒, 因为 $E_L < E_I < E_H$, 所以在偏置电极和 V_L 区交界处如产生一间隙, 其中电场 E_I 是由 V_H 区经压降层 860 造成压降产生, 故电场 E_L 和 E_I 相差较大, 所以液晶分子 892 较易倒向 V_I 区, 然间隙亦不可以太大。而电场 E_H 和 E_I 相差较小, 如偏置电极和 V_H 区交界处产生一间隙, 则液晶分子 892 较不易倒向 V_H 区。

[0200] 图 16A 为图 15A 的具有多域垂直配向式像素结构的基板的偏置电极的俯视示意图。图 16B 为图 15A 的具有多域垂直配向式像素结构的基板的图案化像素电极的俯视示意

图。请先参照图 16A, 偏置电极 850 可具有环状部分 852 以及条状部分 854。偏置电极 850 的材料可以是金属、或透明导电材质, 其中, 当利用透明导电材质时, 例如可采用铟锡氧化物与铟锌氧化物。

[0201] 请再参照图 16B, 图案化像素电极 870 可具有环状部分 872, 以及位于环状部分 872 内侧的多条放射状的条状部分 874a, 与位于环状部分 872 外侧的多条放射状的条状部分 874b。特别是, 图案化像素电极 870 的环状部分 872 围绕偏置电极 850 的环状部分 852, 且彼此可相隔上述的预定距离 d 。

[0202] 关于在有源元件阵列基板侧的像素结构 800 的制作流程, 则与一般五道光罩制程类似。然而, 依照偏置电极 850 于 Metal 1 制程中制作, 或是偏置电极 850 是使用额外增加的一道利用透明导电材质来制作, 而使各自的制程有所不同, 分别说明如下:

[0203] [于 Metal 1 制程中制作偏置电极 850]

[0204] 多域垂直配向式像素结构 800 的制作流程大致为: 制作 Metal 1 (扫描线 820、有源元件 840 的栅极以及偏置电极 850)、覆盖绝缘层 (未绘示)、制作有源元件 840 的沟道层、制作 Metal 2 (数据线 830、有源元件 840 的源极与漏极)、覆盖压降层 860 以及制作图案化像素电极 870 等。

[0205] [使用透明导电材质来制作偏置电极 850 的情形]

[0206] 多域垂直配向式像素结构 800 的制作流程大致为: 制作 Metal 1 (扫描线 820、有源元件 840 的栅极)、覆盖绝缘层 (未绘示)、制作有源元件 840 的沟道层、制作 Metal 2 (数据线 830、有源元件 840 的源极与漏极)、利用透明导电材质制作偏置电极 850、覆盖压降层 860 以及制作图案化像素电极 870 等。上述像素结构 800 的特殊设计, 可使暗纹仅剩下一条 (如图 15B 所示的箭头 A 处), 从而能大幅度地降低暗纹的数量。

[0207] 同样地, 第三实施例的具有多域垂直配向式像素结构 800 的基板 810, 也可用在液晶显示面板 (未绘示)、液晶显示装置 (未绘示) 中, 在此即不予以赘述。

[0208] 综上所述, 本发明所提出的具有多域垂直配向式像素结构的基板及其制作方法、液晶显示面板与液晶显示装置至少具有以下优点:

[0209] (1) 经由压降层的设计, 本发明的多域垂直配向式像素结构可使用一个有源元件在同一个像素结构中产生连续性的亮暗区。相较于已知的方式, 由于减少了有源元件的使用数量, 除结构简单外, 还可以降低制造成本。透过适当的狭缝设置, 在达到低色偏显示效果的同时, 还可提升多域垂直配向式像素结构的整体穿透率。具有上述的像素结构的液晶显示面板以及液晶显示装置, 可提供良好的显示品质, 并可节省制作成本。此外, 上述多域垂直配向式像素结构的制作方法, 能制作出具有低色偏效果且结构简单的多域垂直配向式像素结构。

[0210] (2) 使上下两层图案化像素电极的不对准, 且使彼此的条状电极互相重迭, 进而可克服曝光机的解析度与蚀刻制程能力的制程宽度极限 ($3.5 \mu\text{m}$)。因此, 可有效地缩小狭缝的宽度, 以减少像素结构的暗纹。

[0211] (3) 借由在高压区与低压区之间的边界区设置压降层以及偏置电极, 而得到电场强度介于高压区与低压区的电场。因此, 可使边界区的暗纹消失, 从而能大幅度地降低暗纹的数量。

[0212] 虽然本发明已以较佳实施例揭示如上, 然其并非用以限定本发明, 任何本领域技

术人员,在不脱离本发明的精神和范围内,当可作些许的修改和完善,因此本发明的保护范围当以权利要求书所界定的为准。

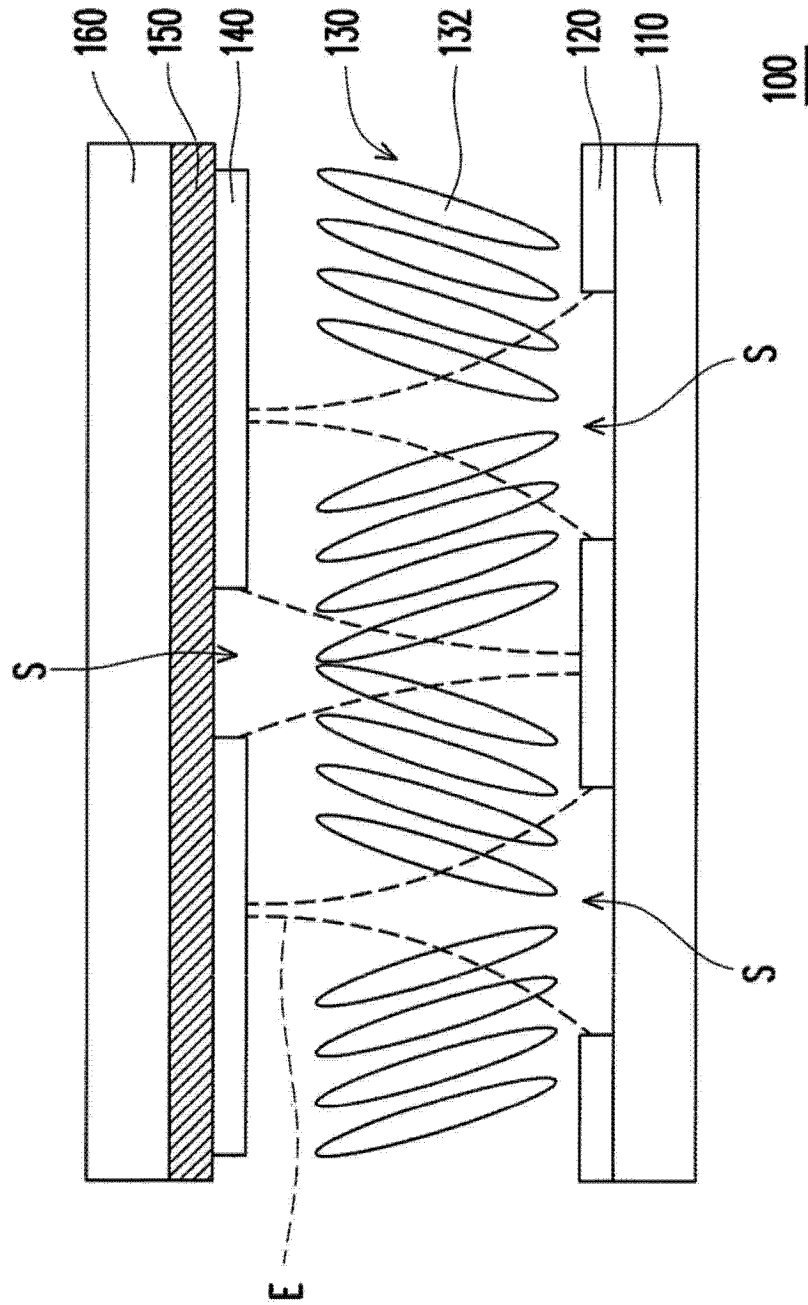


图 1

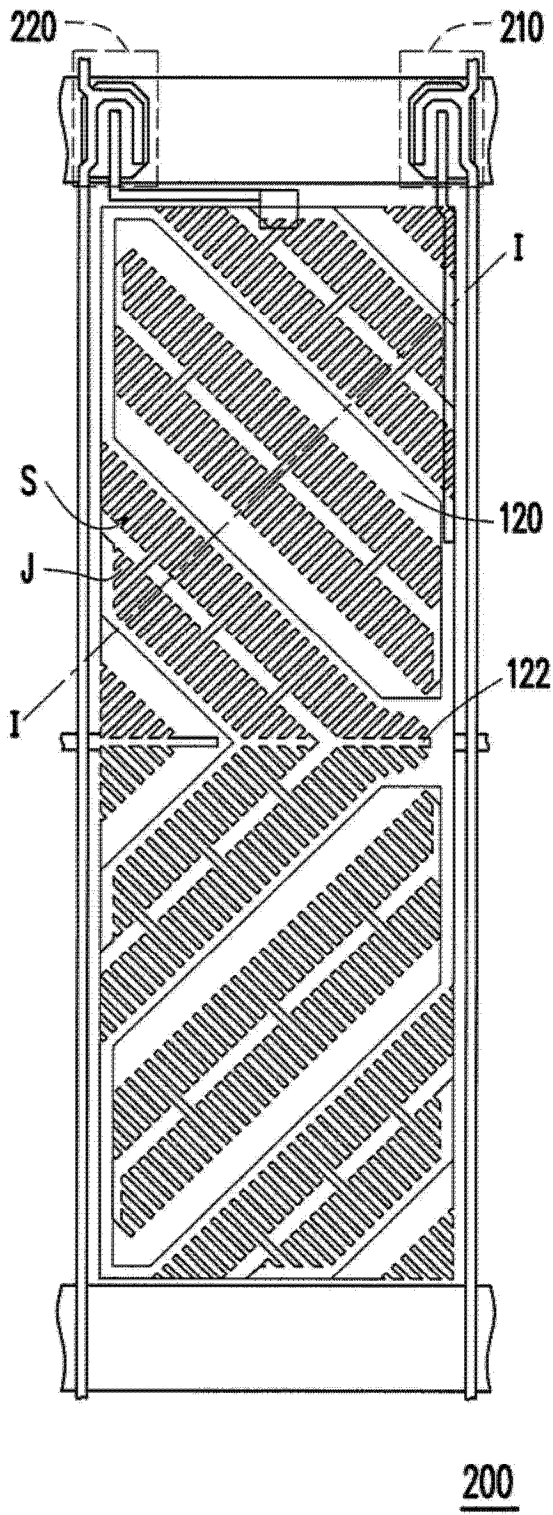


图 2A

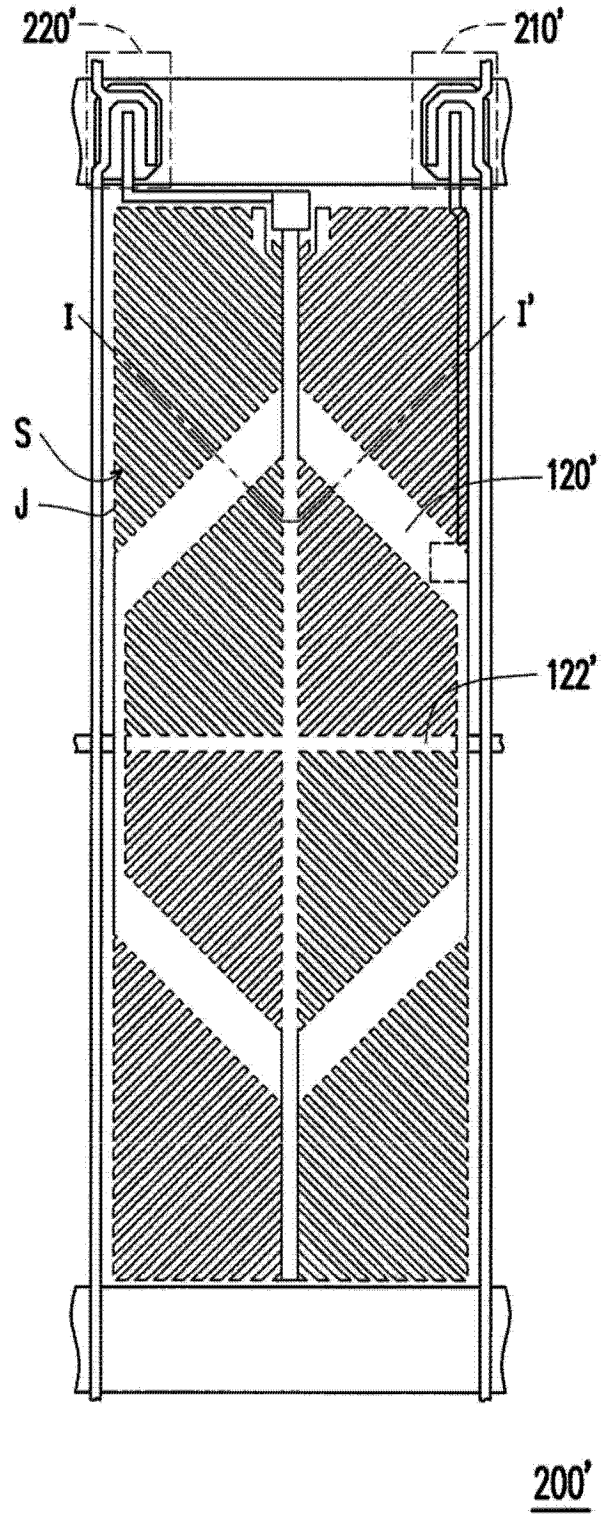


图 2B

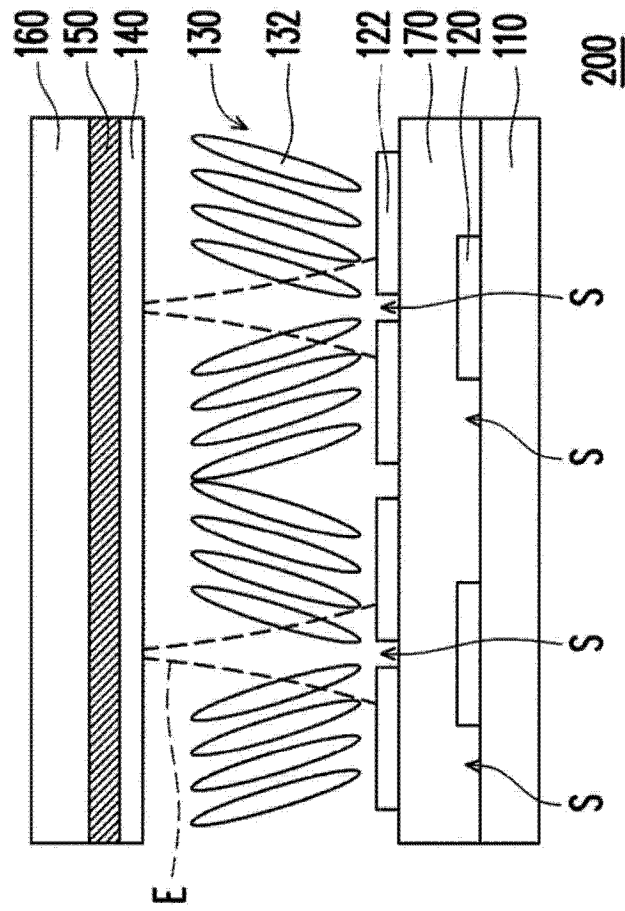


图 2C

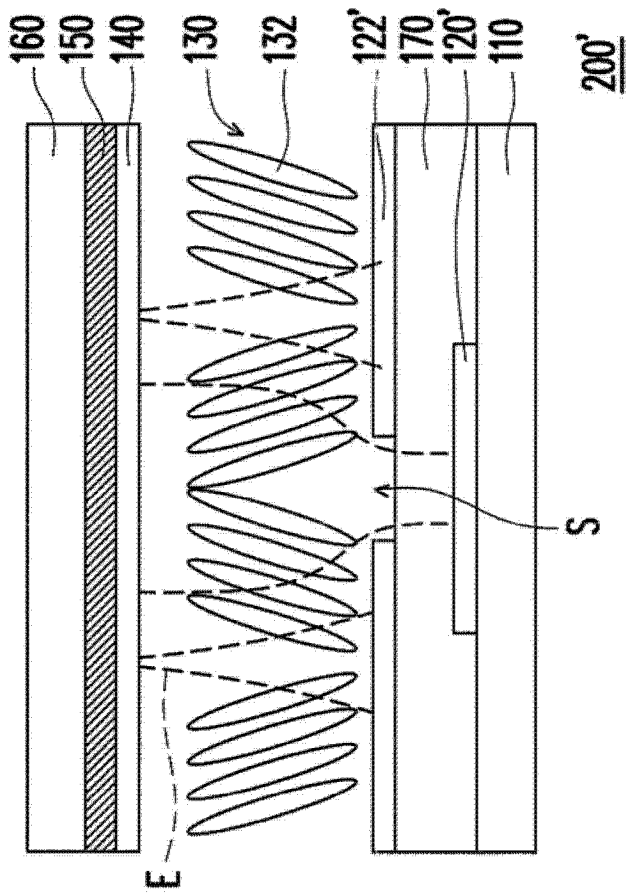


图 2D

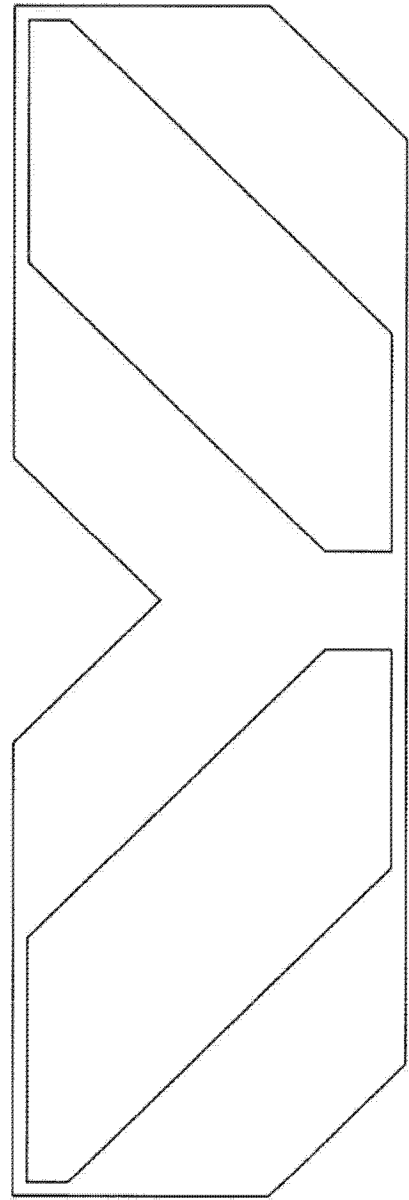
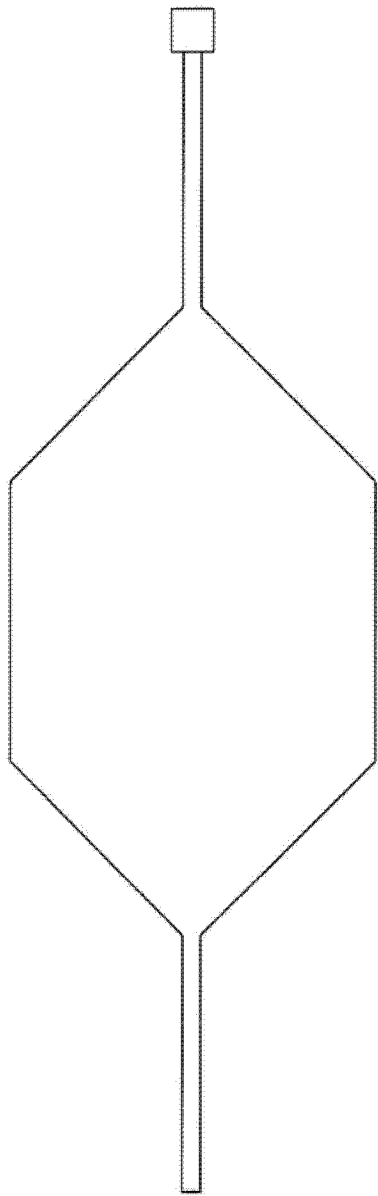
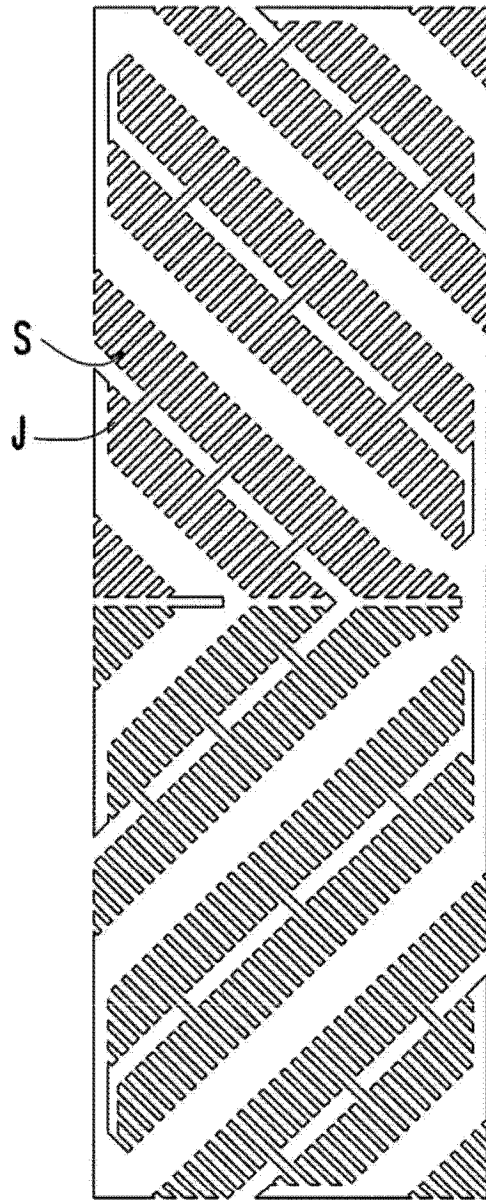


图 2E



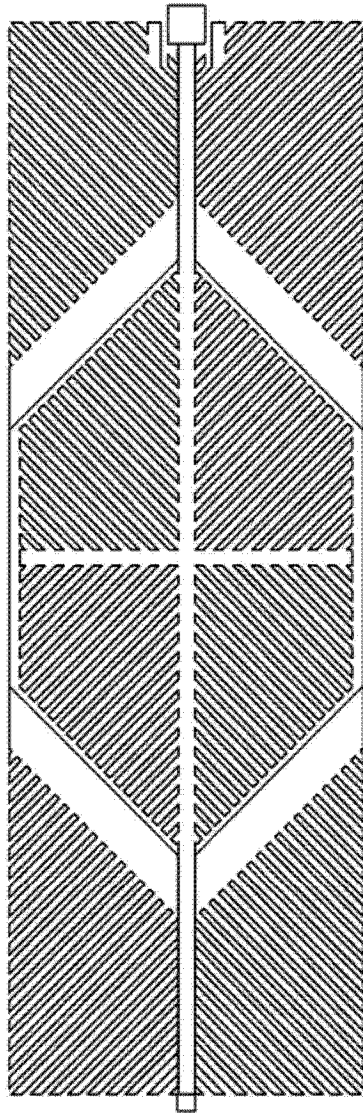
120'

图 2F



122

图 2G



122'

图 2H

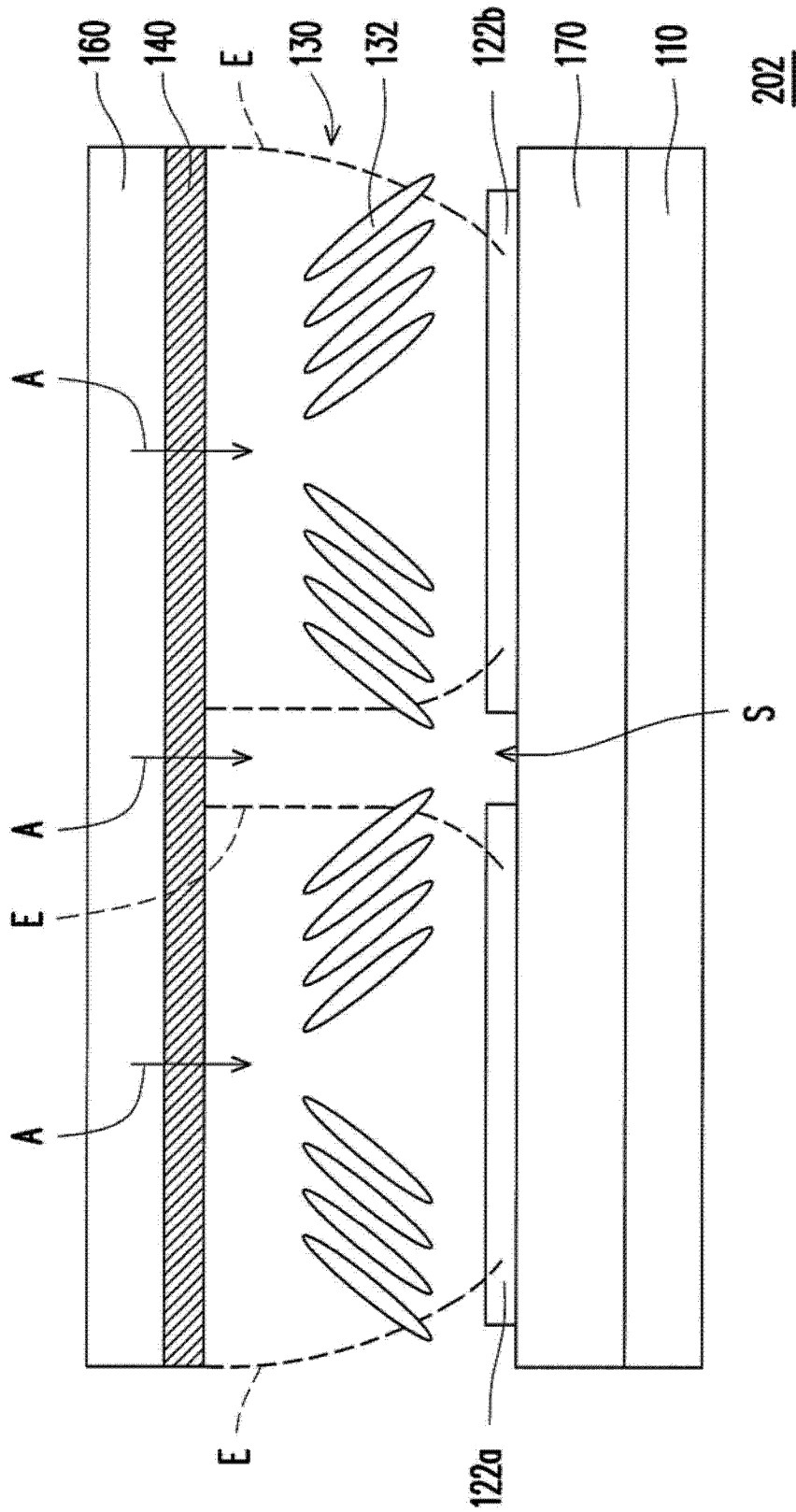


图 3

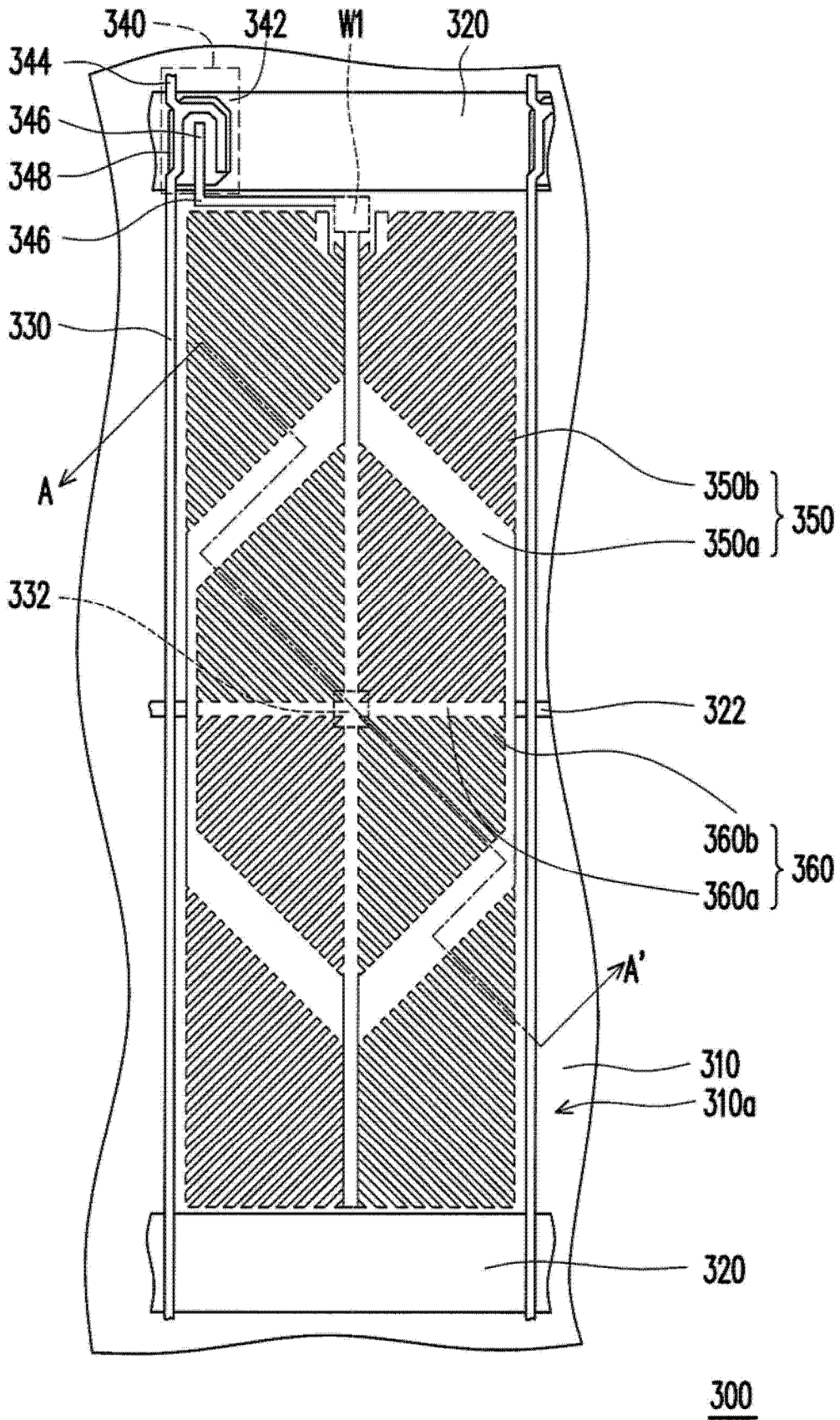


图 4

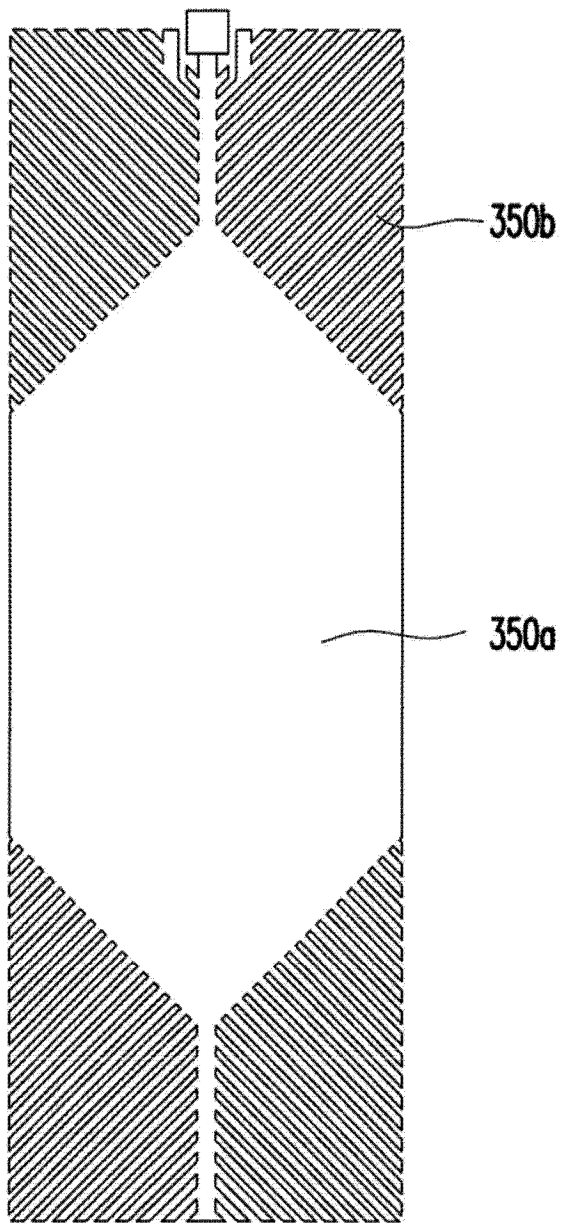
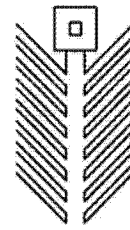


图 6A



350

图 6B

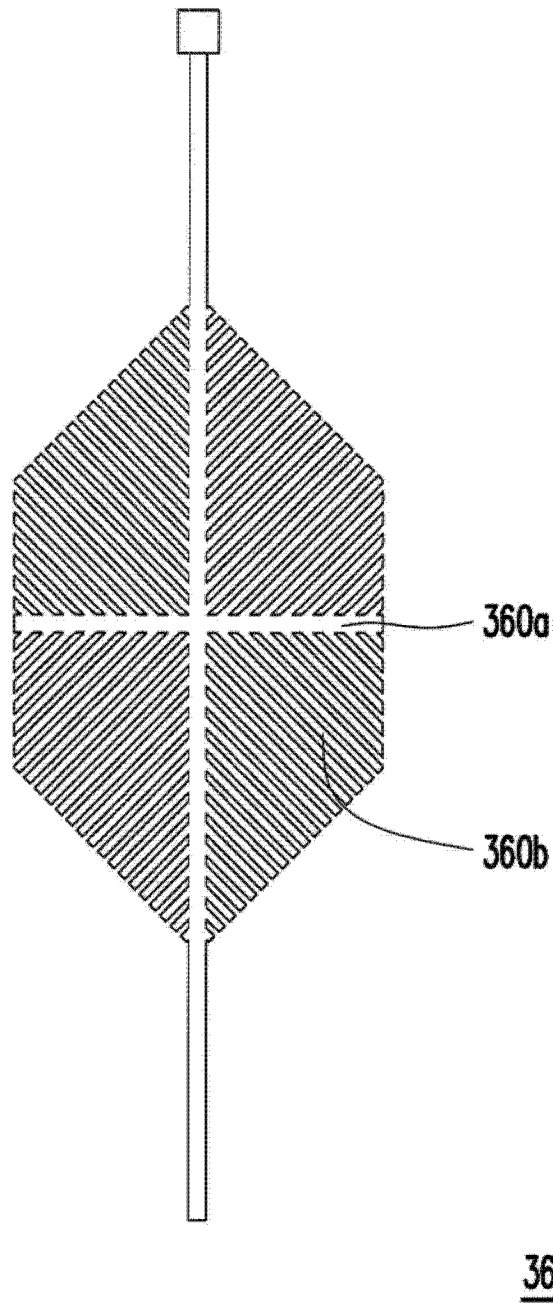


图 6C

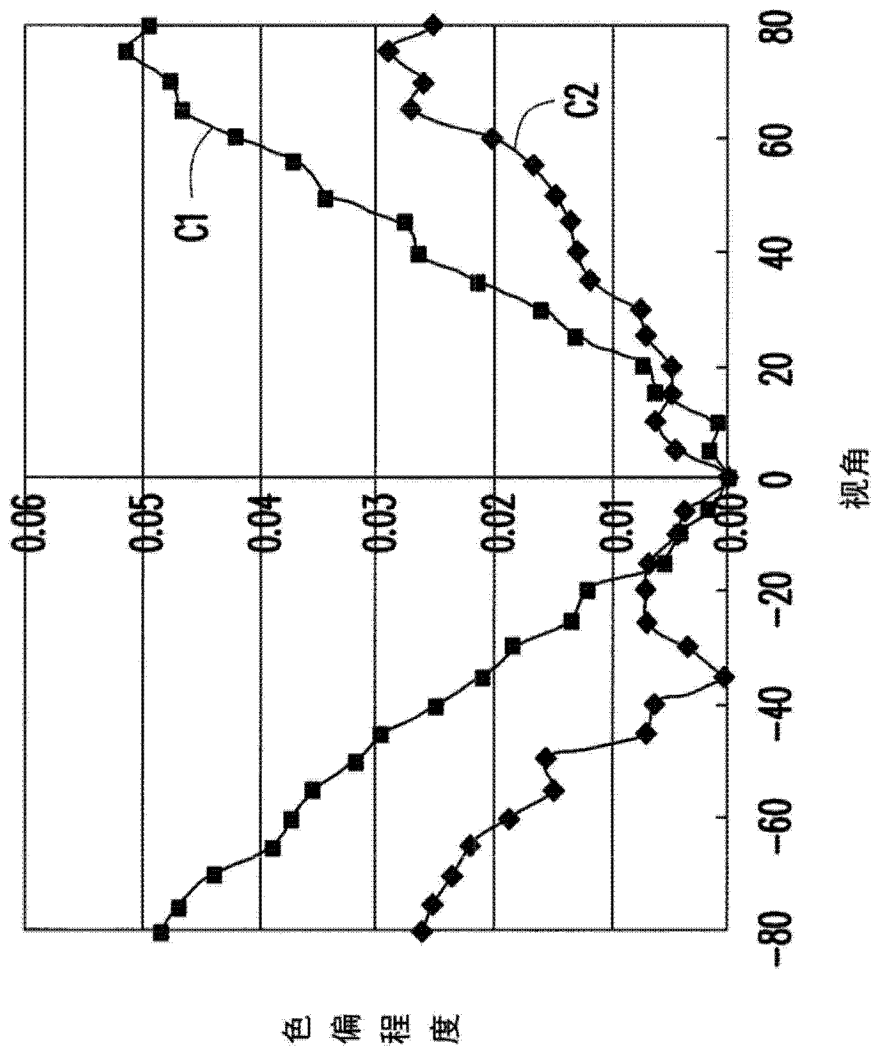


图 7

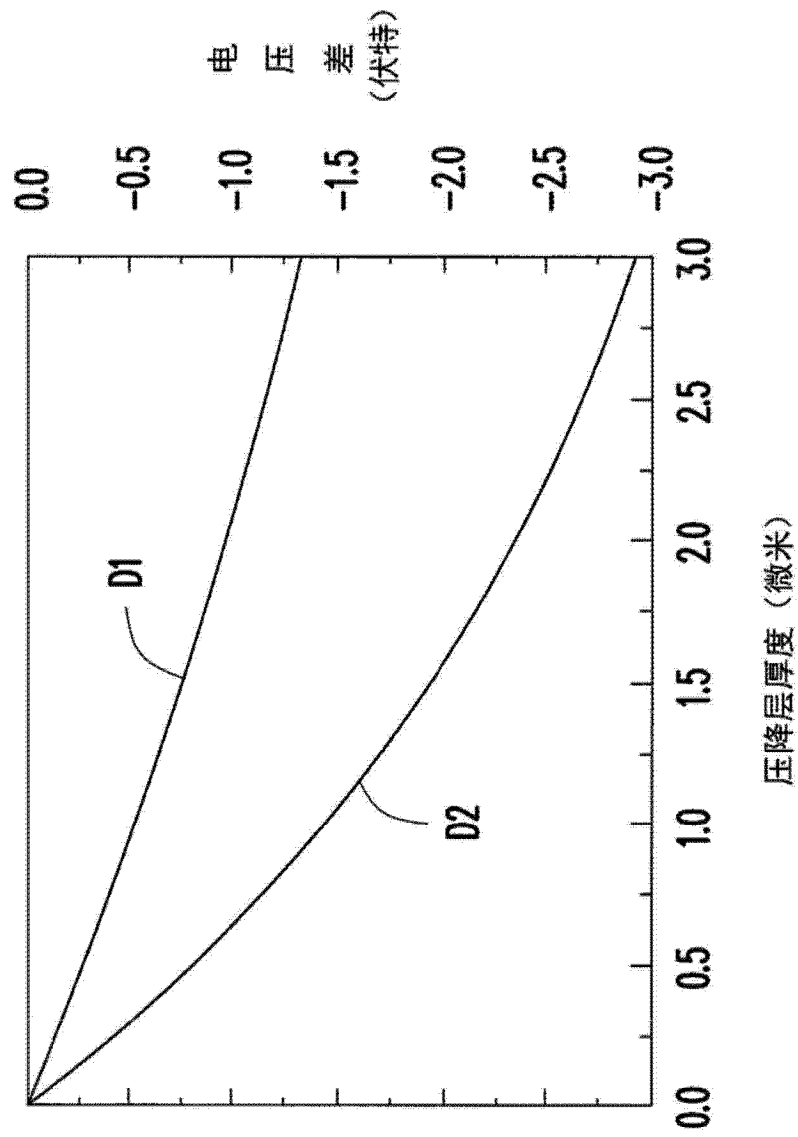


图 8

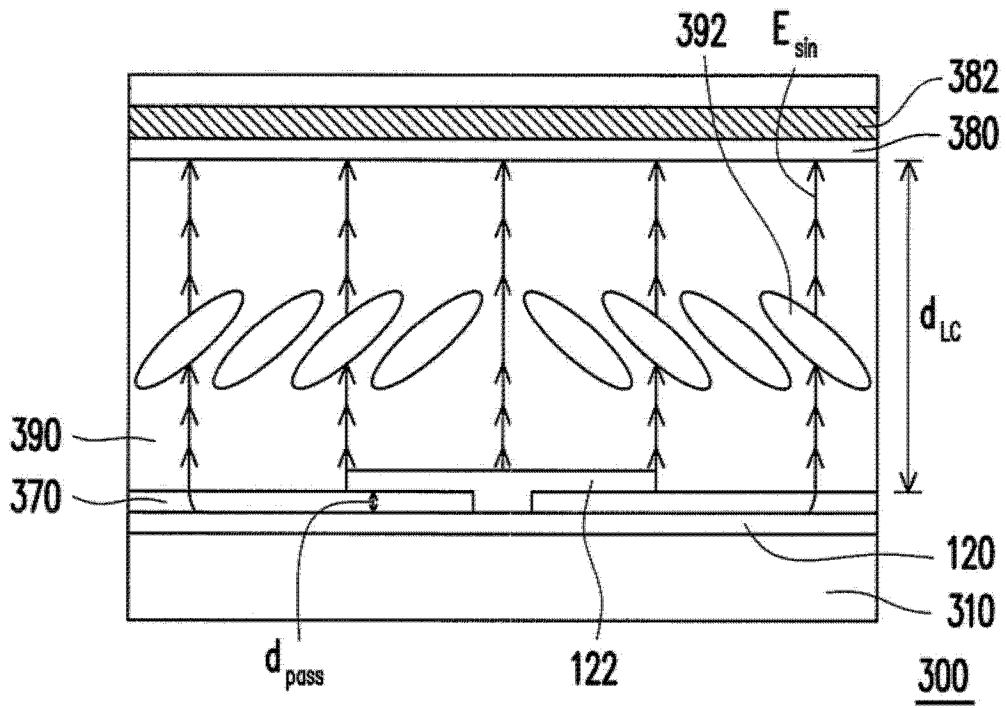


图 9A

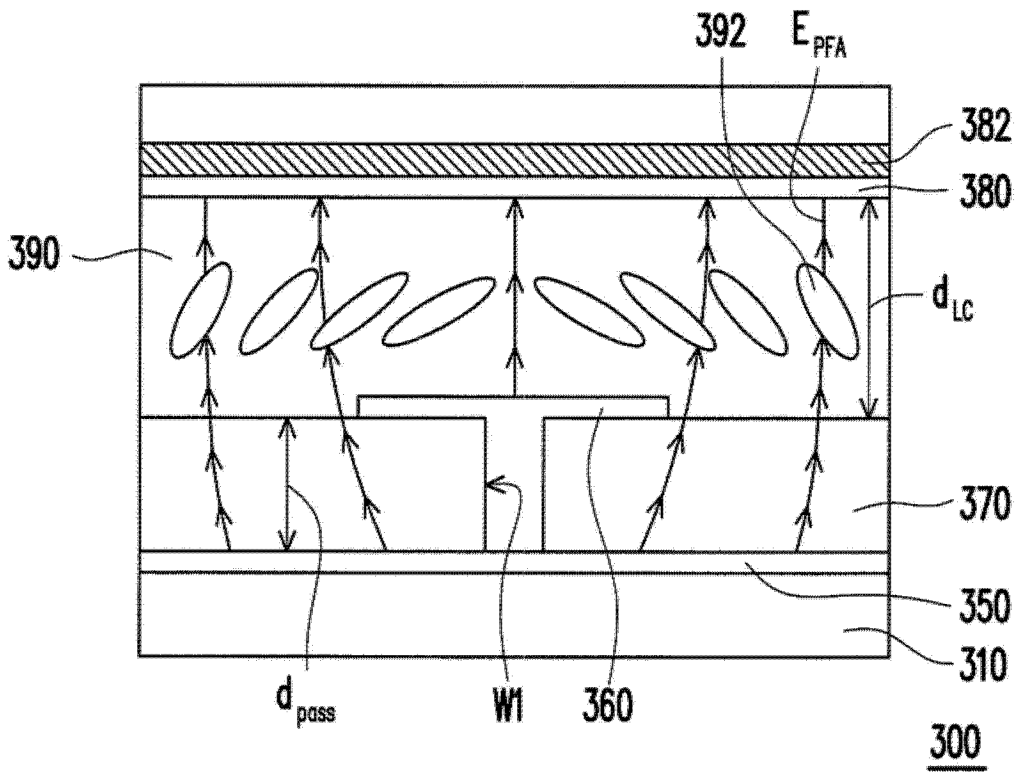


图 9B

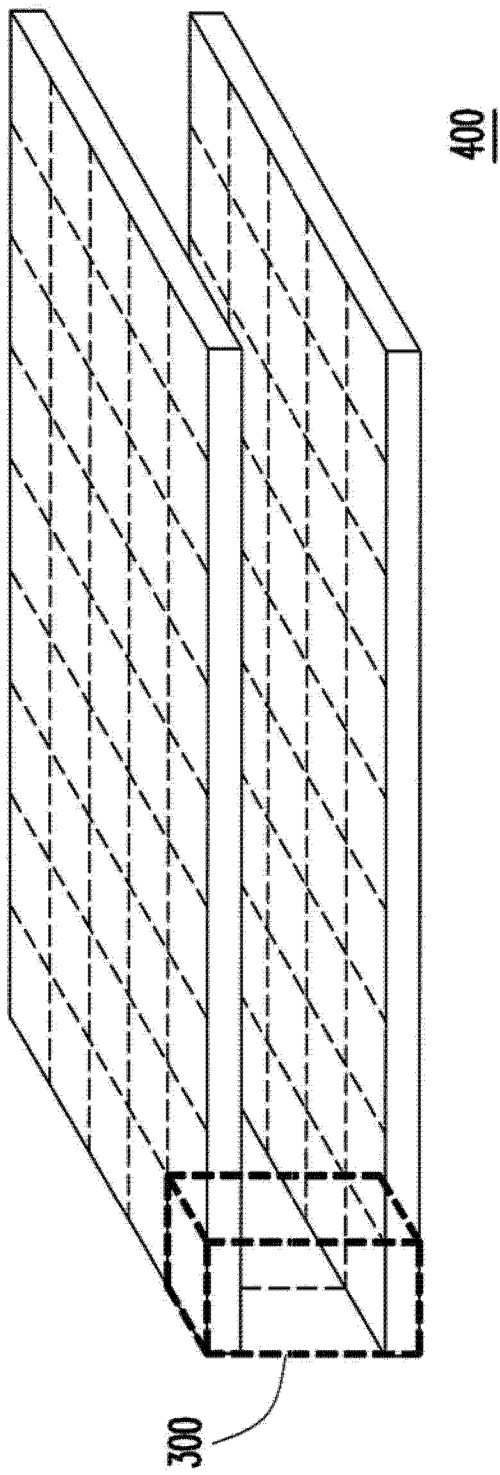


图 10

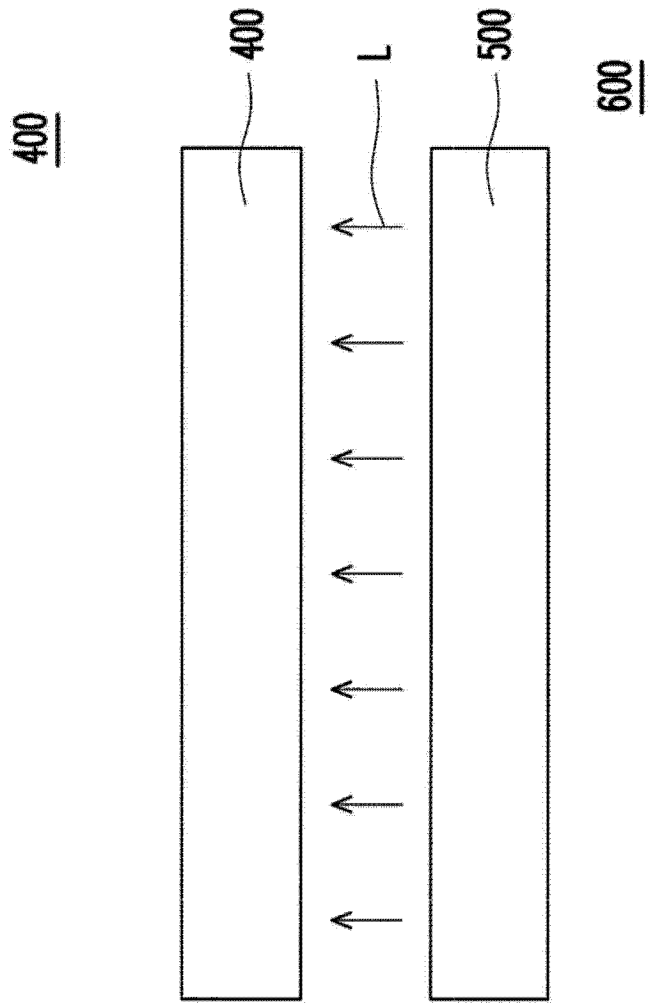


图 11

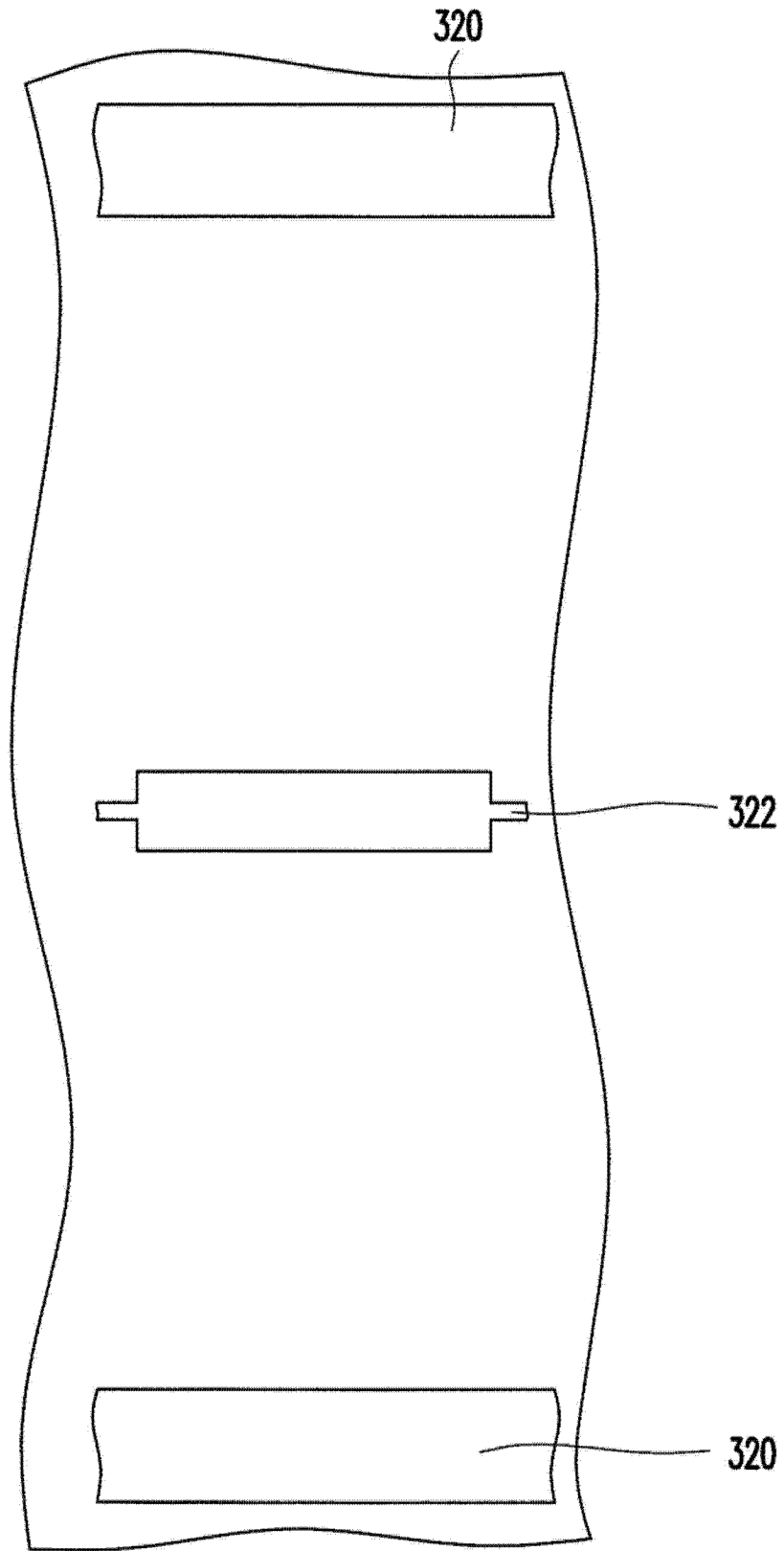


图 12A

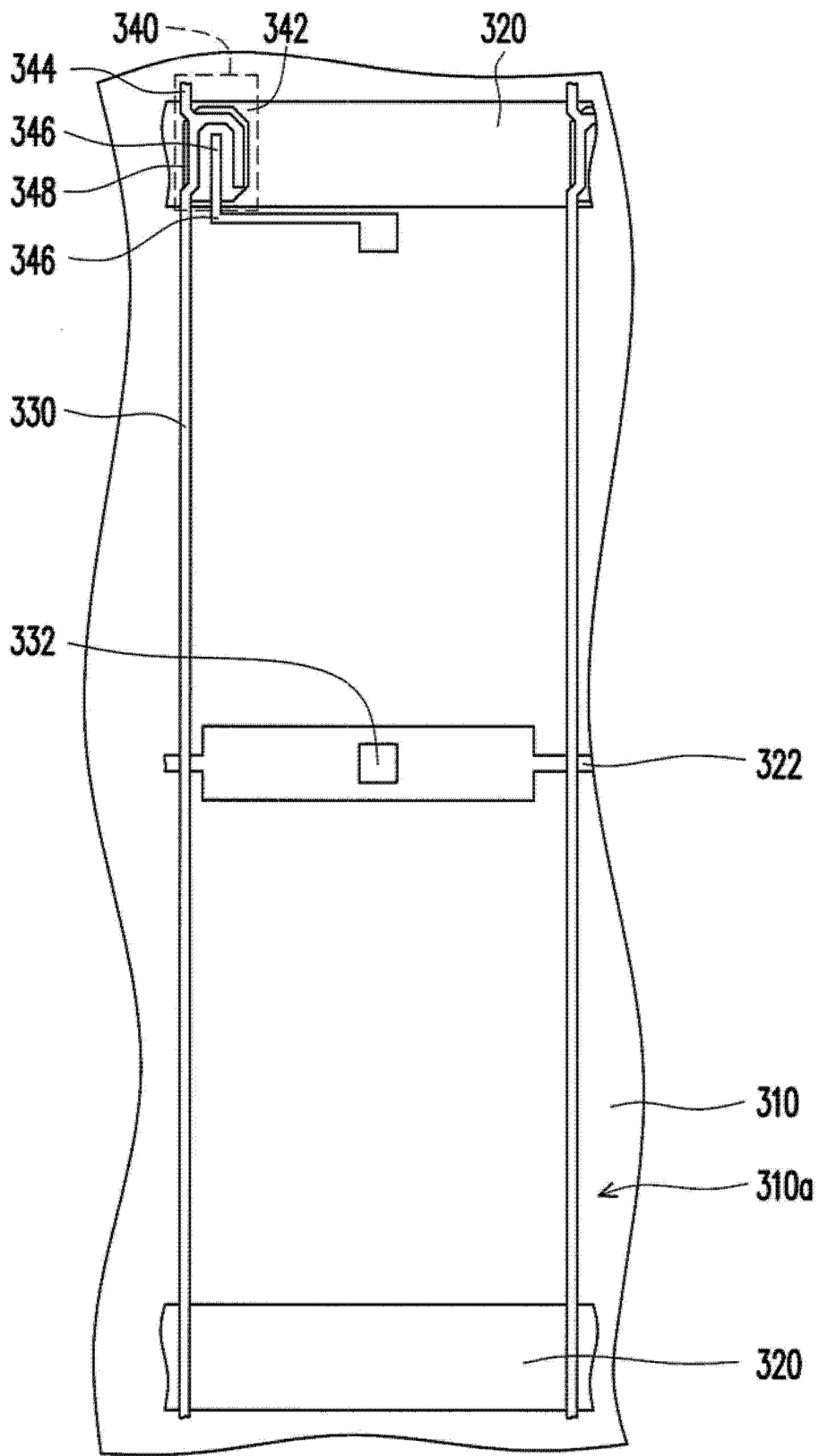


图 12B

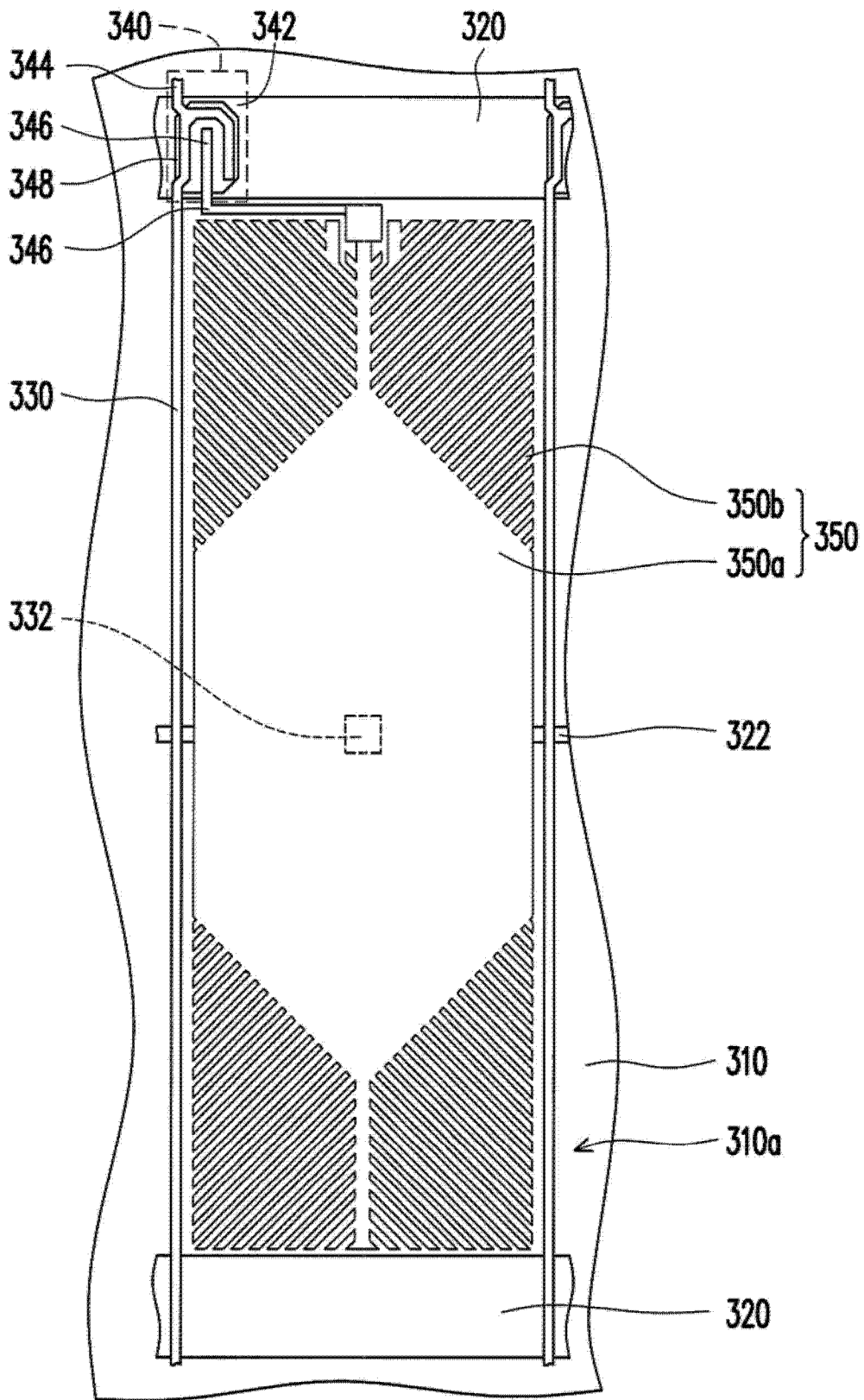


图 12C

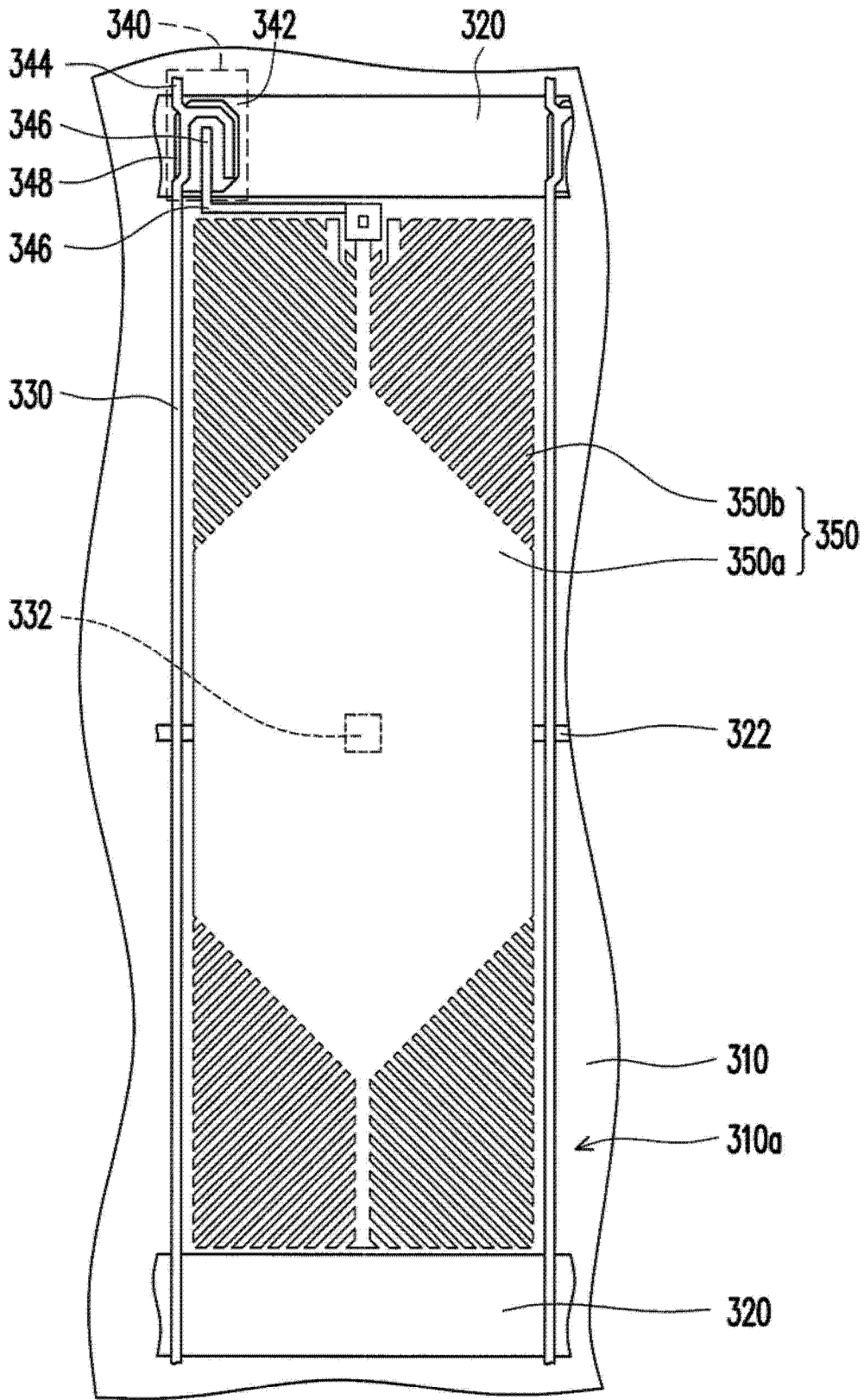


图 12D

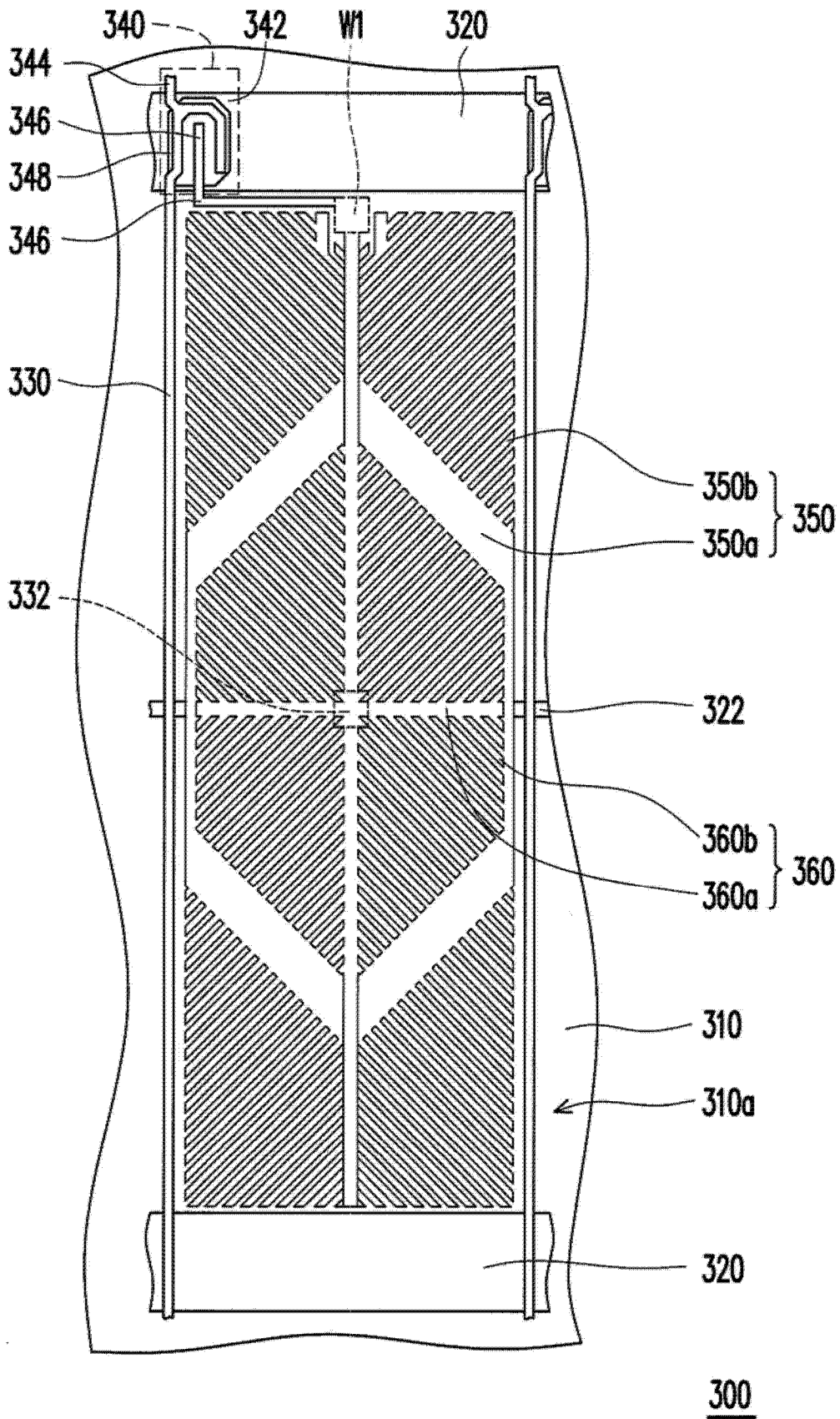


图 12E

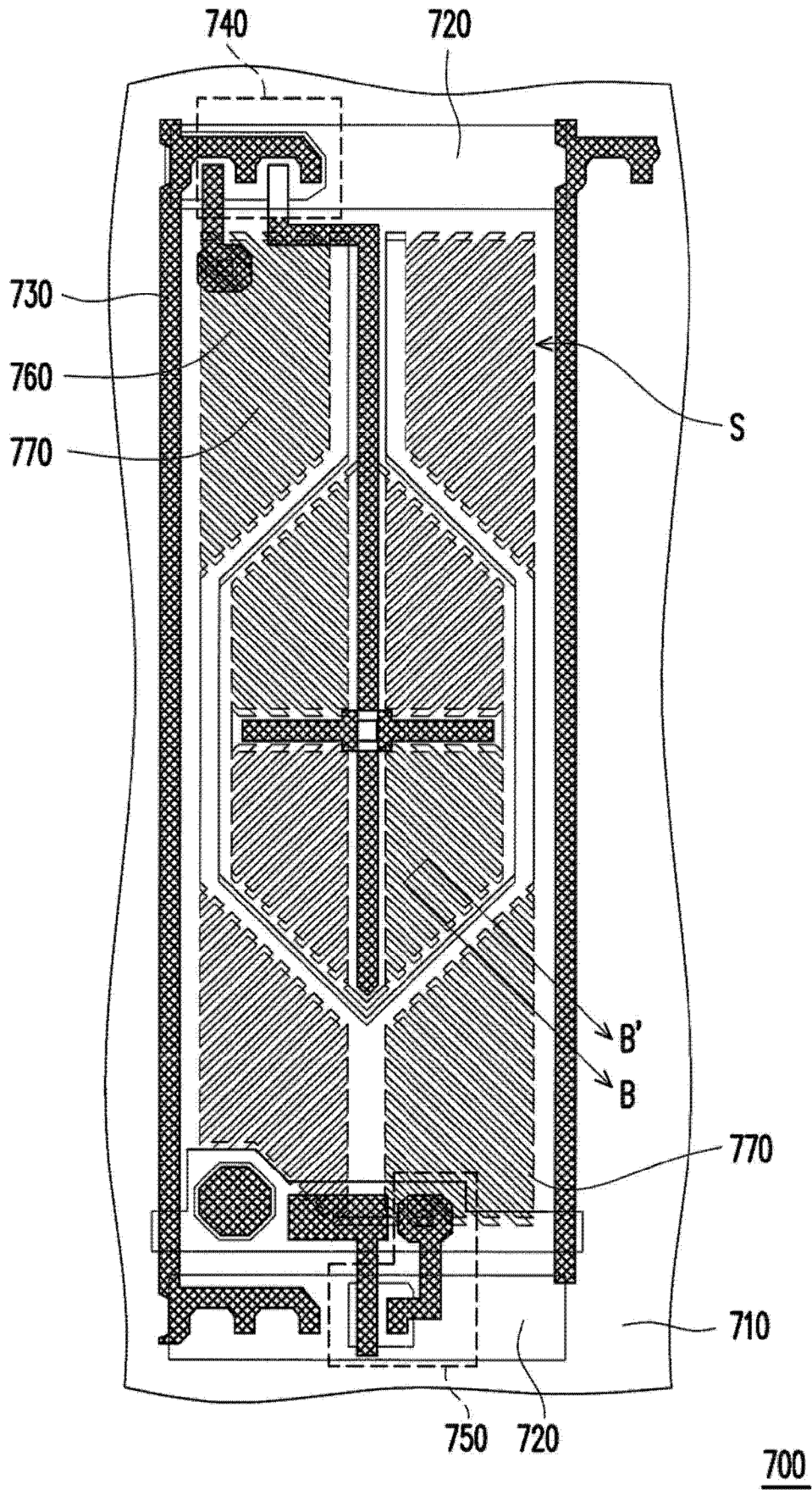


图 13A

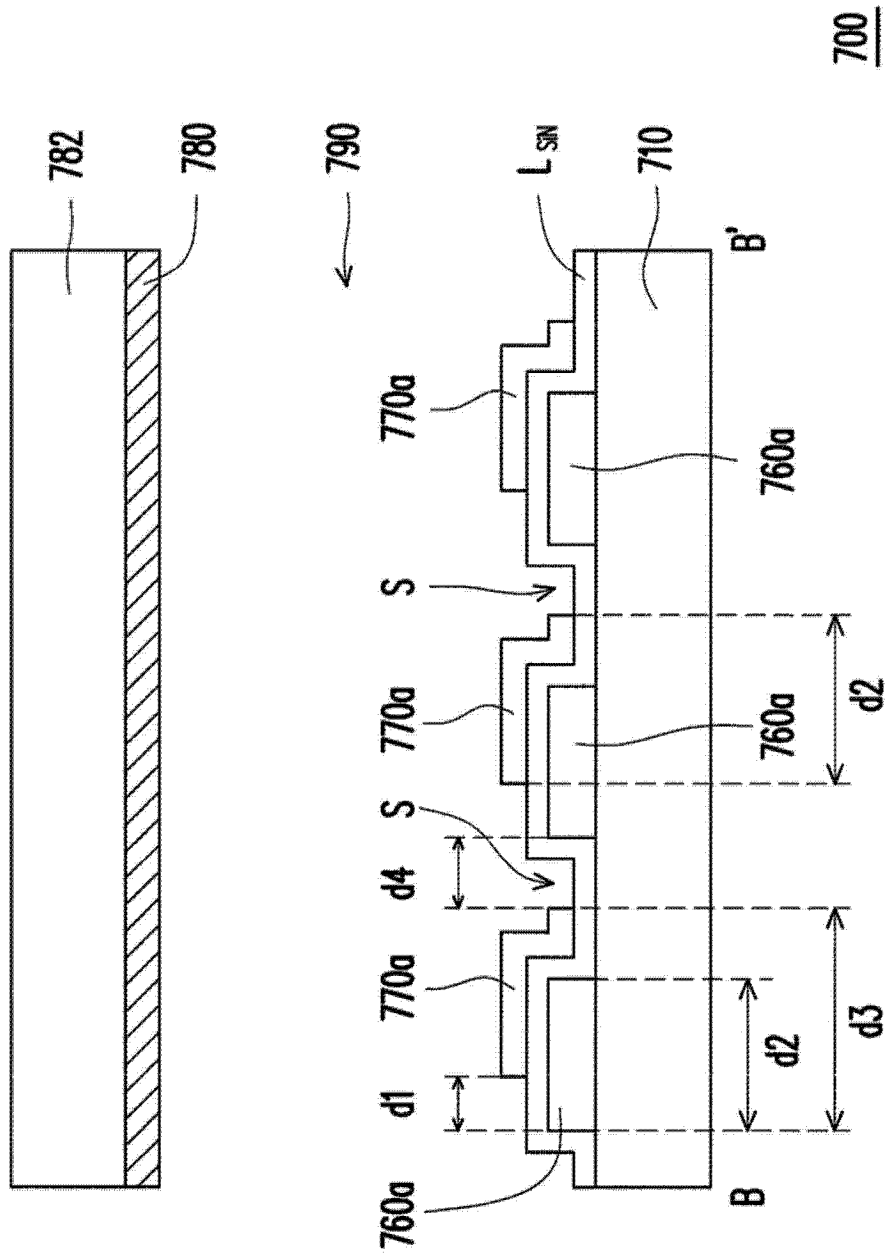
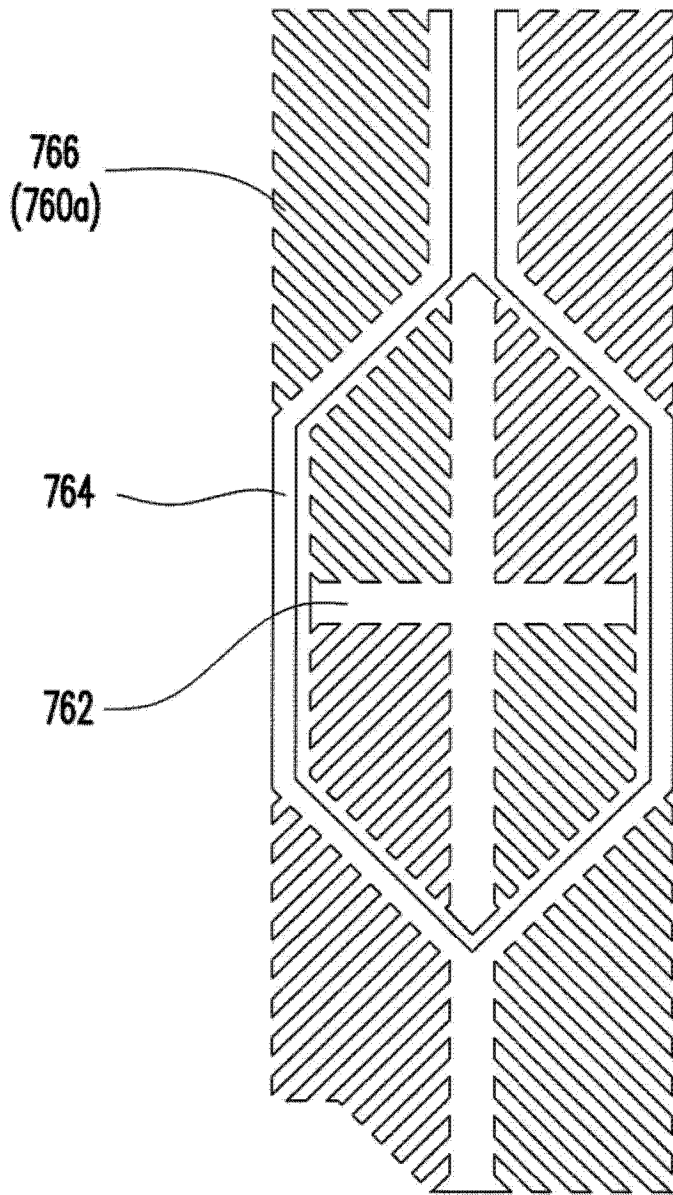
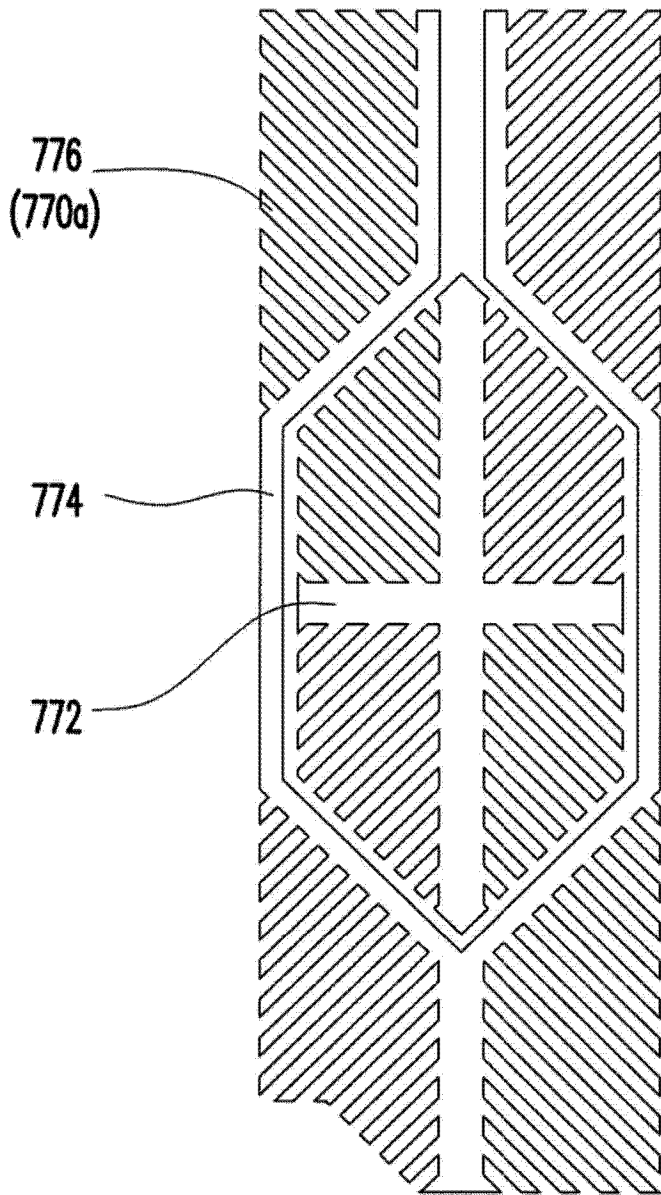


图 13B



760

图 14A



770

图 14B

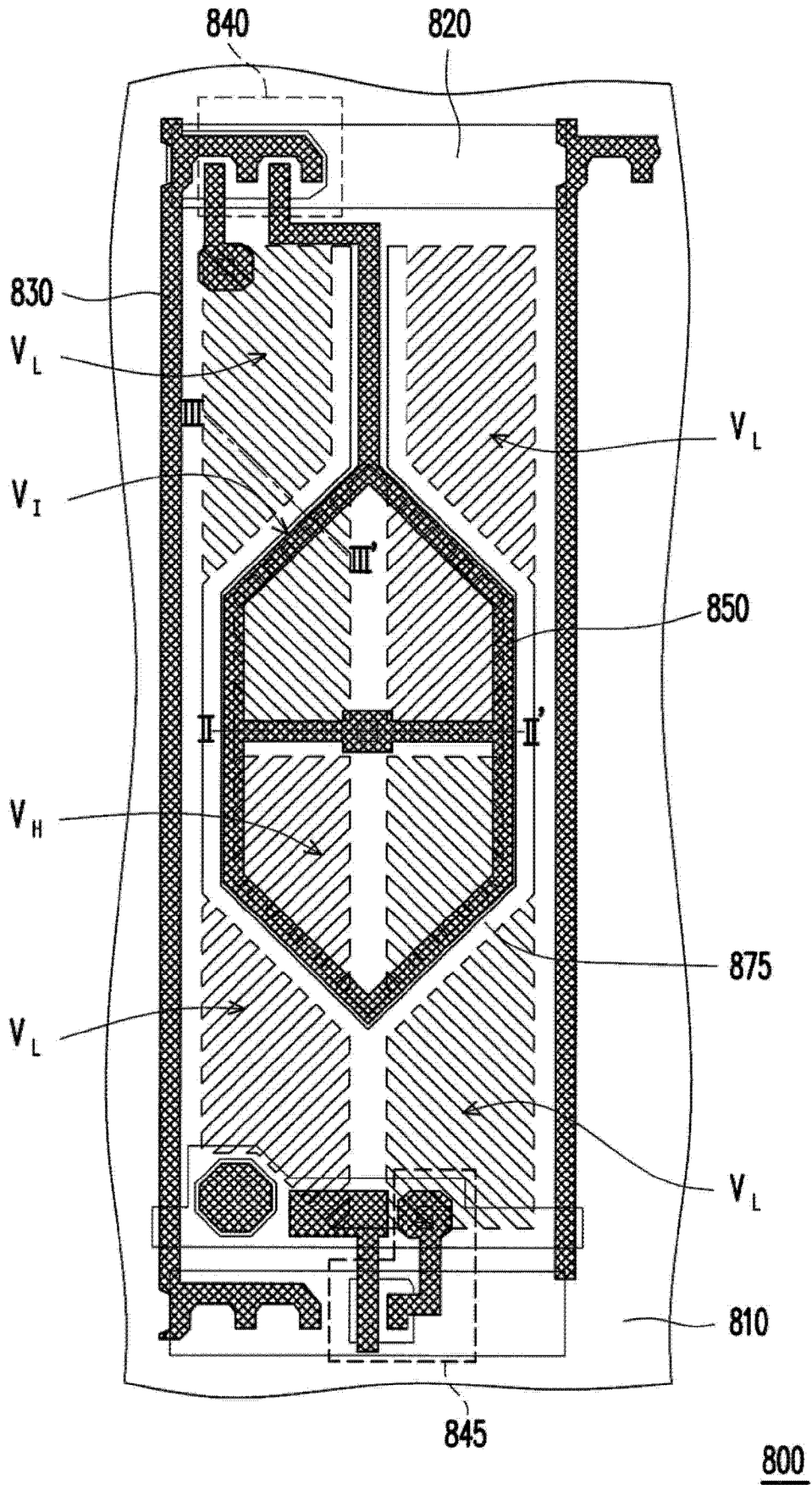


图 15A

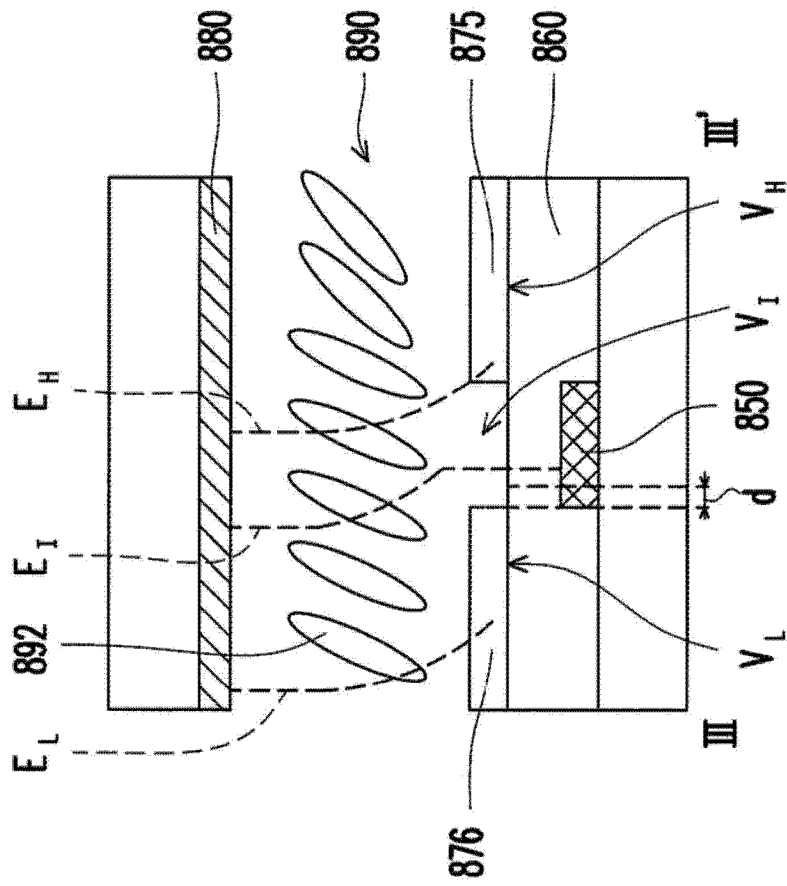
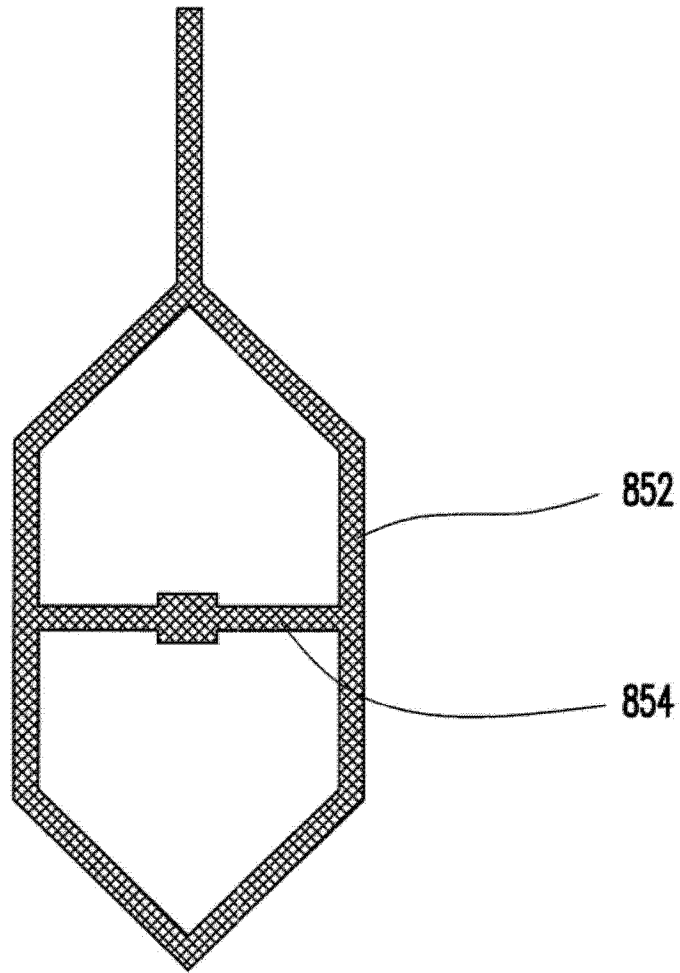
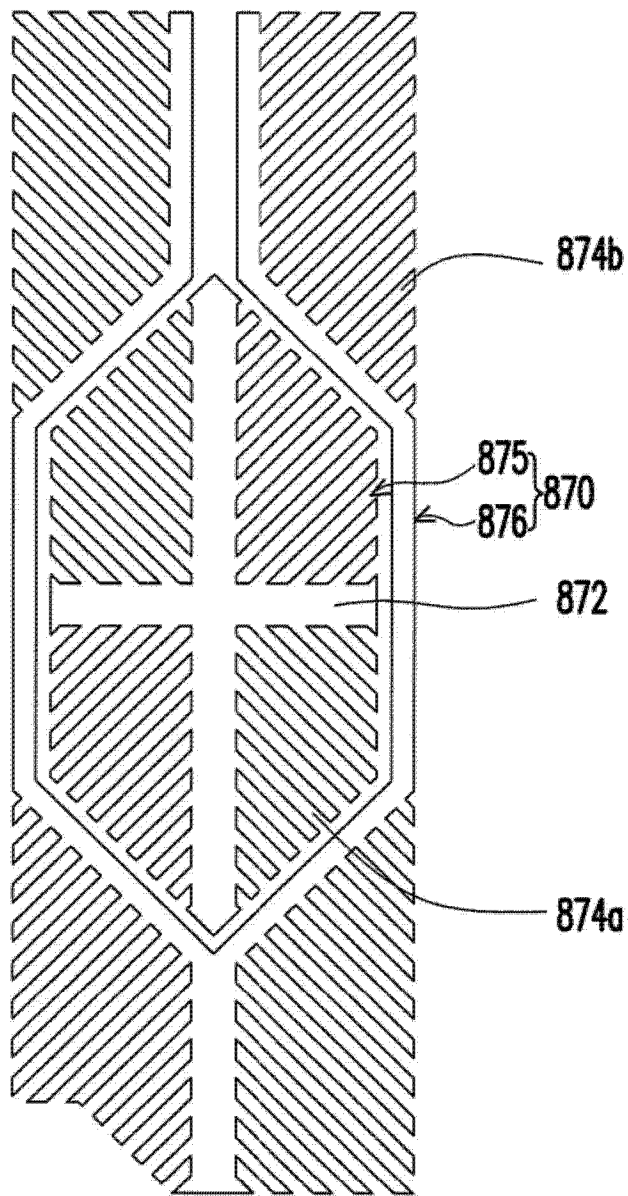


图 15C



850

图 16A



870

图 16B

专利名称(译)	像素基板、液晶显示面板、液晶显示装置		
公开(公告)号	CN104597680A	公开(公告)日	2015-05-06
申请号	CN201510087099.8	申请日	2010-12-24
[标]申请(专利权)人(译)	群创光电股份有限公司 群康科技(深圳)有限公司		
申请(专利权)人(译)	群创光电股份有限公司 群康科技(深圳)有限公司		
当前申请(专利权)人(译)	群创光电股份有限公司 群康科技(深圳)有限公司		
[标]发明人	陈建诚 陈建宏 谢志勇 罗伟 林俊旭 杨清喆 陈嘉伦		
发明人	陈建诚 陈建宏 谢志勇 罗伟 林俊旭 杨清喆 陈嘉伦		
IPC分类号	G02F1/1362 G02F1/1343 G02F1/1368		
CPC分类号	G02F1/136286 G02F1/134309 G02F1/1368 G02F2001/134318		
外部链接	Espacenet SIPO		

摘要(译)

一种具有多域垂直配向型像素结构的基板，此基板包括：扫描线与数据线、第一有源元件、第二有源元件、第一图案化像素电极、钝化层以及第二图案化像素电极。第一有源元件与对应的扫描线及数据线电性连接，第二有源元件与对应的扫描线及数据线电性连接。第一图案化像素电极电性连接到第一有源元件，第一图案化像素电极具有多个第一条状电极。钝化层设置于第一图案化像素电极上。第二图案化像素电极电性连接到第二有源元件，第二图案化像素电极具有多个第二条状电极。这些第一条状电极与这些第二条状电极彼此部分重叠，且使这些第二条状电极从这些第一条状电极偏移一预定距离。

