



(12) 发明专利

(10) 授权公告号 CN 101398587 B

(45) 授权公告日 2011. 02. 16

(21) 申请号 200710175483. 9

(22) 申请日 2007. 09. 29

(73) 专利权人 北京京东方光电科技有限公司
地址 100176 北京市经济技术开发区西环中
路 8 号

(72) 发明人 金在光

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 刘芳

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/133(2006. 01)

G09G 3/36(2006. 01)

H01L 27/12(2006. 01)

(56) 对比文件

CN 1612024 A, 2005. 05. 04, 全文.

US 6839117 B1, 2005. 01. 04, 说明书第 1 栏

技术领域, 第 3 栏第 60 行至第 4 栏第 43 行、图
4A.

JP 2002196342 A, 2002. 07. 12, 全文.

US 2003071952 A1, 2003. 04. 17, 全文.

US 6512565 B1, 2003. 01. 28, 全文.

审查员 李晴晴

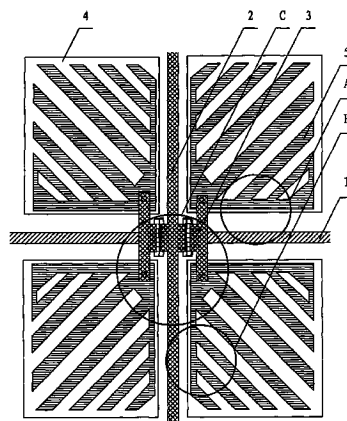
权利要求书 1 页 说明书 6 页 附图 7 页

(54) 发明名称

水平电场型液晶显示装置的像素结构

(57) 摘要

本发明涉及一种水平电场型液晶显示装置的像素结构, 包括多个像素单元, 其中每一像素单元包括: 一个与像素单元对应的栅线、一个与像素单元对应的数据线和至少一个薄膜晶体管, 薄膜晶体管与栅线和数据线电连接, 栅线和数据线把像素单元分为四个子像素, 子像素设有与薄膜晶体管电连接的像素电极, 像素电极设有多个具有设定方向的缝隙。本发明不仅可以有效提高液晶显示装置的视角性能, 而且还改善了接近极限视角区域的视觉效果, 同时还有效防止了制造过程中出现的坏像素影响液晶显示装置显示质量的缺陷。



1. 一种水平电场型液晶显示装置的像素结构,包括多个像素单元,其中每一像素单元包括:一个与所述像素单元对应的栅线、一个与所述像素单元对应的数据线和至少一个薄膜晶体管,其特征在于:所述薄膜晶体管与所述栅线和数据线电连接,所述栅线和所述数据线把所述像素单元分为四个子像素,每个所述子像素设有像素电极,所述像素电极设有多个具有设定方向的缝隙;

第一子像素中所述缝隙与所述栅线之间的夹角为 $(n\pi/2)+\theta$ 、第二子像素中所述缝隙与所述栅线之间的夹角为 $[(n+1)\pi/2]+\theta$ 、第三子像素中所述缝隙与所述栅线之间的夹角为 $[(n+2)\pi/2]+\theta$ 、第四子像素中所述缝隙与所述栅线之间的夹角为 $[(n+3)\pi/2]+\theta$;或者第一子像素中所述缝隙与所述数据线之间的夹角为 $(n\pi/2)+\theta$ 、第二子像素中所述缝隙与所述数据线之间的夹角为 $[(n+1)\pi/2]+\theta$ 、第三子像素中所述缝隙与所述数据线之间的夹角为 $[(n+2)\pi/2]+\theta$ 、第四子像素中所述缝隙与所述数据线之间的夹角为 $[(n+3)\pi/2]+\theta$,其中 n 为自然数、 π 为 180 度、 θ 大于等于 0 度,小于等于 90 度。

2. 根据权利要求 1 所述的水平电场型液晶显示装置的像素结构,其特征在于:所述子像素的面积相同。

3. 根据权利要求 1 或 2 所述的水平电场型液晶显示装置的像素结构,其特征在于:位于不相邻子像素内的所述缝隙相互平行。

4. 根据权利要求 3 所述的水平电场型液晶显示装置的像素结构,其特征在于:位于相邻子像素内的所述缝隙之间相互垂直。

5. 根据权利要求 3 所述的水平电场型液晶显示装置的像素结构,其特征在于:位于相邻子像素内的所述缝隙以所述栅线为对称轴对称;位于相邻子像素内的所述缝隙以所述数据线为对称轴对称。

6. 根据权利要求 3 所述的水平电场型液晶显示装置的像素结构,其特征在于:所述薄膜晶体管为一个,所述薄膜晶体管与一个子像素内的像素电极电连接,位于不同子像素内的像素电极相互电连接。

7. 根据权利要求 3 所述的水平电场型液晶显示装置的像素结构,其特征在于:所述薄膜晶体管为两个,每个所述薄膜晶体管分别与位于两个子像素内的像素电极电连接。

8. 根据权利要求 3 所述的水平电场型液晶显示装置的像素结构,其特征在于:所述薄膜晶体管为两个,每个所述薄膜晶体管分别与位于一个子像素内的像素电极电连接,已与薄膜晶体管电连接的所述像素电极和另一个未与薄膜晶体管电连接的所述像素电极电连接。

9. 根据权利要求 3 所述的水平电场型液晶显示装置的像素结构,其特征在于:所述薄膜晶体管为四个,每个薄膜晶体管与一个子像素内的像素电极电连接。

10. 根据权利要求 3 所述的水平电场型液晶显示装置的像素结构,其特征在于:所述水平电场为共平面电场切换方式水平电场或为边界电场切换方式水平电场。

水平电场型液晶显示装置的像素结构

技术领域

[0001] 本发明涉及一种液晶显示装置的像素结构,特别涉及一种水平电场型液晶显示装置的像素结构。

背景技术

[0002] 共平面电场切换 (in-plane field switching, 以下简称为“IPS”) 技术是通过在共平面内产生水平电场来使液晶分子产生旋转,该水平电场相互平行,从而可以提高液晶显示装置的视角性能。边界电场切换 (fringe field switching, 以下简称为“FFS”) 技术是通过电极间产生边缘电场,使电极间以及电极正上方的液晶分子都能在平面方向产生旋转转换,从而提高了液晶显示装置的视角性能。可是随着液晶显示装置的显示面板逐渐扩大,IPS 型液晶显示装置和 FFS 型液晶显示装置等水平电场型液晶显示装置的视角性能都无法满足大型液晶显示装置对视角性能的要求,特别是 40 寸以上的宽屏液晶显示装置。

[0003] 现有的 IPS 型液晶显示装置和 FFS 型液晶显示装置都采用显示面板内的像素结构在相同的方向形成视角,因此观看的视角与像素结构形成视角的方向不一致时,导致了用户无法看到正常的画面。另外,用户观看显示面板的角度越接近视角的极限时,出现的色彩偏差越严重,从而影响用户的视觉效果。

[0004] 同时,通过现有技术制造的大型液晶显示装置常常会出现黑点现象,即制造液晶显示面板的过程中在显示面板上出现损坏的像素,使该像素不能正常工作,导致在显示面板上出现黑点,严重影响液晶显示装置的显示质量。

发明内容

[0005] 本发明的目的是提供一种水平电场型液晶显示装置的像素结构,有效提高大型液晶显示装置的视角性能,克服色彩偏差和黑点缺陷。

[0006] 为了实现上述目的,本发明提供了一种水平电场型液晶显示装置的像素结构,包括多个像素单元,其中,每一像素单元包括:一个与像素单元对应的栅线、一个与像素单元对应的数据线和至少一个薄膜晶体管,薄膜晶体管与栅线和数据线电连接,栅线和数据线把像素单元分为四个子像素,每个子像素设有像素电极,像素电极设有多个具有设定方向的缝隙。

[0007] 其中,子像素的面积相同。

[0008] 其中,第一子像素中缝隙与栅线之间的夹角为 $(n\pi/2)+\theta$ 、第二子像素中缝隙与栅线之间的夹角为 $[(n+1)\pi/2]+\theta$ 、第三子像素中缝隙与栅线之间的夹角为 $[(n+2)\pi/2]+\theta$ 、第四子像素中缝隙与栅线之间的夹角为 $[(n+3)\pi/2]+\theta$;或者第一子像素中缝隙与数据线之间的夹角为 $(n\pi/2)+\theta$ 、第二子像素中缝隙与数据线之间的夹角为 $[(n+1)\pi/2]+\theta$ 、第三子像素中缝隙与数据线之间的夹角为 $[(n+2)\pi/2]+\theta$ 、第四子像素中缝隙与数据线之间的夹角为 $[(n+3)\pi/2]+\theta$,其中 n 为自然数、 π 为 180 度、 θ 大于等于 0 度,小于等于 90 度。

[0009] 其中,第一子像素中缝隙与栅线之间的夹角为 $n\pi + \theta$ 、第二子像素中缝隙与栅线之间的夹角为 $n\pi - \theta$ 、第三子像素中缝隙与栅线之间的夹角为 $(n+1)\pi + \theta$ 、第四子像素中缝隙与栅线之间的夹角为 $(n+1)\pi - \theta$;或者第一子像素中缝隙与栅线之间的夹角为 $n\pi - \theta$ 、第二子像素中缝隙与栅线之间的夹角为 $n\pi + \theta$ 、第三子像素中缝隙与栅线之间的夹角为 $(n+1)\pi - \theta$ 、第四子像素中缝隙与栅线之间的夹角为 $(n+1)\pi + \theta$;或者第一子像素中缝隙与数据线之间的夹角为 $n\pi + \theta$ 、第二子像素中缝隙与数据线之间的夹角为 $n\pi - \theta$ 、第三子像素中缝隙与数据线之间的夹角为 $(n+1)\pi + \theta$ 、第四子像素中缝隙与数据线之间的夹角为 $(n+1)\pi - \theta$;或者第一子像素中缝隙与数据线之间的夹角为 $n\pi - \theta$ 、第二子像素中缝隙与数据线之间的夹角为 $n\pi + \theta$ 、第三子像素中缝隙与数据线之间的夹角为 $(n+1)\pi - \theta$ 、第四子像素中缝隙与数据线之间的夹角为 $(n+1)\pi + \theta$,其中 n 为自然数、 π 为 180 度、 θ 大于等于 0 度,小于等于 90 度。

[0010] 其中,位于不相邻子像素内的缝隙相互平行。

[0011] 其中,位于相邻子像素内的缝隙之间相互垂直。

[0012] 其中,位于相邻子像素内的缝隙以栅线为对称轴对称;位于相邻子像素内的缝隙以数据线为对称轴对称。

[0013] 其中,薄膜晶体管为一个,薄膜晶体管与一个子像素内的像素电极电连接,位于不同子像素内的像素电极相互电连接。

[0014] 其中,薄膜晶体管为两个,每个薄膜晶体管分别与位于两个子像素内的像素电极电连接。

[0015] 其中,薄膜晶体管为两个,每个薄膜晶体管分别与位于一个子像素内的像素电极电连接,已与薄膜晶体管电连接的像素电极和另一个未与薄膜晶体管电连接的像素电极电连接。

[0016] 其中,薄膜晶体管为四个,每个薄膜晶体管与一个子像素内的像素电极电连接。

[0017] 其中,水平电场为共平面电场切换方式水平电场或为边界电场切换方式水平电场。

[0018] 本发明提出的水平电场型液晶显示装置的像素结构为,通过水平电场排列液晶分子,进一步地通过像素电极缝隙形成不同方向的水平电场,从而在不同方向形成视角的技术方案。由于本发明的像素结构在多个方向形成了视角,因此相比在一个方向形成视角的现有像素结构,本发明的技术方案进一步提高液晶显示装置的视角性能,使得用户从不同方向、不同视角观看显示面板时,不会影响视觉效果。另外本发明的技术方案通过多个子像素构成了一个像素单元,且每个子像素内的缝隙指向设定方向,所以当用户的视角接近某个方向上的极限视角时可以从相近方向上形成的视角中得到光线补偿,因此可以有效防止接近某个方向的视角极限时出现色彩偏差现象。同时,在制造过程中出现某一个像素电极被损坏时,与该像素电极对应的子像素可以从相邻的缝隙方向不同的子像素得到光线补偿,因此可以有效地降低损坏的像素电极产生的影响。

附图说明

[0019] 图 1 为本发明实施例一的结构示意图;

[0020] 图 2 为本发明图 1 的 A 区域放大示意图;

- [0021] 图 3 为本发明图 1 的 B 区域放大示意图；
[0022] 图 4 为本发明图 1 的 C 区域放大示意图；
[0023] 图 5 为本发明实施例二的结构示意图；
[0024] 图 6 为本发明实施例三的结构示意图；
[0025] 图 7 为本发明实施例四的结构示意图；
[0026] 图 8 为本发明实施例五的结构示意图。
[0027] 附图标记说明：
[0028] 1- 栅线； 2- 数据线； 3- 薄膜晶体管；
[0029] 4- 子像素； 5- 像素电极； 6- 导电梁。

具体实施方式

[0030] 本发明提供一种水平电场型液晶显示装置的像素结构,包括多个像素单元,其中每一像素单元包括:一个与像素单元对应的栅线、一个与像素单元对应的数据线和至少一个薄膜晶体管,薄膜晶体管与栅线和数据线电连接,栅线和数据线把像素单元分为四个子像素,子像素设有与薄膜晶体管电连接的像素电极,像素电极设有多个具有设定方向的缝隙。

[0031] 实施例一

[0032] 图 1 为本发明实施例一的结构示意图。如图 1 所示,每一像素单元包括:与像素单元对应的栅线 1、与像素单元对应的数据线 2、两个薄膜晶体管 3、四个子像素 4 和四个像素电极 5,其中栅线 1 位于像素单元内相邻子像素 4 之间;数据线 2 位于像素单元内相邻子像素 4 之间;栅线 1 和数据线 2 相互垂直;其中,一个薄膜晶体管 3 与栅线 1、数据线 2 和两个相邻的子像素 4 电连接;每个子像素 4 内设有一个像素电极 5;每个像素电极设有多个具有设定方向的缝隙;并且该像素单元产生水平电场,以控制液晶分子排列。

[0033] 本实施例提出的液晶显示装置的像素结构为,通过水平电场排列液晶分子,进一步地通过像素电极缝隙形成不同方向的水平电场,从而在不同方向形成视角的技术方案。由于本实施例的像素结构在多个方向形成了视角,因此相比在一个方向形成视角的现有像素结构,本实施例的技术方案进一步提高液晶显示装置的视角性能,使得用户从不同方向、不同视角观看显示面板时,不会影响视觉效果。另外该技术方案通过四个子像素构成了一个像素单元,且每个子像素内的缝隙方向不同,所以当用户的视角接近某个方向上的极限视角时可以从相近方向上形成的视角中得到光线补偿,因此可以有效防止接近某个方向的视角极限时出现色彩偏差现象。同时,在制造过程中出现某一个像素电极被损坏时,与该像素电极对应的子像素可以从相邻的缝隙方向不同的子像素得到光线补偿,因此可以有效地降低损坏的像素电极产生的影响。

[0034] 本实施例中栅线和数据线为垂直交叉的网状型结构,还可以为根据需要设置的具有设定夹角的网状型结构。另外,本实施例中每个子像素的面积相同,还可以根据显示颜色的具体需要调整子像素面积的大小。

[0035] 图 2 为本发明图 1 的 A 区域放大示意图。如图 2 所示,栅线 1 和像素电极 5 的缝隙之间的夹角为 a 。图 3 为本发明图 1 的 B 区域放大示意图。如图 3 所示,数据线 2 和像素电极 5 的缝隙之间的夹角为 b 。在实际情况中根据具体需要可以分别调整不同子像素内

的夹角 a 和夹角 b , 使得位于不同子像素内的像素电极缝隙可以分别指向不同方向, 同时像素电极缝隙的个数也可以根据需要进行调整。图 4 为本发明图 1 的 C 区域放大示意图。如图 4 所示, 两个子像素内的缝隙形成的夹角为 c 。根据实际的需要两个缝隙之间形成的夹角 c 也可以调整。

[0036] 如图 1 所示, 第一子像素中缝隙与栅线 1 之间的夹角为 $(n\pi/2)+\theta$ 、第二子像素中缝隙与栅线 1 之间的夹角为 $[(n+1)\pi/2]+\theta$ 、第三子像素中缝隙与栅线 1 之间的夹角为 $[(n+2)\pi/2]+\theta$ 、第四子像素中缝隙与栅线 1 之间的夹角为 $[(n+3)\pi/2]+\theta$ 时, 其中 n 为 0 或自然数、 π 为 180 度、 θ 大于等于 0 度, 小于等于 90 度。假设 $n=0$ 、 $\theta=45$ 度, 右上子像素, 即第一子像素中缝隙与栅线 1 之间的夹角为 45 度、左上子像素, 即第二子像素中缝隙与栅线 1 之间的夹角为 135 度、左下子像素, 即第三子像素中缝隙与栅线 1 之间的夹角为 225 度、右下子像素, 即第四子像素中缝隙与栅线 1 之间的夹角为 315 度。

[0037] 这时不管 θ 取任何角度, 在相邻子像素内所形成的像素电极缝隙之间均有 90 度的夹角。若第一子像素中缝隙与数据线之间的夹角为 $(n\pi/2)+\theta$ 、第二子像素中缝隙与数据线之间的夹角为 $[(n+1)\pi/2]+\theta$ 、第三子像素中缝隙与数据线之间的夹角为 $[(n+2)\pi/2]+\theta$ 、第四子像素中缝隙与数据线之间的夹角为 $[(n+3)\pi/2]+\theta$ 时, 情况相同, 在这里不再一一赘述。

[0038] 如图 1 所示, 第一子像素中缝隙与栅线 1 之间的夹角为 $n\pi+\theta$ 、第二子像素中缝隙与栅线 1 之间的夹角为 $n\pi-\theta$ 、第三子像素中缝隙与栅线 1 之间的夹角为 $(n+1)\pi+\theta$ 、第四子像素中缝隙与栅线 1 之间的夹角为 $(n+1)\pi-\theta$ 时, 其中 n 为 0 或自然数、 π 为 180 度、 θ 大于等于 0 度, 小于等于 90 度。假设 $n=0$ 、 $\theta=45$ 度, 右上子像素, 即第一子像素中缝隙与栅线 1 之间的夹角为 45 度、左上子像素, 即第二子像素中缝隙与栅线 1 之间的夹角为 135 度、左下子像素, 即第三子像素中缝隙与栅线 1 之间的夹角为 225 度、右下子像素, 即第四子像素中缝隙与栅线 1 之间的夹角为 315 度。

[0039] 这时不管 θ 取任何角度, 在相邻子像素内所形成的像素电极缝隙之间以栅线或数据线为对称轴相互对称, 即相邻像素电极缝隙为上下位置关系时以栅线为对称轴上下对称; 相邻像素电极缝隙为左右位置关系时以数据线为对称轴左右对称。若第一子像素中缝隙与栅线之间的夹角为 $n\pi-\theta$ 、第二子像素中缝隙与栅线之间的夹角为 $n\pi+\theta$ 、第三子像素中缝隙与栅线之间的夹角为 $(n+1)\pi-\theta$ 、第四子像素中缝隙与栅线之间的夹角为 $(n+1)\pi+\theta$; 或者第一子像素中缝隙与数据线之间的夹角为 $n\pi+\theta$ 、第二子像素中缝隙与数据线之间的夹角为 $n\pi-\theta$ 、第三子像素中缝隙与数据线之间的夹角为 $(n+1)\pi+\theta$ 、第四子像素中缝隙与数据线之间的夹角为 $(n+1)\pi-\theta$; 或者第一子像素中缝隙与数据线之间的夹角为 $n\pi-\theta$ 、第二子像素中缝隙与数据线之间的夹角为 $n\pi+\theta$ 、第三子像素中缝隙与数据线之间的夹角为 $(n+1)\pi-\theta$ 、第四子像素中缝隙与数据线之间的夹角为 $(n+1)\pi+\theta$ 时, 情况相同, 在这里不再一一赘述。

[0040] 另外在本实施例中, 不相邻像素电极的缝隙以像素中心为对称点互相点对称。

[0041] 进一步的, 还可以使像素电极缝隙平行于栅线或数据线, 另外缝隙可以为直线型外还可以为曲线形。

[0042] 更进一步的, 本实施中的水平电场可以为 IPS 方式或者为 FFS 方式, 这两种方式的水平电场为现有技术, 所以在里不再一一赘述。

[0043] 实施例二

[0044] 图 5 为本发明实施例二的结构示意图。如图 5 所示,像素单元包括:与像素单元对应的栅线 1、与像素单元对应的数据线 2、四个薄膜晶体管 3、四个子像素 4 和四个像素电极 5,栅线 1 位于像素单元内相邻子像素 4 之间;数据线 2 位于像素单元内相邻子像素 4 之间;栅线 1 和数据线 2 相互垂直;其中,一个薄膜晶体管 3 与栅线 1、数据线 2 和一个子像素 4 电连接,即每个薄膜晶体管 3 分别对应一个子像素 4;每个子像素 4 内设有一个像素电极 5;每个像素电极 5 设有多个具有设定方向的缝隙;并且该像素单元产生水平电场,控制液晶分子排列。

[0045] 本实施例提出的液晶显示装置的像素结构,通过具有四个薄膜晶体管的像素单元形成像素结构,实现了与实施例一相同的技术效果,同时由于采用了四个薄膜晶体管,因此一个薄膜晶体管损害时不会导致两个子像素出现黑点现象,从而既提高了液晶显示装置的显示质量,又提高了容差能力。

[0046] 实施例三

[0047] 图 6 为本发明实施例三的结构示意图。如图 6 所示,像素单元包括:与像素单元对应的栅线 1、与像素单元对应的数据线 2、两个薄膜晶体管 3、四个子像素 4 和四个像素电极 5,其中栅线 1 位于像素单元内相邻子像素 4 之间;数据线 2 位于像素单元内相邻子像素 4 之间;栅线 1 和数据线 2 相互垂直;其中,一个薄膜晶体管 3 与栅线 1、数据线 2 和两个相邻的子像素 4 电连接;每个子像素 4 内设有一个像素电极 5;每个像素电极 5 设有多个具有设定方向的缝隙,且相邻像素电极 5 的缝隙之间形成的夹角为直角,另外其中两个像素电极 5 的缝隙与栅线 1 平行、其余两个像素电极 5 的缝隙与数据线 2 平行;并且该像素单元产生水平电场,控制液晶分子排列。

[0048] 本实施例提出的液晶显示装置的像素结构为,把像素电极缝隙之间的夹角设置为直角的技术方案,可以均匀分布每个方向形成的视角,可以同时考虑到不同方向、不同视角的视觉效果。

[0049] 进一步的,图 6 中所示,第一子像素中缝隙与栅线 1 之间的夹角为 $(n\pi/2)+\theta$ 、第二子像素中缝隙与栅线 1 之间的夹角为 $[(n+1)\pi/2]+\theta$ 、第三子像素中缝隙与栅线 1 之间的夹角为 $[(n+2)\pi/2]+\theta$ 、第四子像素中缝隙与栅线 1 之间的夹角为 $[(n+3)\pi/2]+\theta$ 时,其中 n 为 0 或自然数、 π 为 180 度、 θ 大于等于 0 度,小于等于 90 度。假设 $n=0$ 、 $\theta=0$ 度,右上子像素,即第一子像素中缝隙与栅线 1 之间的夹角为 0 度、右下左上子像素,即第二子像素中缝隙与栅线 1 之间的夹角为 90 度、左下子像素,即第三子像素中缝隙与栅线 1 之间的夹角为 180 度、右下子像素,即第四子像素中缝隙与栅线 1 之间的夹角为 270 度。若第一子像素中缝隙与数据线之间的夹角为 $(n\pi/2)+\theta$ 、第二子像素中缝隙与数据线之间的夹角为 $[(n+1)\pi/2]+\theta$ 、第三子像素中缝隙与数据线之间的夹角为 $[(n+2)\pi/2]+\theta$ 、第四子像素中缝隙与数据线之间的夹角为 $[(n+3)\pi/2]+\theta$ 时, $n=0$ 、 $\theta=90$ 度,在这里不再一一赘述

[0050] 实施例四

[0051] 图 7 为本发明实施例四的结构示意图。如图 7 所示,像素单元包括:与像素单元对应的栅线 1、与像素单元对应的数据线 2、一个薄膜晶体管 3、四个子像素 4 和四个像素电极 5,其中栅线 1 位于像素单元内相邻子像素 4 之间;数据线 2 位于像素单元内相邻子像素 4

之间；栅线 1 和数据线 2 相互垂直；薄膜晶体管 3 与栅线 1、数据线 2 和一个子像素 4 电连接；每个子像素 4 内设有一个像素电极 5；位于相邻子像素 4 内的像素电极 5 通过导电梁 6 相互电连接；每个像素电极 5 设有多个具有设定方向的缝隙，并且该像素单元产生水平电场，控制液晶分子排列。

[0052] 进一步的，导电梁用于电连接相邻子像素内的像素电极，因此导电梁本身可以为像素电极材料，或者为数据线金属材料。即导电梁为像素电极材料时，可以形成像素电极的过程中同时形成；若导电梁为数据线金属材料时，可以形成数据线和源漏电极的过程中同时形成，并通过设置在钝化层上的电连接过孔实现相邻子像素内的像素电极电连接。

[0053] 实施例五

[0054] 图 8 为本发明实施例五的结构示意图。如图 8 所示，像素单元包括：与像素单元对应的栅线 1、与像素单元对应的数据线 2、两个薄膜晶体管 3、四个子像素 4 和四个像素电极 5，其中栅线 1 位于像素单元内相邻子像素 4 之间；数据线 2 位于像素单元内相邻子像素 4 之间；栅线 1 和数据线 2 相互垂直；其中，一个薄膜晶体管 3 与栅线 1、数据线 2 和一个子像素 4 电连接；每个子像素 4 内设有一个像素电极 5；与薄膜晶体管 3 电连接的像素电极 5 通过导电梁 6 和未与薄膜晶体管 3 电连接的像素电极 5 电连接；每个像素电极 5 设有多个具有设定方向的缝隙，并且该像素单元产生水平电场，控制液晶分子排列。

[0055] 进一步的，导电梁用于电连接相邻子像素内的像素电极，因此导电梁本身可以为像素电极材料，或者为数据线金属材料。即导电梁为像素电极材料时，可以形成像素电极的过程中同时形成；若导电梁为数据线金属材料时，可以形成数据线和源漏电极的过程中同时形成，并通过设置在钝化层上的电连接过孔实现相邻子像素内的像素电极电连接。

[0056] 最后应说明的是：以上实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

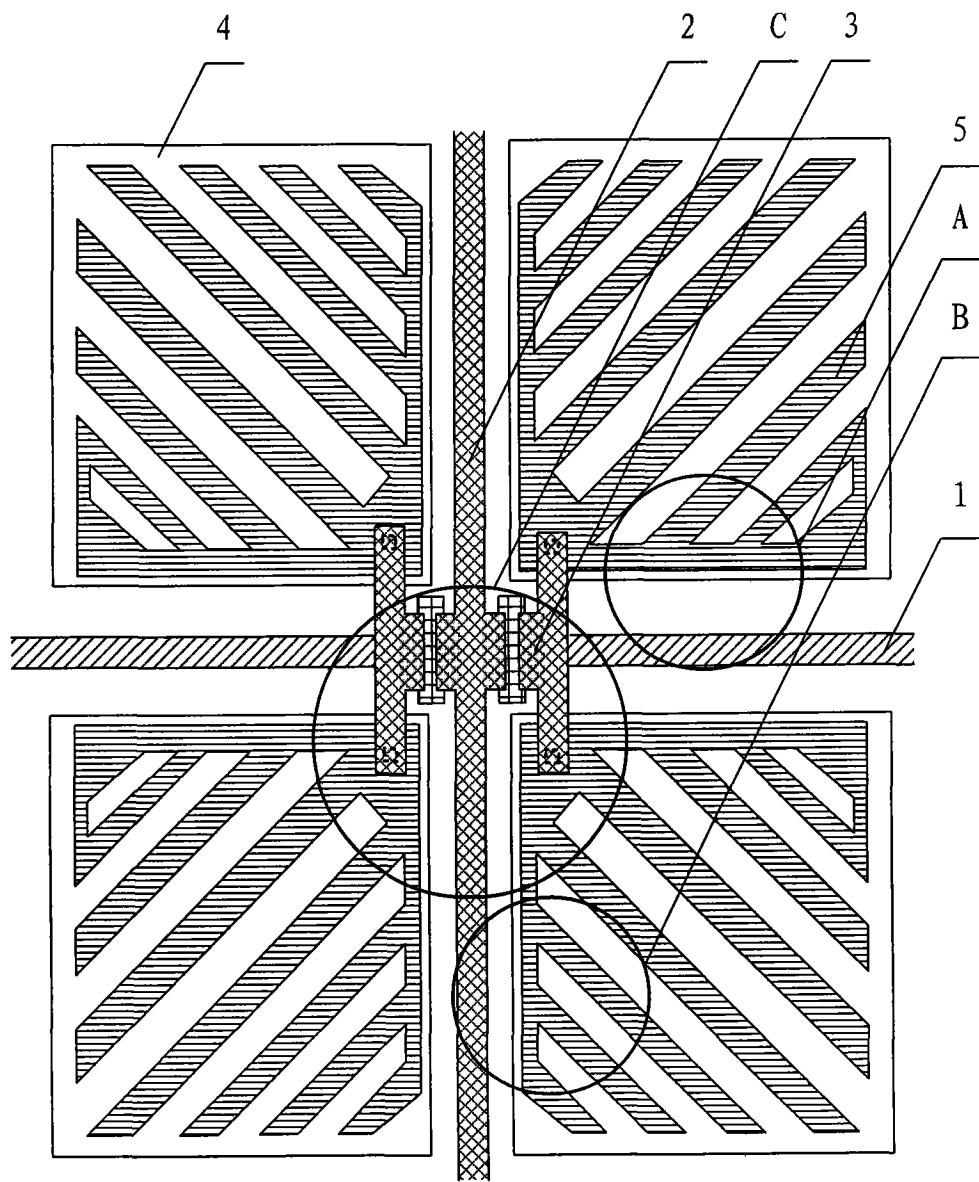


图 1

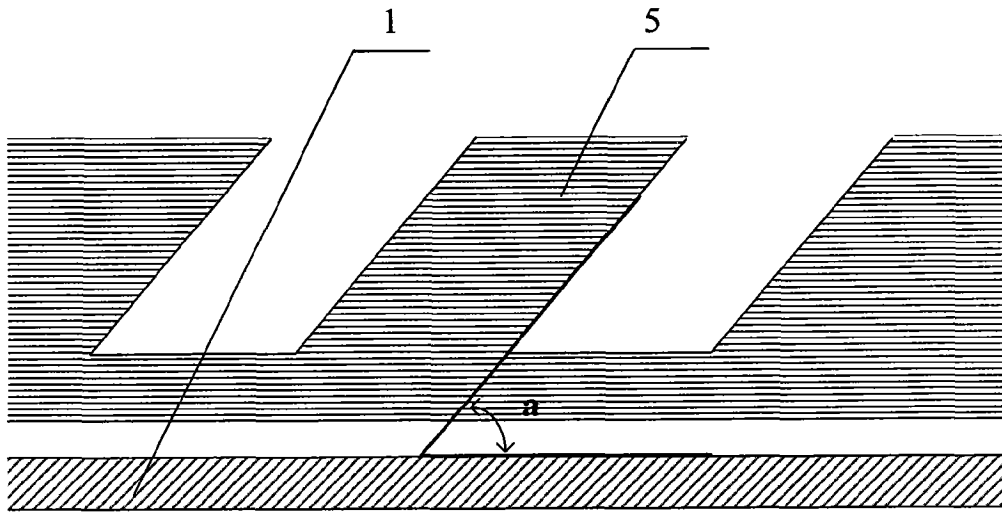


图 2

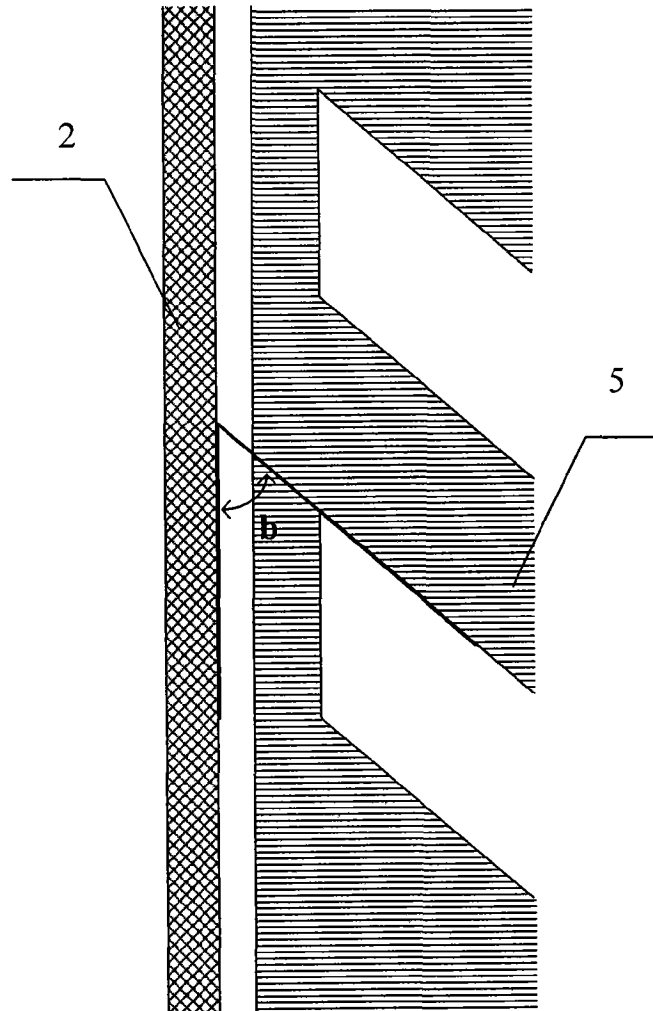


图 3

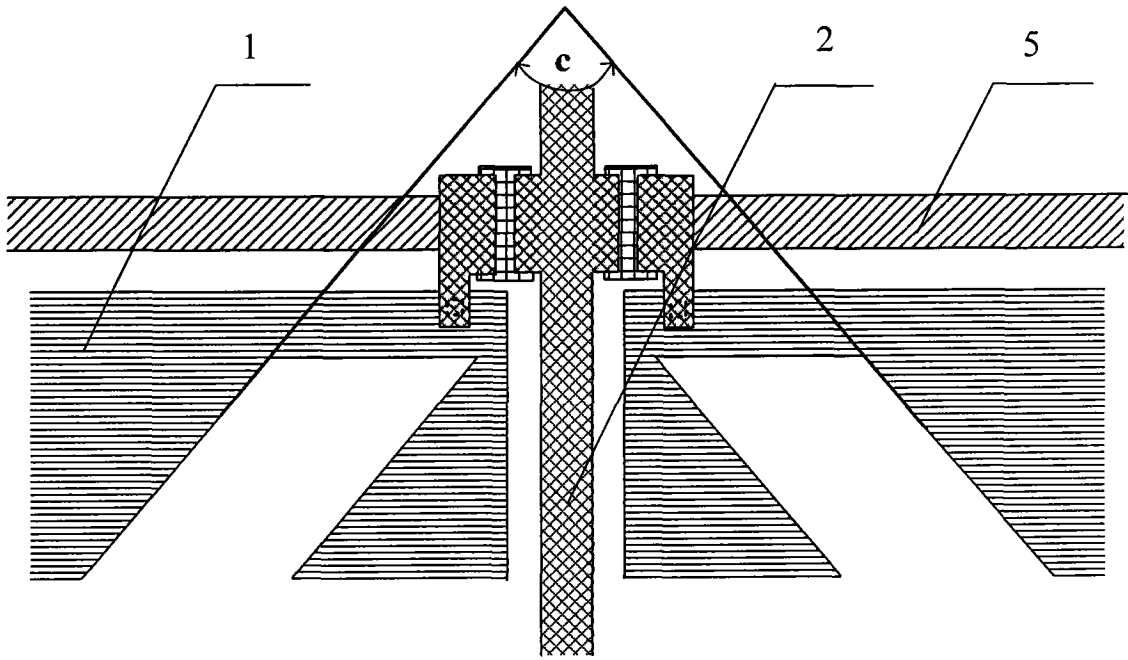


图 4

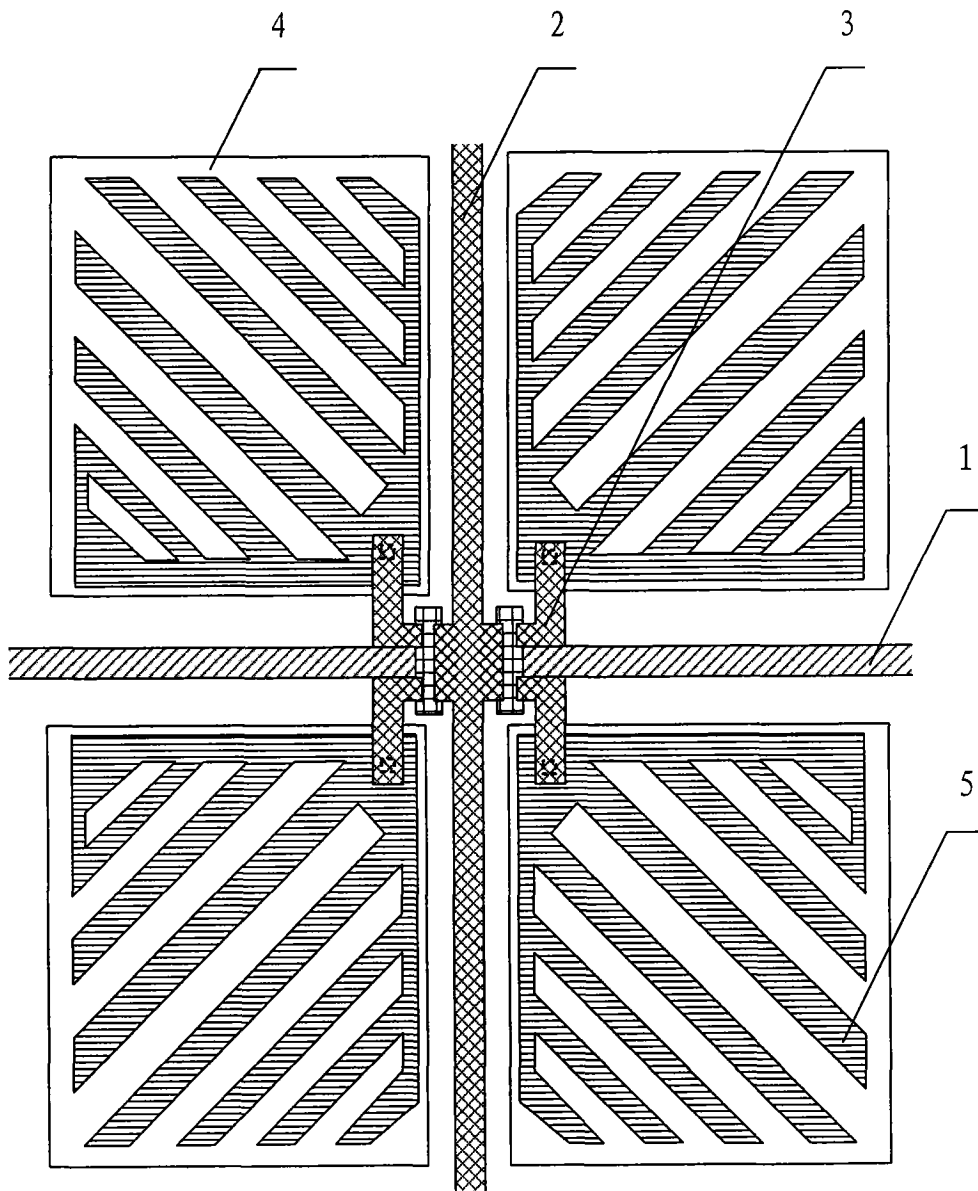


图 5

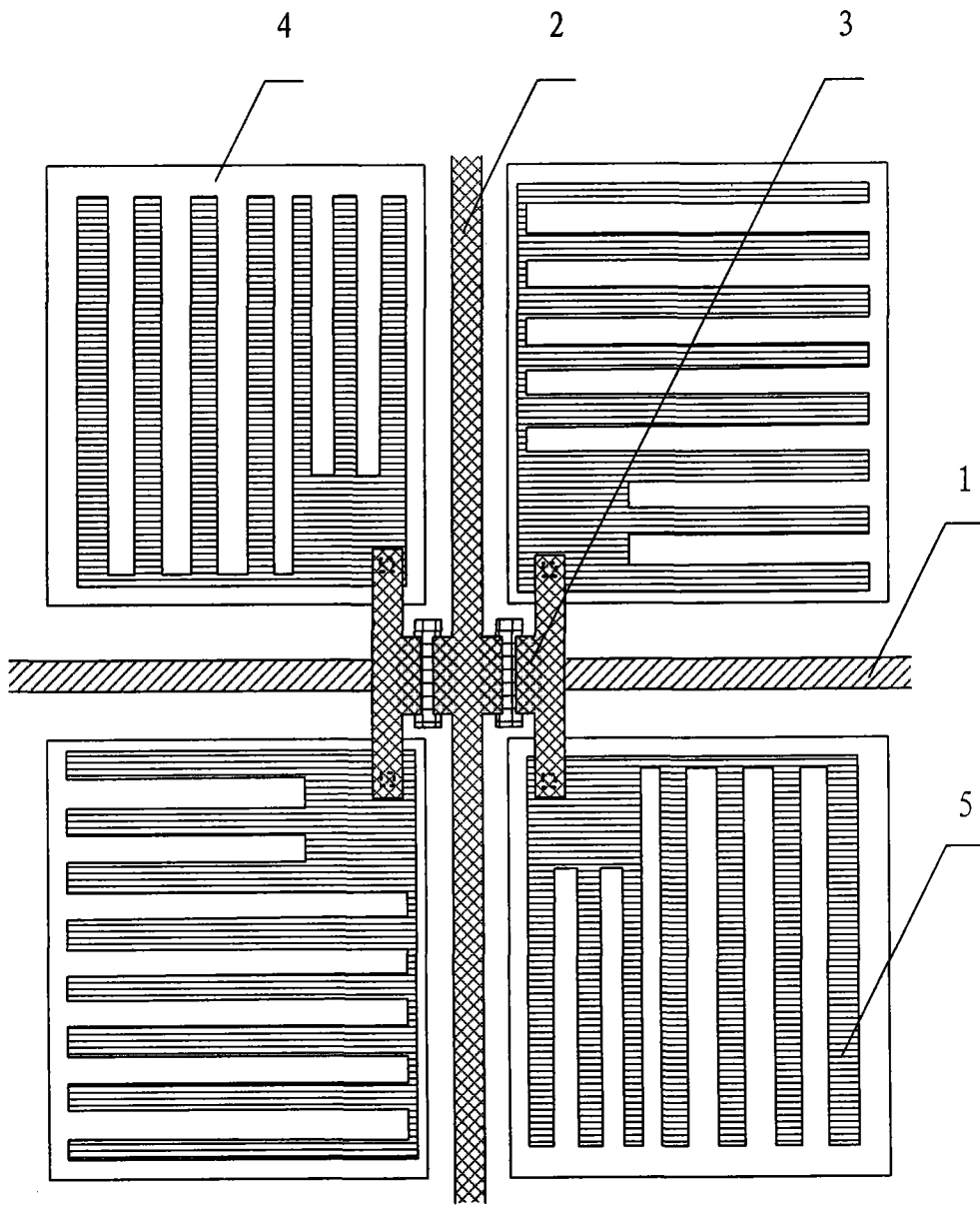


图 6

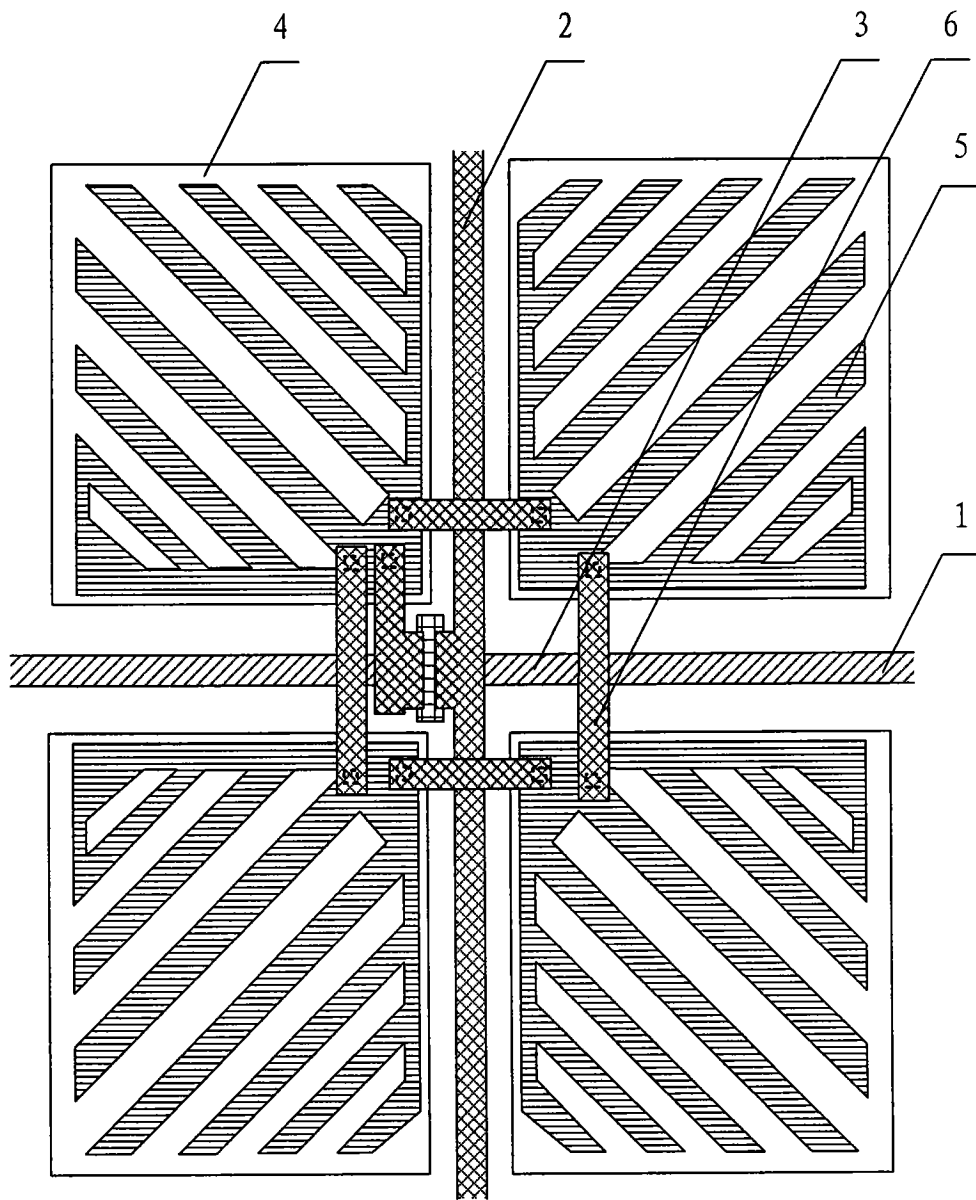


图 7

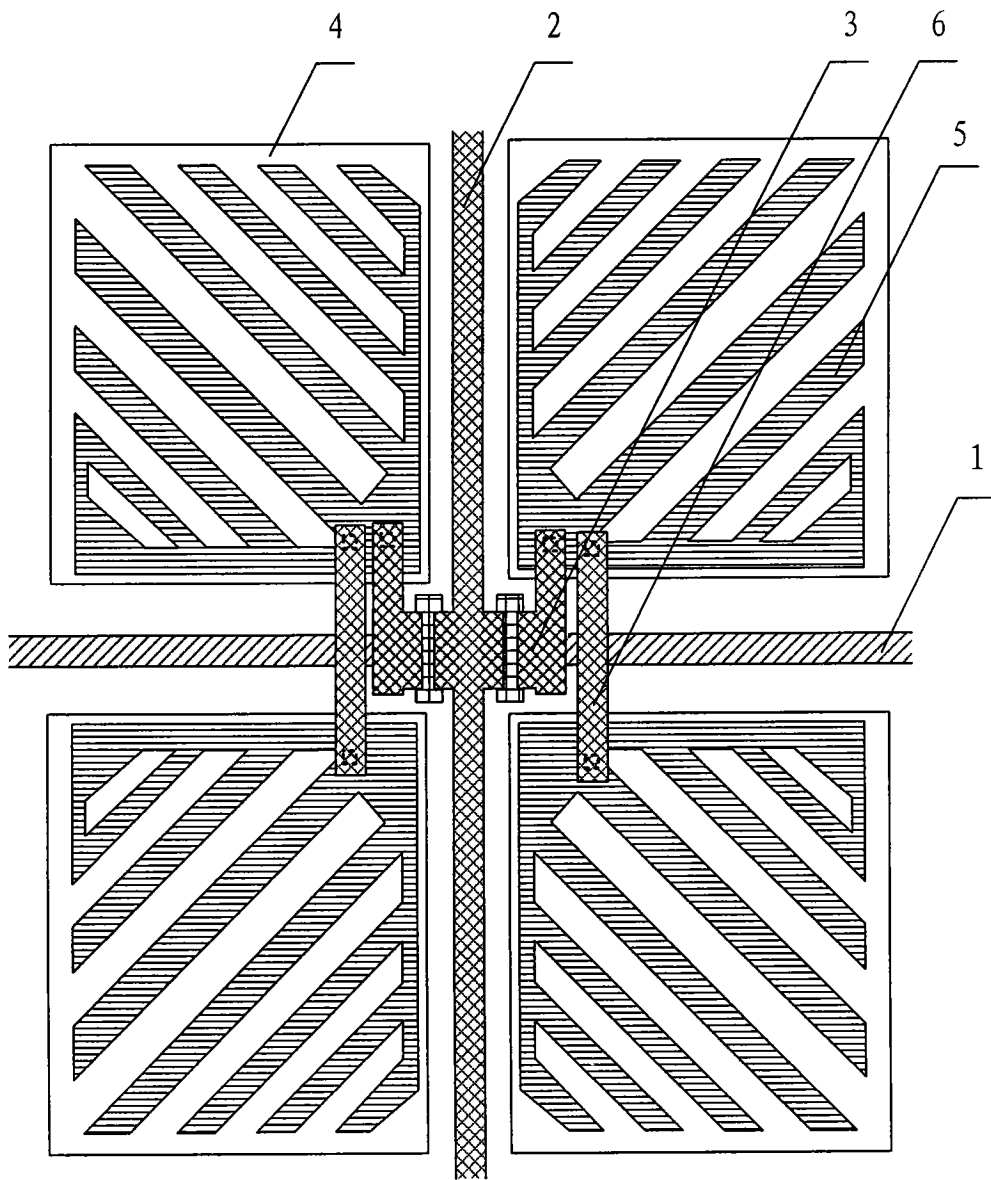


图 8

专利名称(译)	水平电场型液晶显示装置的像素结构		
公开(公告)号	CN101398587B	公开(公告)日	2011-02-16
申请号	CN200710175483.9	申请日	2007-09-29
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	金在光		
发明人	金在光		
IPC分类号	G02F1/1362 G02F1/133 G09G3/36 H01L27/12		
CPC分类号	G02F2001/134372 G02F1/134363 G02F2001/134345		
代理人(译)	刘芳		
审查员(译)	李晴晴		
其他公开文献	CN101398587A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种水平电场型液晶显示装置的像素结构，包括多个像素单元，其中每一像素单元包括：一个与像素单元对应的栅线、一个与像素单元对应的数据线和至少一个薄膜晶体管，薄膜晶体管与栅线和数据线电连接，栅线和数据线把像素单元分为四个子像素，子像素设有与薄膜晶体管电连接的像素电极，像素电极设有多个具有设定方向的缝隙。本发明不仅可以有效提高液晶显示装置的视角性能，而且还改善了接近极限视角区域的视觉效果，同时还有效防止了制造过程中出现的坏像素影响液晶显示装置显示质量的缺陷。

