

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-128194

(P2021-128194A)

(43) 公開日 令和3年9月2日(2021.9.2)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3266 (2016.01)	G09G 3/3266	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G09G 3/3233 (2016.01)	G09G 3/3233	5C380
H01L 51/50 (2006.01)	G09G 3/20 622B	
H01L 27/32 (2006.01)	G09G 3/20 621K	
審査請求 未請求 請求項の数 17 O L (全 27 頁) 最終頁に続く		

(21) 出願番号 特願2020-20912 (P2020-20912)
 (22) 出願日 令和2年2月10日 (2020.2.10)

(71) 出願人 000002185
 ソニーグループ株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100091487
 弁理士 中村 行孝
 (74) 代理人 100105153
 弁理士 朝倉 悟
 (72) 発明者 木村 圭
 東京都港区港南1-7-1 ソニー株式会社
 社内
 Fターム(参考) 3K107 AA01 BB01 CC31 HH03 HH05
 5C080 AA06 BB06 CC03 DD02 DD05
 DD08 DD24 DD25 DD27 EE19
 EE25 EE26 EE29 FF03 FF11
 FF13 HH09 JJ02 JJ03 JJ04
 最終頁に続く

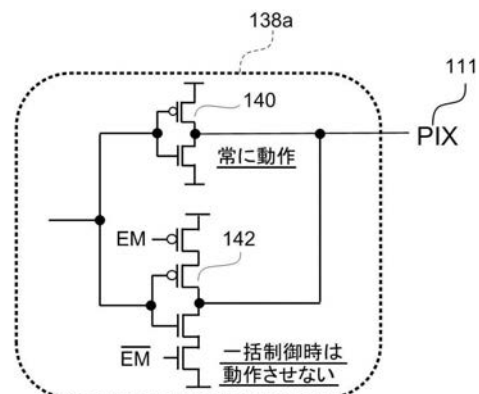
(54) 【発明の名称】 駆動装置、表示装置、および駆動装置の駆動方法

(57) 【要約】

【課題】一括発光駆動させる場合にも、ラッシュ電流を抑制可能な、駆動装置、表示装置、および駆動装置の駆動装置方法を提供する。

【解決手段】本開示では、一画素回路内の有機EL素子と、ゲート電極の電位に応じた電流を有機EL素子に供給する駆動トランジスタとに直列接続されたスイッチングトランジスタのゲート信号を出力する駆動装置であって、第1ゲート信号を生成する生成回路と、生成回路から入力された第1ゲート信号をゲート信号として出力するバッファと、を備え、バッファは、少なくとも二つのインバータが並列に接続されている、駆動装置が提供される。

【選択図】 図8



【特許請求の範囲】**【請求項 1】**

画素回路内の有機 EL 素子と、ゲート電極の電位に応じた電流を前記有機 EL 素子に供給する駆動トランジスタとに直列接続されたスイッチングトランジスタのゲート信号を出力する駆動装置であって、

第 1 ゲート信号を生成する生成回路と、

前記生成回路から入力された第 1 ゲート信号を前記ゲート信号として出力するバッファと、を備え、

前記バッファは、少なくとも二つのインバータが並列に接続されている、駆動装置。

【請求項 2】

前記バッファは、駆動するインバータの数を変更可能である、請求項 1 に記載の駆動装置。

【請求項 3】

前記有機 EL 素子の発光モードに応じて、前記二つのインバータのうちの少なくとも一つのインバータを非駆動にする、請求項 1 又は 2 に記載の駆動装置。

【請求項 4】

第 1 発光モードでは、前記少なくとも二つのインバータを駆動し、前記第 1 発光モードと異なる第 2 発光モードでは、駆動するインバータの数を前記第 1 発光モードよりも低減する、請求項 1 乃至 3 のいずれか一項に記載の駆動装置。

【請求項 5】

前記第 1 発光モードは、前記画素回路を行列状に配置した画素部において、行ごとの有機 EL 素子を順に発光させるモードである、請求項 4 に記載の駆動装置。

【請求項 6】

第 2 発光モードは、前記画素回路を行列状に配置した画素部において、少なくとも複数行の有機 EL 素子を同時に発光させるモードである、請求項 4 に記載の駆動装置。

【請求項 7】

前記スイッチングトランジスタのゲートにおける単位時間あたりのラッシュ電流をより低減する場合に、前記バッファにおいて駆動するインバータの数をより低減する請求項 1 乃至 6 のいずれか一項に記載の駆動装置。

【請求項 8】

画素回路内の有機 EL 素子と、ゲート電極の電位に応じた電流を前記有機 EL 素子に供給する駆動トランジスタとに直列接続されたスイッチングトランジスタのゲート信号を出力する駆動装置であって、

入力されたゲート信号のオン時間に対応する原信号を行ごとに順に遅延させ、行ごとの前記ゲート信号として出力する生成回路、を備え、

前記画素回路の複数行に対応するゲート信号は、当該ゲート信号ごとのオン時間が重複し、且つ前記ゲート信号ごとのオン時間の開始時間及び終了時間がずれている、駆動装置。

【請求項 9】

前記生成回路は、

直列に接続された複数の遅延素子であって、前記オン時間に対応する原信号を行ごとに順に遅延させる複数の遅延素子を有し、

前記行ごとに遅延した前記オン時間に対応する原信号に基づき、前記行ごとの前記ゲート信号として出力する、請求項 8 に記載の駆動装置。

【請求項 10】

前記生成回路は、

伝送クロックに応じて、前記オン時間に対応する原信号を行ごとに順に遅延させるシフトレジスタを有し、

前記行ごとに遅延した前記オン時間に対応する原信号に基づき、前記行ごとの前記ゲート信号として出力する、請求項 8 に記載の駆動装置。

10

20

30

40

50

【請求項 1 1】

有機 E L 素子と、ゲート電極の信号電位に応じた電流を前記有機 E L 素子に供給する駆動トランジスタと、前記有機 E L 素子及び前記駆動トランジスタと直列に接続され、制御信号により前記有機 E L 素子の発光を制御するスイッチングトランジスタと、を含む複数の画素を行列状に配置した画素部と、

前記複数の画素を駆動する駆動装置と、

を備える表示装置であって、

前記駆動装置は、

第 1 ゲート信号を生成する生成回路と、

前記生成回路から入力された第 1 ゲート信号をゲート信号として出力するバッファであって、少なくとも二つのインバータが並列に接続されているバッファと、を有する、表示装置。

10

【請求項 1 2】

第 1 発光モードでは、前記少なくとも二つのインバータを駆動し、前記第 1 発光モードと異なる第 2 発光モードでは、駆動するインバータの数を前記第 1 発光モードよりも低減する、請求項 1 1 に記載の表示装置。

【請求項 1 3】

前記第 1 発光モードは、前記画素部において、有機 E L 素子を行ごとに順に発光させるモードである、請求項 1 2 に記載の表示装置。

【請求項 1 4】

第 2 発光モードは、前記画素部において、少なくとも複数行の有機 E L 素子を同時に発光させるモードである、請求項 1 2 に記載の表示装置。

20

【請求項 1 5】

前記スイッチングトランジスタのゲートにおける単位時間あたりのラッシュ電流をより低減する場合に、駆動するインバータの数をより低減する請求項 1 1 乃至 1 4 のいずれか一項に記載の表示装置。

【請求項 1 6】

画素回路内の有機 E L 素子と、ゲート電極の電位に応じた電流を前記有機 E L 素子に供給する駆動トランジスタとに直列接続されたスイッチングトランジスタのゲート信号を出力する駆動装置の駆動方法であって、

第 1 ゲート信号を生成する生成工程と、

第 1 ゲート信号を、バッファを介して前記ゲート信号として出力する出力工程と、

前記バッファのオン抵抗を変更する変更工程と、

を備える、駆動装置の駆動方法。

30

【請求項 1 7】

前記変更工程では、前記スイッチングトランジスタのゲートにおける単位時間あたりのラッシュ電流をより低減する場合に、前記バッファのオン抵抗を増加する、請求項 1 6 に記載の駆動装置の駆動方法。

【発明の詳細な説明】**【技術分野】**

40

【0001】

本開示は、駆動装置、表示装置、および駆動装置の駆動方法に関する。

【背景技術】**【0002】**

近年、表示装置の分野では、発光部を含む画素が行列状（マトリクス状）に配置されて成る平面型（フラットパネル型）の表示装置が主流となっている。平面型の表示装置の一つとして、発光部に流れる電流値に応じて発光輝度が変化する、所謂、電流駆動型の電気光学素子、例えば、有機エレクトロルミネッセンス（Electro Luminescence : EL）素子を用いる有機 E L 表示装置がある。

【0003】

50

この有機EL表示装置に代表される平面型の表示装置にあっては、ブランキング期間中に一斉発光させる一括発光駆動が用いられる場合がある。一括発光駆動を用いることで、パネル面内の表示タイミングが一律となるため、映像信号出力側で表示遅延を正確に制御したい場合に有効である。ところが、一括発光駆動を導入する場合、スイッチングトランジスタを一斉にオン/オフ制御する必要があり、スイッチングトランジスタのスイッチングの際に発生するラッシュ電流が規定値を超える恐れがある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2012-128407号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

本開示の一態様は、一括発光駆動させる場合にも、ラッシュ電流を抑制可能な、駆動装置、表示装置、および駆動装置の駆動方法を提供する。

【課題を解決するための手段】

【0006】

上記の課題を解決するために、本開示では、画素回路内の有機EL素子と、ゲート電極の電位に応じた電流を前記有機EL素子に供給する駆動トランジスタとに直列接続されたスイッチングトランジスタのゲート信号を出力する駆動装置であって、

20

第1ゲート信号を生成する生成回路と、

前記生成回路から入力された第1ゲート信号を前記ゲート信号として出力するバッファと、を備え、

前記バッファは、少なくとも二つのインバータが並列に接続されている、駆動装置が提供される。

【0007】

前記バッファは、駆動するインバータの数を変更可能であってもよい。

【0008】

前記有機EL素子の発光モードに応じて、前記二つのインバータもうちの少なくとも一つのインバータを非駆動にしてもよい。

30

【0009】

第1発光モードでは、前記少なくとも二つのインバータを駆動し、前記第1発光モードと異なる第2発光モードでは、駆動するインバータの数を第1発光モードよりも低減してもよい。

【0010】

前記第1発光モードは、前記画素回路を行列状に配置した画素部において、行ごとの有機EL素子を順に発光させるモードであってもよい。

【0011】

第2発光モードは、前記画素回路を行列状に配置した画素部において、少なくとも複数行の有機EL素子を同時に発光させるモードであってもよい。

40

【0012】

前記スイッチングトランジスタのゲートにおける単位時間あたりのラッシュ電流をより低減する場合に、前記バッファにおいて駆動するインバータの数をより低減してもよい。

【0013】

上記の課題を解決するために、本開示では、画素回路内の有機EL素子と、ゲート電極の電位に応じた電流を前記有機EL素子に供給する駆動トランジスタとに直列接続されたスイッチングトランジスタのゲート信号を出力する駆動装置であって、

入力されたゲート信号のオン時間に対応する原信号を行ごとに順に遅延させ、行ごとの前記ゲート信号として出力する生成回路、を備え、

前記画素回路の複数行に対応するゲート信号は、当該ゲート信号ごとのオン時間が重複

50

し、且つ前記ゲート信号ごとのオン時間の開始時間及び終了時間がずれている、駆動装置が提供される。

【0014】

前記生成回路は、

直列に接続された複数の遅延素子であって、前記オン時間に対応する原信号を行ごとに順に遅延させる複数の遅延素子を有し、

前記行ごとに遅延した前記オン時間に対応する原信号に基づき、前記行ごとの前記ゲート信号として出力してもよい。

【0015】

前記生成回路は、

伝送クロックに応じて、前記オン時間に対応する原信号を行ごとに順に遅延させるシフトレジスタを有し、

前記行ごとに遅延した前記オン時間に対応する原信号に基づき、前記行ごとの前記ゲート信号として出力してもよい。

【0016】

上記の課題を解決するために、本開示では、有機EL素子と、ゲート電極の信号電位に応じた電流を前記有機EL素子に供給する駆動トランジスタと、前記有機EL素子及び前記駆動トランジスタと直列に接続され、制御信号により前記有機EL素子の発光を制御するスイッチングトランジスタと、を含む複数の画素を行列状に配置した画素部と、

前記複数の画素を駆動する駆動装置と、

を備える表示装置であって、

前記駆動装置は、

第1ゲート信号を生成する生成回路と、

前記生成回路から入力された第1ゲート信号を前記ゲート信号として出力するバッファであって、少なくとも二つのインバータが並列に接続されているバッファと、を有する、表示装置が提供される。

【0017】

前記光軸と直交する前記2枚の反射平面の下流側の平面は、前記一对の反射部材の下流側の反射部材を構成してもよい。

【0018】

第1発光モードでは、前記少なくとも二つのインバータを駆動し、前記第1発光モードと異なる第2発光モードでは、駆動するインバータの数を第1発光モードよりも低減してもよい。

【0019】

前記第1発光モードは、前記画素部において、有機EL素子を行ごとに順に発光させるモードであってもよい。

【0020】

第2発光モードは、前記画素部において、少なくとも複数行の有機EL素子を同時に発光させるモードであってもよい。

【0021】

前記スイッチングトランジスタのゲートにおける単位時間あたりのラッシュ電流をより低減する場合に、駆動するインバータの数をより低減してもよい。

【0022】

上記の課題を解決するために、本開示では、画素回路内の有機EL素子と、ゲート電極の電位に応じた電流を前記有機EL素子に供給する駆動トランジスタとに直列接続されたスイッチングトランジスタのゲート信号を出力する駆動装置の駆動方法であって、

第1ゲート信号を生成する生成工程と、

第1ゲート信号を、バッファを介して前記ゲート信号として出力する出力工程と、

前記バッファのオン抵抗を変更する変更工程と、

を備える、駆動装置の駆動方法が提供される。

【 0 0 2 3 】

前記変更工程では、前記スイッチングトランジスタのゲートにおける単位時間あたりのラッシュ電流をより低減する場合に、前記バッファのオン抵抗を増加してもよい。

【図面の簡単な説明】

【 0 0 2 4 】

【図 1】本開示の実施の形態に係る表示装置の構成例を示す説明図。

【図 2】同実施の形態に係る表示装置のより詳細な構成例を示す説明図。

【図 3】同実施の形態に係る表示装置の画素回路例を示す説明図。

【図 4】線順次駆動の駆動例を示す図。

【図 5】一括発光駆動の駆動例を示す。

10

【図 6】一括発光駆動のタイミングチャートの比較例を示す図。

【図 7】本実施形態に係る駆動スキャナーの詳細な構成例を示す図。

【図 8】バッファの構成例を示す図。

【図 9】論理回路の真理値表の例を示す図。

【図 10】駆動スキャナーにおける全体のタイミングチャート例を示す図。

【図 11】図 10 における一斉駆動時のタイミングチャートの部分拡大図。

【図 12】画素回路の構成例を示す図。

【図 13】画素回路を N チャンネル型のトランジスタで構成した場合の、一括発光駆動のタイミングチャートを示す図。

【図 14】第 2 実施形態に係る駆動スキャナーの詳細な構成例を示す図。

20

【図 15】第 2 実施形態に係る論理回路の真理値表の例を示す図。

【図 16】第 2 実施形態に係る駆動スキャナーにおける全体のタイミングチャート例を示す図。

【図 17】図 16 における一斉駆動時のタイミングチャートの部分拡大図。

【図 18】第 3 実施形態に係る駆動スキャナーの詳細な構成例を示す図。

【図 19】第 3 実施形態に係る論理回路の真理値表の例を示す図。

【図 20】第 3 実施形態に係る駆動スキャナーにおける全体のタイミングチャート例を示す図。

【図 21】第 3 実施形態に係る駆動スキャナーの別の構成例を示す図。

【図 22】第 4 実施形態に係る表示装置における画素回路の回路図。

30

【図 23】第 4 実施形態に係る画素回路のタイミングチャート図。

【発明を実施するための形態】

【 0 0 2 5 】

以下、図面を参照して、駆動装置、表示装置、および駆動装置の駆動方法の実施形態について説明する。以下では、駆動装置、表示装置、および駆動装置の駆動方法の主要な構成部品分を中心に説明するが、駆動装置、表示装置、および駆動装置の駆動方法には、図示又は説明されていない構成部品分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部品分や機能を除外するものではない。

【 0 0 2 6 】

(第 1 実施形態)

40

図 1 は、本開示の実施の形態に係る表示装置 100 の構成例を示す説明図である。以下、図 1 を用いて本開示の実施の形態に係る表示装置 100 の構成例を説明する。

【 0 0 2 7 】

図 1 に示すように、表示装置 100 は、画素部 110 と、水平セレクタ 120 と、垂直スキャナー 130 とを、備える。

画素部 110 は、有機 EL 素子その他の自発光素子がそれぞれ設けられた画素が行列状（マトリクス状）に配置された構成を有する。画素部 110 は、マトリックス状に配置した画素に対して、走査線がライン単位で水平方向に設けられ、また走査線と直交するように信号線が列毎に設けられる。

【 0 0 2 8 】

50

水平セクタ１２０は、所定のサンプリングパルスを順次転送し、このサンプリングパルスで画像データを順次ラッチすることにより、この画像データを各信号線に振り分ける。また水平セクタ１２０は、各信号線に振り分けた画像データをそれぞれアナログディジタル変換処理し、これにより各信号線に接続された各画素の発光輝度を時分割により示す駆動信号を生成する。水平セクタ１２０は、この駆動信号を対応する信号線に出力する。

【００２９】

垂直スキャナー１３０は、この水平セクタ１２０による信号線の駆動に応動して、各画素の駆動信号を生成して走査線に出力する。これにより表示装置１００は、垂直スキャナー１３０により画素部１１０に配置された各画素を順次駆動し、水平セクタ１２０より設定される各信号線の信号レベルで各画素を発光させ、所望の画像を画素部１１０で表示する。なお、本実施形態に係る垂直スキャナー１３０が駆動装置に対応する。

10

【００３０】

図２は、本開示の実施の形態に係る表示装置１００のより詳細な構成例を示す説明図である。以下、図２を用いて本開示の実施の形態に係る表示装置１００の構成例を説明する。

【００３１】

画素部１１０（図１）には、赤色を表示する画素１１１Ｒ、緑色を表示する画素１１１Ｇ、青色を表示する画素１１１Ｂがマトリクス状に配置されている。

【００３２】

垂直スキャナー１３０は、駆動スキャナー（Drive Scan）１３２及び書き込みスキャナー（Write Scan）１３４を有する。それぞれのスキャナーから信号が画素部１１０にマトリクス状に配置された画素に供給されることで、それぞれの画素に設けられるトランジスタTr１～Tr３（後述の図３）のオン、オフ動作が行われる。

20

【００３３】

図３は、本開示の実施の形態に係る表示装置１００の画素回路例を示す説明図である。以下、図３を用いて本開示の実施の形態に係る表示装置１００の構成例を説明する。

【００３４】

図３には、画素部１１０にマトリクス状に配置された１つの画素に対する画素回路を図示している。画素回路１１１は、トランジスタTr１～Tr３と、キャパシタCsと、有機EL素子ELと、を含んで構成される。トランジスタTr１～Tr３は、例えば、Pチャンネル型のトランジスタである。また、トランジスタTr１～Tr３は、例えばMOS-FETである。なお、トランジスタTr１～Tr３は、Pチャンネル型のトランジスタであるので、ゲートにハイレベルの信号が印加されるとOFFし、逆にロウレベルの信号が印加されるとONする。

30

【００３５】

トランジスタTr１は、ゲート電極が走査線Wsに、ドレイン電極が水平セクタ１２０の信号線Vsに、ソース電極がトランジスタTr２のゲートに接続される。トランジスタTr１は、書き込み水平セクタ１２０から供給される信号電圧Vsigをサンプリングすることによって、トランジスタTr２のゲートノード（ゲート電極）に信号電圧Vsigを書き込むサンプリングトランジスタである。

40

【００３６】

キャパシタCsは、トランジスタTr２のゲートノードとソースノードとの間に接続されており、トランジスタTr１によるサンプリングによって書き込まれた信号電圧Vsigを保持する。

トランジスタTr２は、ソース電極が電源VCCの電源ノードに接続され、ドレイン電極がトランジスタTr３のドレイン電極に接続される。トランジスタTr２は、キャパシタCsの保持電圧に応じた駆動電流を有機EL素子ELに流すことによって有機EL素子ELを駆動する駆動トランジスタである。

【００３７】

50

トランジスタ T_r3 は、ゲート電極が駆動線 D_s に接続され、ソース電極が有機 EL 素子 EL の陽極に接続される。トランジスタ T_r3 は、駆動スキャナー 132 から出力される発光制御信号 D_S による駆動の下に、有機 EL 素子 EL の発光 / 非発光を制御するスイッチングトランジスタである。

【0038】

図4、5に基づき、表示装置100の表示駆動例を説明する。図4は、線順次駆動の駆動例を示す図である。図5は、一括発光駆動の駆動例を示す図である。図4、5に示すように、この駆動装置は、線順次駆動と、一括発光駆動（以下では、一斉駆動と呼ぶ場合もある）とが可能である。図4、5の横軸は時間であり、縦軸は、垂直スキャン、すなわち画素部110（図1）の行選択の順を示している。一番上の段は、垂直同期信号 V_{sync} を示している。なお、本実施形態では、表示装置100における行ごとの有機 EL 素子 EL を順に発光させる駆動を線順次駆動と称し、複数行の有機 EL 素子 EL を同時に発光させる駆動を一括発光駆動と称する。また、本実施形態に係る線順次駆動が第1発光モードに対応し、一括発光駆動が第2発光モードに対応する。すなわち、第1発光モードでは、表示装置100における行ごとの有機 EL 素子 EL を順に発光させ、第2発光モードでは、複数行の有機 EL 素子 EL を同時に発光させる。

【0039】

図4に示すように、線順次駆動では、行選択の順に行ごとに発光を繰り返す。この場合、各行では、補正及び信号電圧 V_{sig} の書き込み、発光、非発光の順に制御される。非発光期間では、有機 EL 素子 EL を非発光状態とすることで、黒表示期間を実現している。このように、黒表示期間を挿入する $Duty$ 駆動を用いることにより、動画表示性能が改善可能である。信号電圧 V_{sig} を書き込んで発光状態としてから、電流源トランジスタと直列で接続されたスイッチングトランジスタを順次オフして EL 素子に流す電流をカットオフすることで、次の信号電圧 V_{sig} の書き込みまで有機 EL 素子 EL を非発光状態とすることで、黒表示期間を実現している。

【0040】

より詳細には、信号電圧 V_{sig} の書き込みでは、走査線 W_s のロウレベルのゲート信号 W_S が供給されトランジスタ T_r1 がオン状態となる。このため、対象行である i 行の画素回路に、 i 行の階調表示データである信号電圧 V_{sig} が入力される。これにより、入力された信号電圧 V_{sig} に対応する電荷がキャパシタ C_s に充電され、階調表示データの書き込みが行なわれる。

【0041】

対象行の画素回路において、走査線 W_s にハイレベルの信号 W_S が入力され、トランジスタ T_r1 がオフ状態となる。駆動線 D_s にロウレベルの信号 D_S が入力され、トランジスタ T_r3 がオン状態となる。このため、キャパシタ C_s に充電された電荷と、トランジスタ T_r2 のゲート電極の電位に応じた、例えば(1)式に示す電流が有機 EL 素子 EL に供給され、この供給電流に応じた階調の輝度で有機 EL 素子 EL が発光する。ここで、電源 V_{CC} の電圧を V_{cc} 、キャパシタ C_s の容量を C_{ox} 、閾値電圧を V_{th} とする。前述の補正は、例えば閾値電圧 V_{th} の画素回路ごとのばらつきの補正を意味する。

【数1】

$$I_{ds} = \frac{1}{2} \mu C_{ox} \frac{W}{L} ((V_{cc} - V_{sig}) - |V_{th}|)^2 \quad (1)$$

非発光期間では、対象行の画素回路111において、駆動線 D_s にハイレベルのゲート信号 D_S が入力され、トランジスタ T_r3 がオフ状態となる。これにより、有機 EL 素子 EL に電流が供給されず、有機 EL 素子 EL は非発光となる。

【0042】

図5に示すように、補正及び信号電圧 V_{sig} の書き込みは、線順次駆動と同様に対象行ごとに行われる。一方で、発光及び消灯は、画素部110の全行で同時に行われる。このように、表示装置100は、ブランキング期間中に一斉発光させる一括発光駆動が可能

である。一括発光駆動を用いることで、パネル面内の表示タイミングが一律となるため、映像信号出力側で表示遅延を正確に制御したい場合に有効である。

【 0 0 4 3 】

図 6 は、一括発光駆動のタイミングチャートの比較例を示す図である。横軸は時間である。一番上の段は、水平同期信号 $Hsync$ を示している。その下は、駆動線 Ds の信号 $DS1 \sim DS_n$ をそれぞれ示している。ここで、 n は、画素部 110 の n 行目の駆動線 Ds の信号を示す。例えば、信号 $DS1$ は、画素部 110 の 1 行目の駆動線 Ds の信号を示し、信号 $DS2$ は、画素部 110 の 2 行目の駆動線 Ds の信号を示し、信号 $DS3$ は、画素部 110 の 3 行目の駆動線 Ds の信号を示す。図 6 では、簡単化のため信号 $DS3$ までしか図示していないが、駆動スキャナ 132 は n 行分の信号 $DS1 \sim DS_n$ を出力する。以下の図面でも同様に、簡単化のため 3 行分の走査線等しか記載しない場合があるが、実際の構成では n 行分の走査線、信号などを有する。

10

【 0 0 4 4 】

図 6 に示すように、各行の画素回路 111 は、ゲート信号 $DS1 \sim DS_n$ が一齐にロウ信号、すなわち一齐に立ち下がることにより、同時に発光を開始する。その後、信号 $DS1 \sim DS_n$ が一齐にハイ信号、すなわち一齐に立ち上がることにより、同時に非発光に移行する。

【 0 0 4 5 】

スイッチングトランジスタ $Tr3$ を発光制御以外の用途、例えば画素内ばらつき補正駆動でも兼用していると、信号電圧 $Vsig$ の書き込みの 1H 期間内でオン/オフ制御する必要がある。このために、スイッチングトランジスタ $Tr3$ のゲート線パルスである信号 $DS1 \sim DS_n$ が急峻な傾きで動作するように駆動スキャナ 132 は設計される。一方で、パルス傾きが急峻であると、(2)、(3) 式で示すように、ゲートの充放電にかかる時間を t_g としたとき、充放電のための電流 I_g は t_g が短いほど増加する。ここで、スイッチングトランジスタ $Tr3$ のゲート線負荷を C_g 、ゲート振幅を V_g 、充放電にかかる時間を t_g 、充放電のための電流を I_g とする。

20

【 数 2 】

$$I_g \cdot t_g = C_g \cdot V_g \quad (2)$$

【 数 3 】

30

$$I_g = \frac{C_g \cdot V_g}{t_g} \quad (3)$$

【 0 0 4 6 】

線順次駆動であれば、ゲート線負荷 C_g は画素 1 行分となる。しかし、表示装置 100 における全面のゲート線負荷を充放電する場合にはゲート線負荷 C_g は垂直画素数に応じて倍増するため、充放電電流も垂直画素数に応じて倍増する。このため、比較例では、線順次駆動時に要求されるパルス傾きを満足しつつ、一括駆動時の充放電電流による駆動回路電源の許容範囲である電源ドロップ条件を満たすことが困難となってしまう恐れがある。

40

なお、本実施形態では、スイッチングトランジスタ $Tr3$ が ON 又は OFF した直後の時間 t_g に流れる電流 I_g をラッシュ電流と称する。このラッシュ電流は、スイッチングトランジスタ $Tr3$ が ON した直後に流れる充放電電流であり、突入電流、始動電流、インラッシュ電流と呼ばれる場合もある。

【 0 0 4 7 】

ここで、図 7 ~ 図 11 を用いて、本実施形態に係る駆動スキャナ 132 の詳細な構成および動作例を説明する。図 7 は、本実施形態に係る駆動スキャナ 132 の詳細な構成例を示す図である。図 7 に示すように、駆動スキャナ 132 は、第 1 ゲート信号を生成する生成回路 136 と、生成回路 136 から入力された第 1 ゲート信号をゲート信号 $DS1 \sim DS_n$ として出力するバッファ回路 138 と、を備える。また、生成回路 136 は、

50

複数のシフトレジスタ (S / R) 1 3 6 a と、複数の論理回路 (L o g i c) 1 3 6 b とを有し、バッファ回路 1 3 8 は、複数のバッファ 1 3 8 a を有する。

【 0 0 4 8 】

複数のシフトレジスタ (S / R) 1 3 6 a は、スタートパルス S t a r t P l u s を、垂直クロック信号 V C K に同期させ、順に伝播し、信号 S R n として行ごとに順に出力する。ここで、n は、画素部 1 1 0 の行数である。

【 0 0 4 9 】

論理回路 (L o g i c) 1 3 6 b は、信号 S R n 、信号 E N 、信号 E M の入力に応じて、論理演算を行う。論理回路 1 3 6 b の詳細は、図 9 を用いて後述する。

【 0 0 5 0 】

図 8 は、バッファ 1 3 8 a の構成例を示す図である。図 8 に示すように、バッファ 1 3 8 a は、並列に接続されインバータ 1 4 0 、 1 4 2 を有する。インバータ 1 4 0 、 1 4 2 は、例えば異なる素子寸法で設計される。このバッファ 1 3 8 a は、インバータ 1 4 0 、 1 4 2 の少なくとも一つを信号線 D S n から切り離すことが可能である。これにより、バッファ 1 3 8 a のオン抵抗を変更し、ゲート信号 D S 1 ~ D S n のパルス傾きを変調させる。

【 0 0 5 1 】

インバータ 1 4 0 は、例えば第 1 C M O S インバータである。第 1 C M O S インバータでは、V C C 電源のノードとグランドとの間に P 型 M O S トランジスタと N 型 M O S トランジスタとがカスケード接続される。一方で、インバータ 1 4 2 は、例えば第 2 C M O S インバータである。

【 0 0 5 2 】

第 2 C M O S インバータは、例えば V C C 電源のノードとグランドとの間に 2 つの P 型 M O S トランジスタと 2 つの N 型 M O S トランジスタとがカスケード接続される。V C C 電源側の P 型 M O S トランジスタのゲートには、制御信号 E M が入力され、グランド側の N 型 M O S トランジスタのゲートには、制御信号 E M が反転入力される。これにより、制御信号 E M がハイレベルである場合に、インバータ 1 4 2 は、非駆動になる。

【 0 0 5 3 】

このような構成により、信号書き込み・ばらつき補正時には、インバータ 1 4 0 及びインバータ 1 4 2 を駆動し、オン抵抗の低い状態でゲート信号 D S 1 ~ D S n を出力する。すなわち、制御信号 E M をロウレベルとする。これにより、より急峻なパルスを出力可能となる。

【 0 0 5 4 】

一方で、一括発光駆動時には、インバータ 1 4 2 を非駆動にし、オン抵抗を信号書き込み・ばらつき補正時よりも高い状態でゲート信号 D S 1 ~ D S n を出力する。すなわち、E M 信号をハイレベルとする。これにより、よりパルスが傾いた、すなわち時間 t g ((3) 式) がより長いパルスを出力可能となる。このように、信号書き込み・ばらつき補正時は駆動能力の高い (オン抵抗の低い) バッファで充放電を行い急峻なパルスを出し、一括発光駆動時には制御信号 E M を用いて駆動能力の高いバッファを充放電パスから切り離し、駆動能力の低い (オン抵抗の高い) バッファで充放電することで、パルス傾きを変調させる。

【 0 0 5 5 】

図 9 は、論理回路 1 3 6 b の真理値表の例を示す図である。図 9 に示すように、論理回路 1 3 6 b は、シフトレジスタ 1 3 6 a の出力信号 S R n 、制御信号 E N 、E M の値によりゲート信号の D S n の値を変更する。ここで、ハイレベル信号を 1 で示し、ロウレベル信号を 0 で示す。以下の説明でも同様である。

【 0 0 5 6 】

論理回路 1 3 6 b は、出力信号 S R n が 1 である場合、制御信号 E M の値にかかわらず、制御信号 E N が 1 であれば、出力信号 D S n として 0 を出力し、制御信号 E N が 0 であれば、出力信号 D S n として 1 を出力する。一方で、論理回路 1 3 6 b は、出力信号 S R

10

20

30

40

50

n が 0 である場合、制御信号 E N の値にかかわらず、制御信号 E M が 0 であれば、出力信号 D S n として 1 を出力し、制御信号 E M が 1 であれば、出力信号 D S n として 0 を出力する。

【 0 0 5 7 】

図 1 0 は、駆動スキャナ 1 3 2 における全体のタイミングチャート例を示す図である。上から垂直同期信号 V s y n c、水平同期信号 H s y n c、垂直クロック V C K、スタートパルス S t a r t P l u s、制御信号 E N、E M、シフトレジスタ 1 3 6 a の出力信号 S R n (例として S R 1 ~ S R 3)、ゲート信号 D S n (例として D S 1 ~ D S 3)を示す。左側が信号書き込み・ばらつき補正時の駆動であり、右側が一斉駆動時の駆動である。垂直クロック V C K は、シフトレジスタ 1 3 6 a の伝送クロックである。また、垂直クロック V C K、スタートパルス S t a r t P l u s、および制御信号 E N、E M は、駆動スキャナ 1 3 2 の上位制御装置 (不図示) から入力される信号であり、ゲート信号 D S n は、駆動スキャナ 1 3 2 から出力される信号である。

10

【 0 0 5 8 】

図 1 1 は、図 1 0 における一斉駆動時のタイミングチャートの部分拡大図である。図 1 1 では、左側が一斉駆動時の駆動であり、右側が信号書き込み・ばらつき補正時の駆動である。

【 0 0 5 9 】

図 1 0 に示すように、信号書き込み・ばらつき補正時には、ハイレベルのスタートパルス S t a r t P l u s が駆動スキャナ 1 3 2 に入力される。これにより、シフトレジスタ 1 3 6 a の出力信号 S R n は、垂直クロック V C K に同期し、順にハイレベルの出力信号 S R n としてパルス状に論理回路 1 3 6 b に出力される。論理回路 1 3 6 b には、制御信号 E N、E M も入力している。

20

【 0 0 6 0 】

信号書き込み・ばらつき補正時には、制御信号 E M はロウレベルである。すなわち、図 8 で示すように、インバータ 1 4 0 及びインバータ 1 4 2 が駆動され、バッファ 1 3 8 a のオン抵抗が低い状態である。この場合、制御信号 E N がハイレベル信号であり、且つ出力信号 S R n がハイレベル信号である場合に、ゲート信号 D S n はロウレベル信号となる。すなわち、ゲート信号 D S n のロウレベルの期間は、制御信号 E N のハイレベル信号と同期し、その期間は制御信号 E N のハイレベル信号の期間と同等となる。このように、信号書き込み・ばらつき補正時には、インバータ 1 4 0 及びインバータ 1 4 2 が駆動され、バッファ 1 3 8 a のオン抵抗が低い状態であるので、ゲート信号 D S n のロウレベル信号は急峻に、ハイレベルからロウレベル、およびロウレベルからハイレベルに切り替わる。

30

【 0 0 6 1 】

一方で、一斉駆動時には、ロウレベルのスタートパルス S t a r t P l u s が駆動スキャナ 1 3 2 に入力される。これにより、シフトレジスタ 1 3 6 a の出力信号 S R n は、垂直クロック V C K に同期し、常にロウレベル信号として、論理回路 1 3 6 b に出力される。

【 0 0 6 2 】

また、制御信号 E M はハイレベルである。すなわち、図 8 で示すように、インバータ 1 4 2 は非駆動であり、バッファ 1 3 8 a のオン抵抗がより高い状態である。この場合、制御信号 E N のレベルに変わらず、制御信号 E M がハイレベル信号であれば、ゲート信号 D S n はロウレベル信号となり、制御信号 E M がロウレベル信号であれば、ゲート信号 D S n はハイレベル信号となる。また、この場合、バッファ 1 3 8 a のオン抵抗がより高い状態であるので、ゲート信号 D S n のロウレベル信号はなだらかにハイからロウレベル、ロウからハイレベルに切り替わる。すなわち、図 1 1 に示すように、ゲート信号 D S 1 ~ D S n のパルスの一斉立ち上がりが一斉立ち下がりとは傾き、出力される。これにより、(3) 式で示した時間 t g が、より長くなり、ラッシュ電流である電流 I g が抑制される。

40

【 0 0 6 3 】

このようにラッシュ電流である電流 I g が抑制できるため、電源配線補強などが不要で

50

あり、表示装置 100 の額縁増加を抑制できる。また、表示装置 100 における一斉駆動時のラッシュ電流を考慮した部品選定や、画素回路印可電圧の間欠制御が不要であるため、制御部品の削減によって小型化やコスト削減が可能となる。

【0064】

以上説明したように、本実施形態によれば、スイッチング素子 $Tg3$ のゲート信号を出力する駆動スキャナ 132 は、生成回路 136 から入力されたゲート信号 $DS1 \sim DS_n$ を出力するバッファ回路 138 を有し、バッファ 138a は、少なくとも二つのインバータ 140、142 を並列に接続して構成した。これにより、二つのインバータ 140、142 の少なくとも一方を駆動又は非駆動とすることにより、バッファ 138a のオン抵抗を変更可能となる。このため、表示装置 100 の一括発光駆動では、二つのインバータ 140、142 の少なくとも一方を非駆動とし、バッファ 138a のオン抵抗をより高い状態とすることで、ゲート信号 $DS1 \sim DS_n$ パルスの一斉立ち上がりで一斉立ち下りの傾きをより大きくできる。これにより、ラッシュ電流である電流 I_g ((3) 式) を抑制できる。

10

【0065】

一方で、信号書き込み・ばらつき補正時では、二つのインバータ 140、142 を駆動とすることにより、バッファ 138a のオン抵抗をより低い状態とすることで、ゲート信号 $DS1 \sim DS_n$ パルスの一斉立ち上がりで一斉立ち下りの傾きをより小さくできる。これにより、補正、書き込み時間をより短時間にできる。

20

【0066】

(第1実施形態の変形例)

第1実施形態に係る表示装置 100 における画素回路 111 のトランジスタ $Tr1 \sim Tr3$ を Pチャネル型のトランジスタで構成したが、第1実施形態の変形例に係る表示装置 100 では、トランジスタ $Tr1 \sim Tr3$ を Nチャネル型のトランジスタで構成した点で相違する。以下では、第1実施形態に係る表示装置 100 と相違する点を説明する。

【0067】

図12は、画素回路 111 の構成例を示す図である。図12に示すように、トランジスタ $Tr1 \sim Tr3$ は、Nチャネル型のトランジスタである。すなわち、トランジスタ $Tr3$ は、電源電圧 $VCCP$ の電源ノードと、トランジスタ $Tr2$ のソースノード(ソース電極)との間に接続され、駆動スキャナ 132 から出力される発光制御信号 DS による駆動の下に、有機 EL 素子 EL の発光/非発光を制御する。

30

【0068】

トランジスタ $Tr2$ は、ドレイン電極が有機 EL 素子 EL の陽極に接続される。トランジスタ $Tr2$ は、キャパシタ Cs の保持電圧に応じた駆動電流を有機 EL 素子 EL に流すことによって有機 EL 素子 EL を駆動する駆動トランジスタである。

【0069】

図13は、トランジスタ $Tr1 \sim Tr3$ を Nチャネル型のトランジスタで構成した場合の、一括発光駆動のタイミングチャートを示す図である。横軸は時間である。一番上の段は、水平同期信号 ($Hsync$) を示している。その下は、駆動線 Ds のゲート信号 $DS1 \sim DS3$ をそれぞれ示している。トランジスタ $Tr1 \sim Tr3$ は Nチャネル型のトランジスタであるので、ゲート信号 $DS1 \sim DS3$ のハイレベルとロウレベルが図11で示した例と反転している。また、トランジスタ $Tr1 \sim Tr3$ を Nチャネル型のトランジスタで構成した場合にも、バッファ 138a のオン抵抗をより高い状態とすることで、ゲート信号 $DS1 \sim DS_n$ パルスの一斉立ち上がりで一斉立ち下りの傾きをより大きくできる。これにより、ラッシュ電流である電流 I_g ((3) 式) を抑制できる。

40

【0070】

一方で、信号書き込み・ばらつき補正時では、二つのインバータ 140、142 を駆動とすることにより、バッファ 138a のオン抵抗をより低い状態とすることで、ゲート信号 $DS1 \sim DS_n$ パルスの一斉立ち上がりで一斉立ち下りの傾きをより小さくできる。これにより、補正、書き込み時間をより短時間にできる。

50

【 0 0 7 1 】

(第 2 実施形態)

第 1 実施形態に係る表示装置 1 0 0 では、ゲート信号 $DS_1 \sim DS_n$ パルスの立ち上がり、立ち下りの傾きを変更することで、ラッシュ電流である電流 I_g を抑制したが、第 2 実施形態に係る表示装置 1 0 0 では、ゲート信号 $DS_1 \sim DS_n$ パルスの立ち上がり、立ち下りのタイミングをずらすことにより、ラッシュ電流である電流 I_g の発生タイミングをずらす点で相違する。以下では、第 1 実施形態に係る表示装置 1 0 0 と相違する点を説明する。

【 0 0 7 2 】

図 1 4 は、第 2 実施形態に係る駆動スキャナ 1 3 2 の詳細な構成例を示す図である。図 1 4 に示すように、生成回路 1 3 6 は複数の遅延素子 1 3 6 c を有する点で第 1 実施形態に係る表示装置 1 0 0 と相違する。複数の遅延素子 1 3 6 c は直列に接続され、制御信号 EM を行ごとに遅延させ、制御信号 EM_n として、行ごとの論理回路 1 3 6 b に出力する。

10

【 0 0 7 3 】

また、バッファ回路 1 3 8 の複数のバッファ 1 3 8 b は、オン抵抗の変更ができない構成となっている。すなわち、バッファ 1 3 8 b のオン抵抗は、パルスの立ち上がり、立ち下がりが急峻となるオン抵抗が低い状態である。

【 0 0 7 4 】

図 1 5 は、第 2 実施形態に係る論理回路 1 3 6 b の真理値表の例を示す図である。図 9 に示すように、論理回路 1 3 6 b は、シフトレジスタ 1 3 6 a の出力信号 SR_n 、制御信号 EN 、 EM_n の値によりゲート信号の DS_n の値を変更する。ここで、ハイレベル信号を 1 で示し、ロウレベル信号を 0 で示す。制御信号 EM_n は、遅延素子 1 3 6 c の各行 n での出力信号である。

20

【 0 0 7 5 】

論理回路 1 3 6 b は、出力信号 SR_n が 0 である場合、制御信号 EN の値にかかわらず、制御信号 EM_n が 0 であれば、出力信号 DR_n として 1 を出力し、制御信号 EM_n が 1 であれば、出力信号 DR_n として 0 を出力する。

【 0 0 7 6 】

図 1 6 は、第 2 実施形態に係る駆動スキャナ 1 3 2 における全体のタイミングチャート例を示す図である。上から垂直同期信号 $Vsync$ 、水平同期信号 $Hsync$ 、垂直クロック VCK 、スタートパルス $StartPlus$ 、制御信号 EN 、制御信号 EM_n (例として $EM_1 \sim EM_3$)、シフトレジスタ 1 3 6 a の出力信号 SR_n (例として $SR_1 \sim SR_3$)、ゲート信号 DS_n (例として $DS_1 \sim DS_3$) を示す。左側が信号書き込み・ばらつき補正時の駆動であり、右側が一斉駆動時の駆動である。また、垂直クロック VCK_1 、スタートパルス $StartPlus$ 、制御信号 EN 、 EM が駆動スキャナ 1 3 2 に上位の制御装置 (不図示) から入力される信号であり、ゲート信号 DS_n が、駆動スキャナ 1 3 2 から出力される信号である。

30

【 0 0 7 7 】

図 1 7 は、図 1 6 における一斉駆動時のタイミングチャートの部分拡大図である。図 1 7 では、左側が一斉駆動時の駆動であり、右側が信号書き込み・ばらつき補正時の駆動である。

40

【 0 0 7 8 】

図 1 6 に示すように、出力信号 SR_n が 1 である場合、制御信号 EM の値にかかわらず、制御信号 EN が 1 であれば、ゲート信号 DS_n として 0 を出力し、制御信号 EN が 0 であれば、ゲート信号 DS_n として 1 を出力する。すなわち、信号書き込み・ばらつき補正時には、第 1 実施形態に係るゲート信号 $DS_1 \sim DS_n$ と同等となる。

【 0 0 7 9 】

一方で、出力信号 SR_n が 0 である場合、ゲート信号 $DS_1 \sim DS_n$ は、制御信号 $EM_1 \sim EM_n$ の反転信号となる。制御信号 $EM_1 \sim EM_n$ は、上述したように、複数の遅延

50

素子 1 3 6 c により制御信号 E M が順に遅延して、出力される。すなわち、図 1 7 に示すように、ゲート信号 D S 1 ~ D S n は、制御信号 E M 1 ~ E M n の反転信号とし、順に遅延して出力される。このように、生成回路 1 3 6 は、入力されたゲート信号のオン時間に対応する原信号である制御信号 E M を行ごとに順に遅延させ、行ごとのゲート信号 D S 1 ~ D S n として出力する。これにより、信号ごとのオン時間が重複し、且つ信号ごとのオン時間の開始時間及び終了時間がずれているゲート信号 D S 1 ~ D S n を得ることができる。

【 0 0 8 0 】

以上説明したように、本実施形態によれば、スイッチング素子 T g 3 のゲート信号を出力する駆動スキャナ 1 3 2 は、複数の遅延素子 1 3 6 c により制御信号 E M を順に遅延させ、制御信号 E M 1 ~ E M n として出力し、ゲート信号 D S 1 ~ D S n は、制御信号 E M 1 ~ E M n の反転信号として順に出力される。これにより、ゲート信号 D S 1 ~ D S n パルスの立ち上がり、立ち下りのタイミングをずらすことが可能となり、ラッシュ電流である電流 I g ((3) 式) の発生タイミングをずらすことができる。

【 0 0 8 1 】

(第 3 実施形態)

第 2 実施形態に係る表示装置 1 0 0 では、ゲート信号 D S 1 ~ D S n パルスの立ち上がり、立ち下りのタイミングを遅延素子 1 3 6 c によりずらすことにより、ラッシュ電流である電流 I g の発生タイミングをずらしたが、第 3 実施形態に係る表示装置 1 0 0 では、より高速なクロックで伝送するシフトレジスタを追加し、ゲート信号 D S 1 ~ D S n パルスの立ち上がり、立ち下りのタイミングをずらす点で相違する。以下では、第 2 実施形態に係る表示装置 1 0 0 と相違する点を説明する。

【 0 0 8 2 】

図 1 8 は、第 3 実施形態に係る駆動スキャナ 1 3 2 の詳細な構成例を示す図である。図 1 8 に示すように、生成回路 1 3 6 は、直列に接続された複数のシフトレジスタ 1 3 6 d を有する点で第 2 実施形態に係る表示装置 1 0 0 と相違する。また、バッファ回路 1 3 8 は、論理回路 1 3 6 e 内に組み込まれている点で第 2 実施形態に係る表示装置 1 0 0 と相違する。

【 0 0 8 3 】

図 1 9 は、第 3 実施形態に係る論理回路 1 3 6 b の真理値表の例を示す図である。図 1 9 に示すように、論理回路 1 3 6 b は、n 行におけるシフトレジスタ 1 3 6 a の出力信号 S R n、制御信号 E N、n 行におけるシフトレジスタ 1 3 6 d の出力信号 E M S R n の値によりゲート信号の D S n の値を変更する。ここで、ハイレベル信号を 1 で示し、ロウレベル信号を 0 で示す。

【 0 0 8 4 】

論理回路 1 3 6 e は、出力信号 S R n が 0 である場合、制御信号 E N の値にかかわらず、制御信号 E M S R n が 0 であれば、出力信号 D S n として 1 を出力し、制御信号 E M S R n が 1 であれば、出力信号 D S n として 0 を出力する。

【 0 0 8 5 】

図 2 0 は、第 3 実施形態に係る駆動スキャナ 1 3 2 における全体のタイミングチャート例を示す図である。上から垂直同期信号 V s y n c、水平同期信号 H s y n c、第 1 垂直クロック V C K 1、スタートパルス S t a r t P l u s、制御信号 E N、第 2 垂直クロック V C K 2、シフトレジスタ 1 3 6 a ごとの出力信号 S R n (例として S R 1 ~ S R 3)、シフトレジスタ 1 3 6 d ごとの出力信号 E M S R n (例として E M S R 1 ~ E M S R 3)、ゲート信号 D S n (例として D S 1 ~ D S 3) を示す。左側が信号書き込み・ばらつき補正時の駆動であり、右側が一斉駆動時の駆動である。第 2 垂直クロック V C K 2 は、シフトレジスタ 1 3 6 b の伝送クロックである。

【 0 0 8 6 】

図 2 0 に示すように、出力信号 S R n が 1 である場合、制御信号 E M の値にかかわらず、制御信号 E N が 1 であれば、ゲート信号 D S n として 0 を出力し、制御信号 E N が 0 で

10

20

30

40

50

あれば、ゲート信号 DS_n として 1 を出力する。すなわち、信号書き込み・ばらつき補正時は、第 2 実施形態に係るゲート信号 $DS_1 \sim DS_n$ と同等となる。

【0087】

一方で、出力信号 SR_n が 0 である場合、ゲート信号 $DS_1 \sim DS_n$ は、制御信号 $EMSR_1 \sim EMSR_n$ の反転信号となる。制御信号 $EMSR_1 \sim EMSR_n$ は、シフトレジスタ 136d により制御信号 EM が第 2 垂直クロック VCK_2 と同期しつつ順に遅延して、出力される。すなわち、図 20 に示すように、図 16 で示したゲート信号 $DS_1 \sim DS_n$ と同様に、制御信号 $EM_1 \sim EM_n$ の反転信号とし、順に遅延して出力される。このように、生成回路 136 は、入力されたゲート信号のオン時間に対応する原信号である制御信号 EM を行ごとに、第 2 垂直クロック VCK_2 と同期しつつ順に遅延させ、行ごとのゲート信号 $DS_1 \sim DS_n$ として出力する。これにより、信号ごとのオン時間が重複し、且つ信号ごとのオン時間の開始時間及び終了時間がずれているゲート信号 $DS_1 \sim DS_n$ を得ることができる。

10

【0088】

図 21 は、第 3 実施形態に係る駆動スキャナ 132 の別の構成例を示す図である。図 218 に示すように、ロジック回路 136b への入力信号を複数行ごとに変更してもよい。この場合、複数行ごとに発光制御を行うことが可能となる。

【0089】

以上説明したように、本実施形態によれば、スイッチング素子 Tg_3 のゲート信号を出力する駆動スキャナ 132 は、シフトレジスタ 136d により制御信号 EM を第 2 垂直クロック VCK_2 と同期させて順に遅延させ、制御信号 $EMSR_1 \sim EMSR_n$ として出力し、ゲート信号 $DS_1 \sim DS_n$ は、制御信号 $EMSR_1 \sim EMSR_n$ の反転信号として順に出力される。これにより、ゲート信号 $DS_1 \sim DS_n$ パルスの立ち上がり、立ち下りのタイミングをずらすことが可能となり、ラッシュ電流である電流 I_g ((3) 式) の発生タイミングをずらすことができる。

20

【0090】

(第 4 実施形態)

第 4 実施形態に係る表示装置 100 では、補正駆動に関して詳細に説明する。図 21 は、本開示の実施の形態に係る表示装置 100 のより詳細な構成例を示す説明図である。以下、図 22 を用いて本開示の実施の形態に係る表示装置 100 の構成例を説明する。

30

【0091】

図 22 は、第 4 実施形態に係る表示装置における画素回路 20A の回路例を示す回路図である。画素回路 20A の発光部は、有機 EL 素子 21 から成る。有機 EL 素子 21 は、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子の一例である。

【0092】

図 22 に示すように、画素回路 20A は、有機 EL 素子 21 と、有機 EL 素子 21 に電流を流すことによって当該有機 EL 素子 21 を駆動する駆動回路とによって構成されている。有機 EL 素子 21 は、全ての画素 20 に対して共通に配線された共通電源線 34 にカソード電極が接続されている。

40

【0093】

有機 EL 素子 21 を駆動する駆動回路は、駆動トランジスタ 22、サンプリングトランジスタ 23、スイッチングトランジスタ 24、保持容量 25、及び、補助容量 26 を有する構成となっている。尚、ガラス基板のような絶縁体上ではなく、シリコンのような半導体上に形成することを想定し、駆動トランジスタ 22 として、Pチャネル型のトランジスタを用いることを前提としている。

【0094】

また、本例では、駆動トランジスタ 22 と同様に、サンプリングトランジスタ 23 及びスイッチングトランジスタ 24 についても、半導体上に形成することを想定し、Pチャネル型のトランジスタを用いる構成を採っている。従って、駆動トランジスタ 22、サン

50

リングトランジスタ 23、及び、スイッチングトランジスタ 24 は、ソース / ゲート / ドレインの 3 端子ではなく、ソース / ゲート / ドレイン / バックゲートの 4 端子となっている。バックゲートには電源電圧 V_{cc} が印加される。

【0095】

上記の構成の画素回路 20A において、サンプリングトランジスタ 23 は、信号出力部 60 から信号線 V_s を通して供給される信号電圧 V_{sig} をサンプリングすることによって保持容量 25 に書き込む。スイッチングトランジスタ 24 は、電源電圧 V_{cc} の電源ノードと駆動トランジスタ 22 のソース電極との間に接続され、発光制御信号 DS による駆動の下に、有機 EL 素子 21 の発光 / 非発光を制御する。

【0096】

10

保持容量 25 は、駆動トランジスタ 22 のゲート電極とソース電極との間に接続されている。この保持容量 25 は、サンプリングトランジスタ 23 によるサンプリングによって書き込まれた信号電圧 V_{sig} を保持する。駆動トランジスタ 22 は、保持容量 25 の保持電圧に応じた駆動電流を有機 EL 素子 21 に流すことによって有機 EL 素子 21 を駆動する。補助容量 26 は、駆動トランジスタ 22 のソース電極と、固定電位のノード、例えば、電源電圧 V_{cc} の電源ノードとの間に接続されている。この補助容量 26 は、信号電圧 V_{sig} を書き込んだときに駆動トランジスタ 22 のソース電位が変動するのを抑制するとともに、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} を駆動トランジスタ 22 の閾値電圧 V_{th} にする作用を為す。

【0097】

20

続いて、本実施形態に係る表示装置 100 の基本的な回路動作について、図 23 のタイミングチャートを用いて説明する。図 23 は、タイミングチャートである。

【0098】

図 23 のタイミング波形図には、走査線 W_s の制御信号 WS 、駆動線 D_s の制御信号、 DS 、信号線 V_s の電位 $V_{ref} / V_{ofs} / V_{sig}$ 、駆動トランジスタ 22 のソース電位 V_s 、ゲート電位 V_g 、及び、有機 EL 素子 21 のアノード電位 V_{ano} のそれぞれの変化の様子を示している。

【0099】

なお、サンプリングトランジスタ 23 及びスイッチングトランジスタ 24 が P チャネル型であるため、書込み走査信号 WS 及び発光制御信号 DS の低電位の状態がアクティブ状態となり、高電位の状態が非アクティブ状態となる。そして、サンプリングトランジスタ 23 及びスイッチングトランジスタ 24 は、書込み走査信号 WS 及び発光制御信号 DS のアクティブ状態で導通状態となり、非アクティブ状態で非導通状態となる。

30

【0100】

画素回路 20A、即ち、有機 EL 素子 21 の発光期間の終了は、走査線 31 の電位 WS が高電位から低電位に遷移し、サンプリングトランジスタ 23 が導通状態になるタイミング（時刻 t_8 ）で定められる。具体的には、信号出力部 60 から第 1 基準電圧 V_{ref} が信号線 V_s に出力されている状態において、走査線 31 の電位 WS が高電位から低電位に遷移することで、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} が、当該駆動トランジスタ 22 の閾値電圧 V_{th} 以下になるため、駆動トランジスタ 22 がカットオフする。

40

【0101】

駆動トランジスタ 22 がカットオフすると、有機 EL 素子 21 への電流供給の経路が遮断されるため、有機 EL 素子 21 のアノード電位 V_{ano} が徐々に低下する。やがて、有機 EL 素子 21 のアノード電位 V_{ano} が、有機 EL 素子 21 の閾値電圧 V_{thel} 以下になると、有機 EL 素子 21 が完全に消光状態となる。

【0102】

時刻 t_1 で、走査線 31 の電位 WS が高電位から低電位に遷移することで、サンプリングトランジスタ 23 が導通状態になる。このとき、信号出力部 60 から信号線 V_s に第 2 基準電圧 V_{ofs} が出力されている状態にあるため、駆動トランジスタ 22 のゲート電位

50

V_g が第 2 基準電圧 V_{ofs} になる。

【0103】

また、時刻 t_1 では、駆動線 D_s の電位 D_S が低電位の状態にあり、スイッチングトランジスタ 24 が導通状態にあるため、駆動トランジスタ 22 のソース電位 V_s は電源電圧 V_{cc} になる。このとき、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は、 $V_{gs} = V_{ofs} - V_{cc}$ となる。

【0104】

ここで、後述する閾値補正動作（閾値補正処理）を行うには、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} を、当該駆動トランジスタ 22 の閾値電圧 V_{th} よりも大きくしておく必要がある。そのため、 $|V_{gs}| = |V_{ofs} - V_{cc}| > |V_{th}|$ となるように各電圧値が設定されることになる。

10

【0105】

このように、駆動トランジスタ 22 のゲート電位 V_g を第 2 基準電圧 V_{ofs} に設定し、かつ、駆動トランジスタ 22 のソース電位 V_s を電源電圧 V_{cc} に設定する初期化動作が、次の閾値補正動作を行う前の準備（閾値補正準備）の動作である。従って、第 2 基準電圧 V_{ofs} 及び電源電圧 V_{cc} が、駆動トランジスタ 22 のゲート電位 V_g 及びソース電位 V_s の各初期化電圧ということになる。

【0106】

次に、時刻 t_2 では、上述のように制御信号 EM は、ロウレベル信号（図 9）である。このため、インバータ 140 及びインバータ 142 を駆動し、オン抵抗の低い状態で電位 D_S を出力する。すなわち、時刻 t_2 で、駆動線 D_s の電位 D_S が低電位から高電位に急峻に遷移し、スイッチングトランジスタ 24 が非導通状態になると、駆動トランジスタ 22 のソース電位 V_s がフローティングとなり、駆動トランジスタ 22 のゲート電位 V_g が第 2 基準電圧 V_{ofs} に保たれた状態で閾値補正動作が開始される。すなわち、駆動トランジスタ 22 のゲート電位 V_g から閾値電圧 V_{th} を減じた電位（ $V_g - V_{th}$ ）に向けて、駆動トランジスタ 22 のソース電位 V_s が下降（低下）を開始する。

20

【0107】

このように、駆動トランジスタ 22 のゲート電位 V_g の初期化電圧 V_{ofs} を基準とし、当該初期化電圧 V_{ofs} から閾値電圧 V_{th} を減じた電位（ $V_g - V_{th}$ ）に向けて駆動トランジスタ 22 のソース電位 V_s を変化させる動作が閾値補正動作となる。この閾値補正動作が進むと、やがて、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} が、駆動トランジスタ 22 の閾値電圧 V_{th} に収束する。この閾値電圧 V_{th} に相当する電圧は保持容量 25 に保持される。

30

【0108】

そして、時刻 t_3 で、走査線 31 の電位 W_S が低電位から高電位に遷移し、サンプリングトランジスタ 23 が非導通状態になると、閾値補正期間が終了する。その後、時刻 t_4 で、信号出力部 60 から信号線 V_s に映像信号の信号電圧 V_{sig} が出力され、信号線 V_s の電位が第 2 基準電圧 V_{ofs} から信号電圧 V_{sig} に切り替わる。

【0109】

次に、時刻 t_5 で、走査線 31 の電位 W_S が高電位から低電位に遷移することで、サンプリングトランジスタ 23 が導通状態になり、信号電圧 V_{sig} をサンプリングして画素回路 20A 内に書き込む。このサンプリングトランジスタ 23 による信号電圧 V_{sig} の書込み動作により、駆動トランジスタ 22 のゲート電位 V_g が信号電圧 V_{sig} になる。

40

【0110】

この映像信号の信号電圧 V_{sig} の書込みの際に、駆動トランジスタ 22 のソース電極と電源電圧 V_{cc} の電源ノードとの間に接続されている補助容量 26 は、駆動トランジスタ 22 のソース電位 V_s が変動するのを抑える作用を為す。そして、映像信号の信号電圧 V_{sig} による駆動トランジスタ 22 の駆動の際に、当該駆動トランジスタ 22 の閾値電圧 V_{th} が保持容量 25 に保持された閾値電圧 V_{th} に相当する電圧と相殺される。

【0111】

50

このとき、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} が、信号電圧 V_{sig} に応じて開く（大きくなる）が、駆動トランジスタ 22 のソース電位 V_s は依然としてフローティング状態にある。そのため、保持容量 25 の充電電荷は、駆動トランジスタ 22 の特性に応じて放電される。そして、このとき駆動トランジスタ 22 に流れる電流によって有機 EL 素子 21 の等価容量 C_{e1} の充電が開始される。

【0112】

有機 EL 素子 21 の等価容量 C_{e1} が充電されることにより、駆動トランジスタ 22 のソース電位 V_s が、時間が経過するにつれて徐々に下降していく。このとき既に、駆動トランジスタ 22 の閾値電圧 V_{th} の画素毎のばらつきがキャンセルされており、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} は当該駆動トランジスタ 22 の移動度 μ に依存したものとなる。尚、駆動トランジスタ 22 の移動度 μ は、当該駆動トランジスタ 22 のチャンネルを構成する半導体薄膜の移動度である。

【0113】

ここで、駆動トランジスタ 22 のソース電位 V_s の下降分は、保持容量 25 の充電電荷を放電するように作用する。換言すれば、駆動トランジスタ 22 のソース電位 V_s の下降分（変化量）は、保持容量 25 に対して負帰還がかけられたことになる。従って、駆動トランジスタ 22 のソース電位 V_s の下降分は負帰還の帰還量となる。

【0114】

このように、駆動トランジスタ 22 に流れるドレイン - ソース間電流 I_{ds} に応じた帰還量で保持容量 25 に対して負帰還をかけることにより、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消すことができる。この打ち消す動作（打ち消す処理）が、駆動トランジスタ 22 の移動度 μ の画素毎のばらつきを補正する移動度補正動作（移動度補正処理）である。

【0115】

より具体的には、駆動トランジスタ 22 のゲート電極に書き込まれる映像信号の信号振幅 V_{in} ($= V_{sig} - V_{ofs}$) が大きい程ドレイン - ソース間電流 I_{ds} が大きくなるため、負帰還の帰還量の絶対値も大きくなる。従って、映像信号の信号振幅 V_{in} 、即ち、発光輝度レベルに応じた移動度補正処理が行われる。また、映像信号の信号振幅 V_{in} を一定とした場合、駆動トランジスタ 22 の移動度 μ が大きいほど負帰還の帰還量の絶対値も大きくなるため、画素毎の移動度 μ のばらつきを取り除くことができる。

【0116】

時刻 t_6 で、走査線 31 の電位 W_s が低電位から高電位に遷移し、サンプリングトランジスタ 23 が非導通状態になることで、信号書き込み & 移動度補正期間が終了する。

【0117】

時刻 t_7 では、上述のように制御信号 EM は、ハイレベル信号（図 9）である。このため、インバータ 142 は非駆動であり、オン抵抗のより高い状態で電位 D_s を出力する。すなわち、時刻 t_2 で、移動度補正を行った後、時刻 t_7 では、220 の円内に示すように、駆動線 D_s の電位 D_s が高電位から低電位になだらかに遷移することで、スイッチングトランジスタ 24 が導通状態になる。これにより、電源電圧 V_{cc} の電源ノードからスイッチングトランジスタ 24 を通して駆動トランジスタ 22 に電流が供給される。このように、よりパルスが傾いた、すなわち時間 t_g （（3）式）がより長いパルスを出力可能となる。これにより、信号書き込み・ばらつき補正時は駆動能力の高い（オン抵抗の低い）バッファで充放電を行い急峻なパルスを出し、発光制御時には制御信号 EM を用いて駆動能力の高いバッファを充放電パスから切り離すことで、パルス傾きを変調させる。

【0118】

このとき、サンプリングトランジスタ 23 が非導通状態にあることで、駆動トランジスタ 22 のゲート電極は信号線 V_s から電氣的に切り離されてフローティング状態にある。ここで、駆動トランジスタ 22 のゲート電極がフローティング状態にあるときは、駆動トランジスタ 22 のゲート - ソース間に保持容量 25 が接続されていることにより、駆動トランジスタ 22 のソース電位 V_s の変動に連動してゲート電位 V_g も変動する。

【0119】

すなわち、駆動トランジスタ22のソース電位 V_s 及びゲート電位 V_g は、保持容量25に保持されているゲート-ソース間電圧 V_{gs} を保持したまま上昇する。そして、駆動トランジスタ22のソース電位 V_s は、トランジスタの飽和電流に応じた有機EL素子21の発光電圧 V_{oled} まで上昇する。

【0120】

このように、駆動トランジスタ22のゲート電位 V_g がソース電位 V_s の変動に連動して変動する動作がブートストラップ動作である。換言すれば、ブートストラップ動作は、保持容量25に保持されたゲート-ソース間電圧 V_{gs} 、即ち、保持容量25の両端間電圧を保持したまま、駆動トランジスタ22のゲート電位 V_g 及びソース電位 V_s が変動する動作である。

10

【0121】

そして、駆動トランジスタ22のドレイン-ソース間電流 I_{ds} が有機EL素子21に流れ始めることにより、当該電流 I_{ds} に応じて有機EL素子21のアノード電位 V_{ano} が上昇する。やがて、有機EL素子21のアノード電位 V_{ano} が有機EL素子21の閾値電圧 V_{thel} を超えると、有機EL素子21に駆動電流が流れ始めるため、有機EL素子21が発光を開始する。

【0122】

以上説明した一連の回路動作において、閾値補正準備、閾値補正、信号電圧 V_{sig} の書込み(信号書込み)、及び、移動度補正の各動作は、例えば1水平期間(1H)において実行される。

20

【0123】

なお、ここでは、閾値補正処理を1回だけ実行する駆動法を採る場合を例に挙げて説明したが、この駆動法は一例に過ぎず、この駆動法に限られるものではない。例えば、閾値補正を移動度補正及び信号書込みと共に1H期間に加えて、当該1H期間に先行する複数の水平期間に亘って分割して閾値補正を複数回実行する、所謂、分割閾値補正を行う駆動法を採ることも可能である。

【0124】

以上説明したように、本実施形態によれば、この分割閾値補正の駆動法によれば、高精細化に伴う多画素化によって1水平期間として割り当てられる時間が短くなったとしても、閾値補正期間として複数の水平期間に亘って十分な時間を確保することができる。従って、1水平期間として割り当てられる時間が短くなっても、閾値補正期間として十分な時間を確保できるため、閾値補正処理を確実に実行できる。

30

【0125】

また、本実施形態によれば、スイッチング素子24のゲート信号を出力する駆動スキャナ132は、閾値補正の開始時 t_2 では、二つのインバータ140、142を駆動することにより、バッファ回路138のオン抵抗をより低い状態とすることで、電位DSの一斉立ち上がりの傾きをより小さくできる。これにより、閾値補正時間をより短時間にできる。

【0126】

40

一方で、スイッチング素子24のゲート信号を出力する駆動スキャナ132は、発光駆動 t_7 では、二つのインバータ140、142の少なくとも一方を非駆動とし、バッファ回路138のオン抵抗をより高い状態とすることで、電位DSの立ち下りの傾きをより大きくできる。これにより、ラッシュ電流である電流 I_g を抑制できる。

【0127】

なお、本技術は以下のような構成を取ることができる。

【0128】

(1)画素回路内の有機EL素子と、ゲート電極の電位に応じた電流を前記有機EL素子に供給する駆動トランジスタとに直列接続されたスイッチングトランジスタのゲート信号を出力する駆動装置であって、

50

第 1 ゲート信号を生成する生成回路と、

前記生成回路から入力された第 1 ゲート信号を前記ゲート信号として出力するバッファと、を備え、

前記バッファは、少なくとも二つのインバータが並列に接続されている、駆動装置。

【 0 1 2 9 】

(2) 前記バッファは、駆動するインバータの数を変更可能である、(1) に記載の駆動装置。

【 0 1 3 0 】

(3) 前記有機 E L 素子の発光モードに応じて、前記二つのインバータもうちの少なくとも一つのインバータを非駆動にする、(1) 又は (2) に記載の駆動装置。

10

【 0 1 3 1 】

(4) 第 1 発光モードでは、前記少なくとも二つのインバータを駆動し、前記第 1 発光モードと異なる第 2 発光モードでは、駆動するインバータの数を第 1 発光モードよりも低減する、(1) 乃至 (3) のいずれか一項に記載の駆動装置。

【 0 1 3 2 】

(5) 前記第 1 発光モードは、前記画素回路を行列状に配置した画素部において、行ごとの有機 E L 素子を順に発光させるモードである、(1) に記載の駆動装置。

【 0 1 3 3 】

(6) 第 2 発光モードは、前記画素回路を行列状に配置した画素部において、少なくとも複数行の有機 E L 素子を同時に発光させるモードである、(4) に記載の光共振器。

20

【 0 1 3 4 】

(7) 前記スイッチングトランジスタのゲートにおける単位時間あたりのラッシュ電流をより低減する場合に、前記バッファにおいて駆動するインバータの数をより低減する、(1) 乃至 (6) のいずれか一項に記載の駆動装置。

【 0 1 3 5 】

(8) 画素回路内の有機 E L 素子と、ゲート電極の電位に応じた電流を前記有機 E L 素子に供給する駆動トランジスタとに直列接続されたスイッチングトランジスタのゲート信号を出力する駆動装置であって、

入力されたゲート信号のオン時間に対応する原信号を行ごとに順に遅延させ、行ごとの前記ゲート信号として出力する生成回路、を備え、

30

前記画素回路の複数行に対応するゲート信号は、当該ゲート信号ごとのオン時間が重複し、且つ前記ゲート信号ごとのオン時間の開始時間及び終了時間がずれている、駆動装置。

【 0 1 3 6 】

(9) 前記生成回路は、

直列に接続された複数の遅延素子であって、前記オン時間に対応する原信号を行ごとに順に遅延させる複数の遅延素子を有し、

前記行ごとに遅延した前記オン時間に対応する原信号に基づき、前記行ごとの前記ゲート信号として出力する、(8) に記載の駆動装置。

【 0 1 3 7 】

40

(1 0) 前記生成回路は、

伝送クロックに応じて、前記オン時間に対応する原信号を行ごとに順に遅延させるシフトレジスタを有し、

前記行ごとに遅延した前記オン時間に対応する原信号に基づき、前記行ごとの前記ゲート信号として出力する、(8) に記載の駆動装置。

【 0 1 3 8 】

(1 1) 有機 E L 素子と、ゲート電極の信号電位に応じた電流を前記有機 E L 素子に供給する駆動トランジスタと、前記有機 E L 素子及び前記駆動トランジスタと直列に接続され、制御信号により前記有機 E L 素子の発光を制御するスイッチングトランジスタと、を含む複数の画素を行列状に配置した画素部と、

50

前記複数の画素を駆動する駆動装置と、
を備える表示装置であって、
前記駆動装置は、
第１ゲート信号を生成する生成回路と、
前記生成回路から入力された第１ゲート信号を前記ゲート信号として出力するバッファ
であって、少なくとも二つのインバータが並列に接続されているバッファと、を有する、
表示装置。

【０１３９】

（１２）第１発光モードでは、前記少なくとも二つのインバータを駆動し、前記第１発
光モードと異なる第２発光モードでは、駆動するインバータの数を第１発光モードよりも
低減する、請（１１）に記載の表示装置。

10

【０１４０】

（１３）前記第１発光モードは、前記画素部において、有機ＥＬ素子を行ごとに順に発
光させるモードである、（１２）に記載の表示装置。

【０１４１】

（１４）第２発光モードは、前記画素部において、少なくとも複数行の有機ＥＬ素子を
同時に発光させるモードである、（１２）に記載の表示装置。

【０１４２】

（１５）前記スイッチングトランジスタのゲートにおける単位時間あたりのラッシュ電
流をより低減する場合に、駆動するインバータの数をより低減する請求項１１乃至１４の
いずれか一項に記載の表示装置。

20

【０１４３】

（１６）画素回路内の有機ＥＬ素子と、ゲート電極の電位に応じた電流を前記有機ＥＬ
素子に供給する駆動トランジスタとに直列接続されたスイッチングトランジスタのゲート
信号を出力する駆動装置の駆動方法であって、

第１ゲート信号を生成する生成工程と、

第１ゲート信号を、バッファを介して前記ゲート信号として出力する出力工程と、

前記バッファのオン抵抗を変更する変更工程と、

を備える、駆動装置の駆動方法。

【０１４４】

30

（１７）前記変更工程では、前記スイッチングトランジスタのゲートにおける単位時間
あたりのラッシュ電流をより低減する場合に、前記バッファのオン抵抗を増加する、（１
６）に記載の駆動装置の駆動方法。

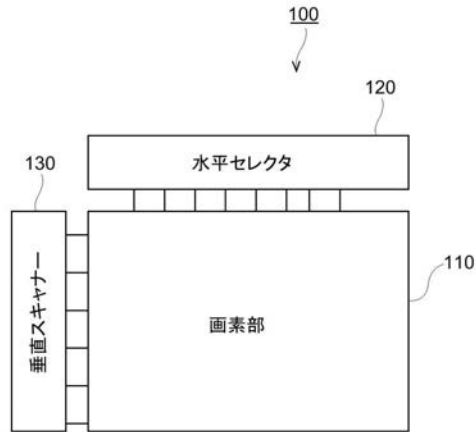
【符号の説明】

【０１４５】

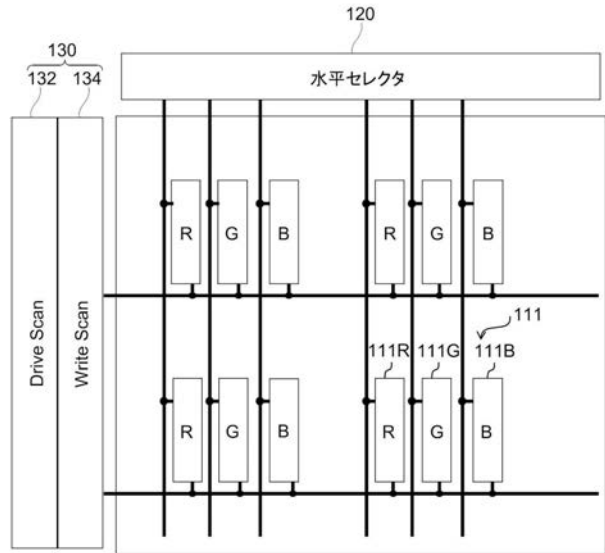
２０：画素回路、２２：駆動トランジス、２３：サンプリングトランジス、２４：イッ
チングトランジスタ、１００：表示装置、１１０：画素部、１１１：画素回路、１３０：
垂直スキャナー（駆動装置）、１３２：生成回路、１３６ｂ：論理回路、１３６ｃ：遅延
素子、１３６ｄ：シフトレジス、１３８ａ：バッファ、１４０：インバータ、１４２：イ
ンバータ、ＥＬ：有機ＥＬ素子、Ｔｒ１：サンプリングトランジス、Ｔｒ２：駆動ラン
ジスタ、Ｔｒ３：スイッチングトランジスタ。

40

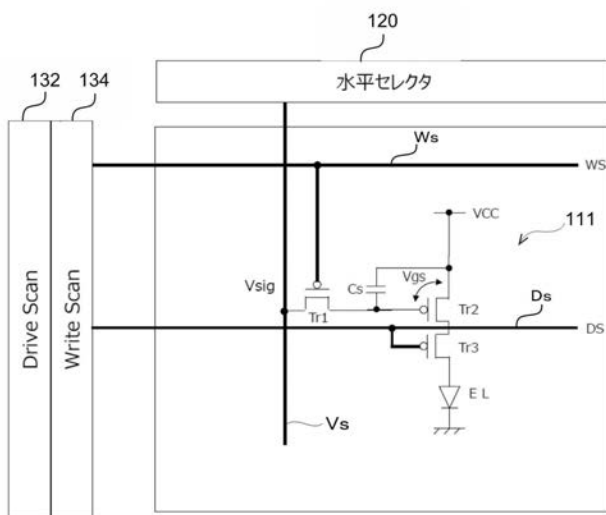
【図 1】



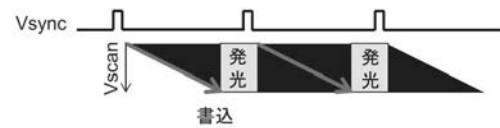
【図 2】



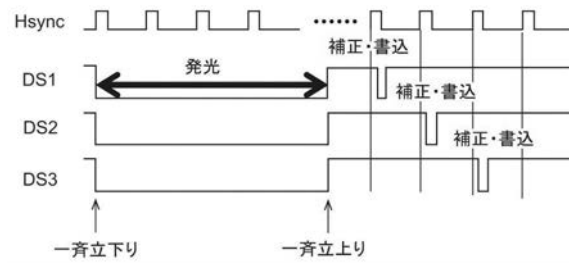
【図 3】



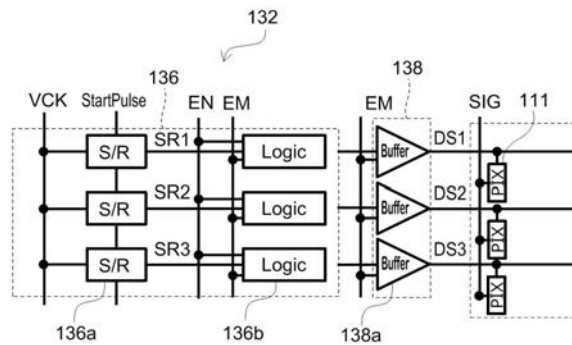
【図 5】



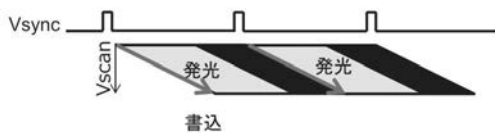
【図 6】



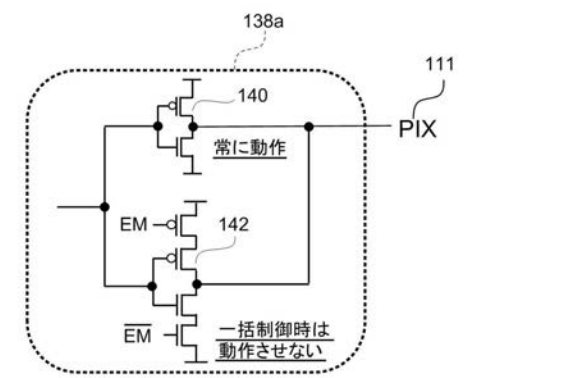
【図 7】



【図 4】



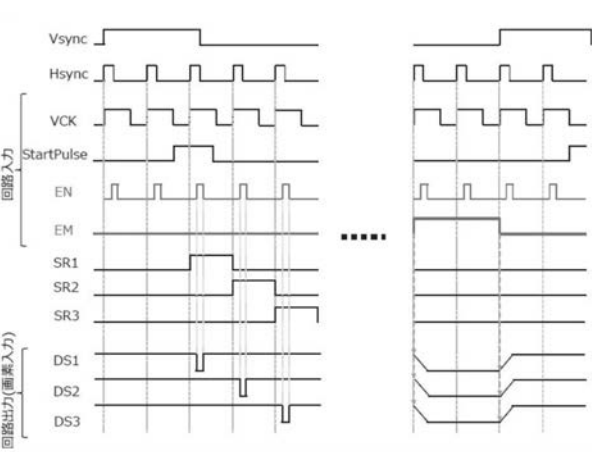
【図 8】



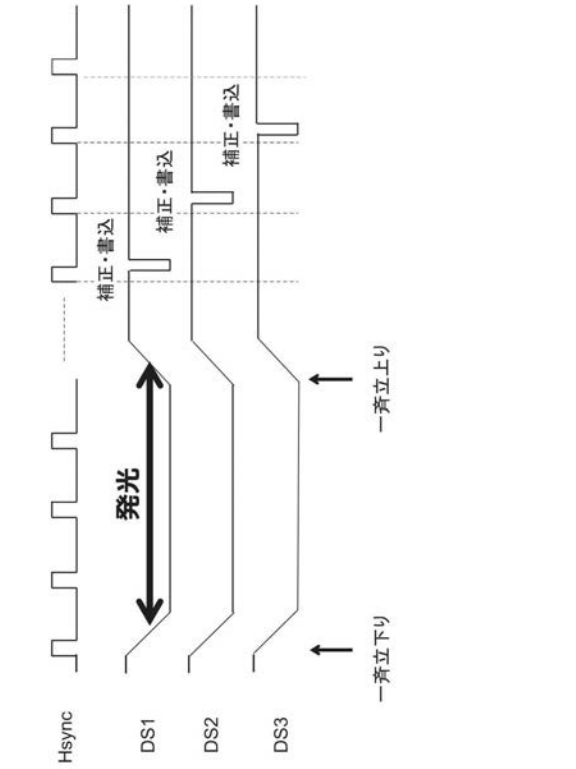
【図 9】

SRn	EN	EM	DSn
1	1	X	0
1	0	X	1
0	X	0	1
0	X	1	0

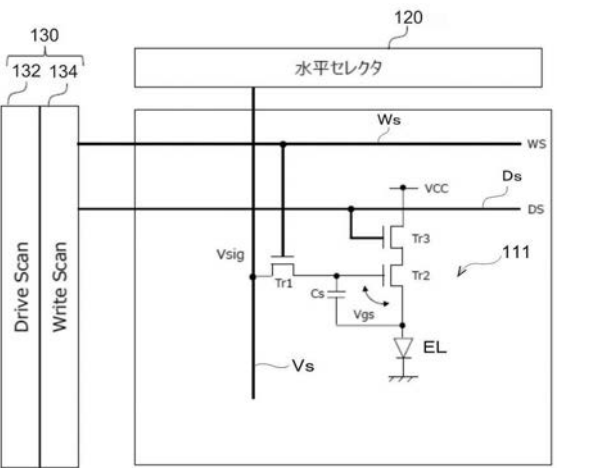
【図 1 0】



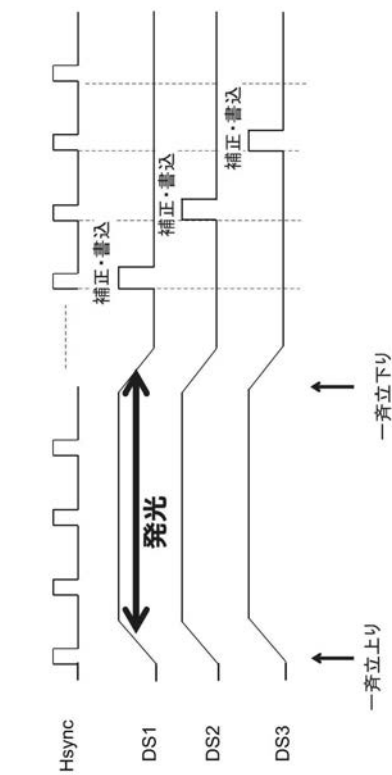
【図 1 1】



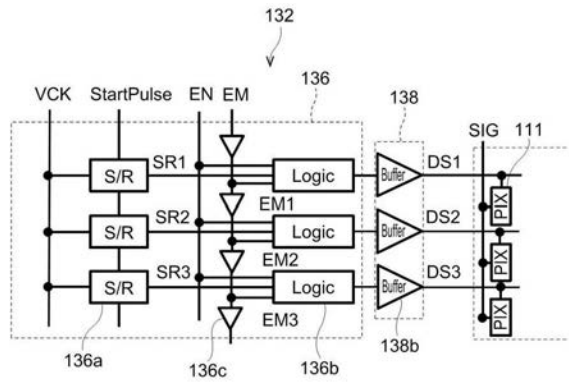
【図 1 2】



【図 1 3】



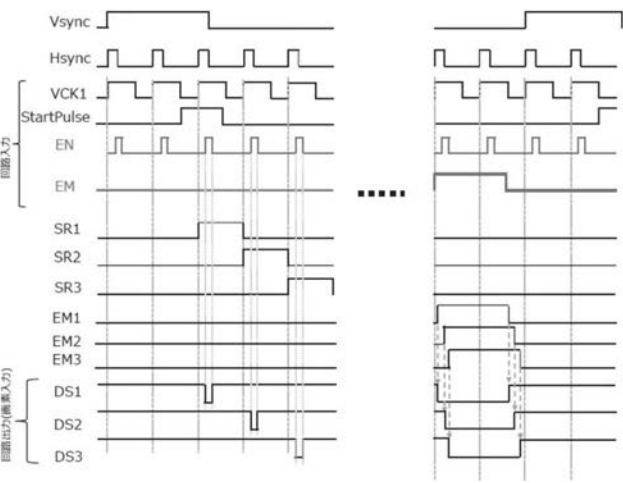
【図 1 4】



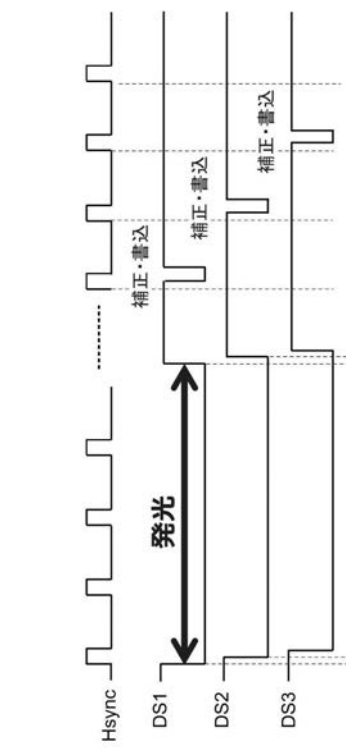
【図 1 5】

SRn	EN	EMn	DSn
1	1	X	0
1	0	X	1
0	X	0	1
0	X	1	0

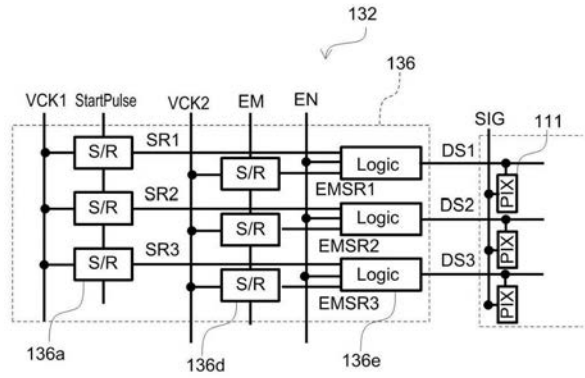
【図 1 6】



【図 1 7】



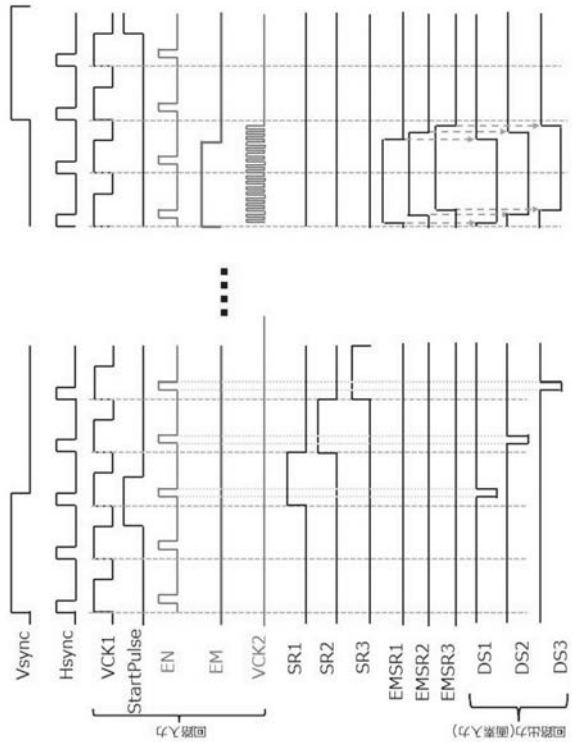
【 図 1 8 】



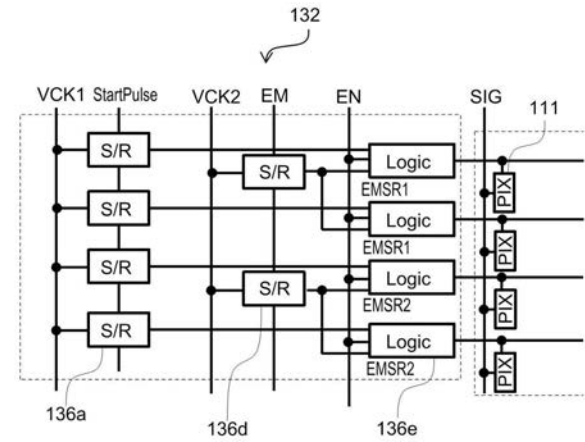
【 図 1 9 】

SRn	EN	EMSRn	DSn
1	1	X	0
1	0	X	1
0	X	0	1
0	X	1	0

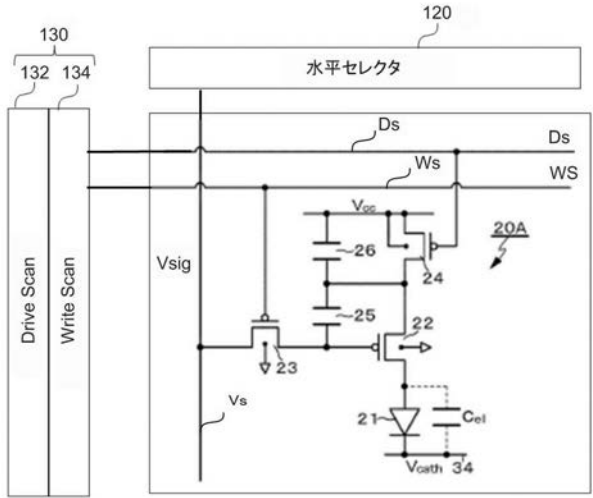
【 図 2 0 】



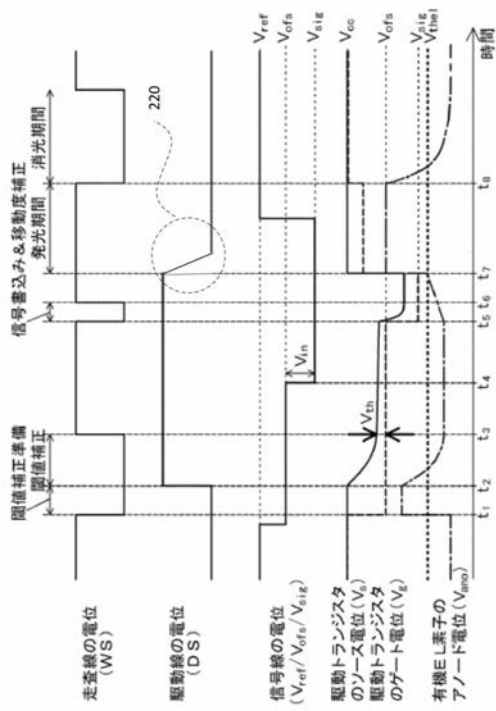
【 図 2 1 】



【 図 2 2 】



【図 23】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 2 2 R
G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 7 0 M
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 1 1 J
H 0 5 B	33/14	A
H 0 1 L	27/32	

F ターム(参考) 5C380 AA01 AB06 AB21 AB34 BA14 BA17 BA19 BA20 BA28 BA32
 BA34 BA38 BB02 BC20 BE05 CA04 CA08 CA12 CA26 CA32
 CB01 CB02 CB12 CB14 CB18 CB27 CB29 CB32 CC02 CC03
 CC04 CC06 CC26 CC27 CC33 CC39 CC57 CC61 CC63 CD013
 CD023 CD033 CE20 CF07 CF09 CF22 CF23 CF31 CF48 CF51
 DA02 DA06 DA32 DA42 DA49 DA58 HA03 HA05